高功率中的功率 MOS 管并联应用指南

目录

1. 简介	3
2. 应用	3
3. 主要规格	3
4. MOSFET 管损耗及参数对均流的影响	5
5. 参数分布对均流性能的影响	7
5.1. 静态操作(DC)	8
5.1.1. 漏源导通电阻-R _{DSon}	8
5.2. 动态操作	10
5.2.1 总输入电荷(Q _{G(tot)})	10
5.2.2. 栅极开启电压-V _{GS(th)}	12
5.3. 并联 MOSFET 及其温度依赖性	13
5.3.1. 静态运行期间的温度依赖性(DC)	14
5.3.2. 动态运行期间的温度依赖性	16
5.4. 数据表和批次偏差	17
6. 电路优化	19
6.1. 局部栅电阻	19
6.2. 源路径中的组件	22
7. PCB Layout 影响	25
7.1. 布局对寄生参数的依赖	25
7.2. Circuit layout	26
8. 驱动并联 MOSFETs	30

9. Simulation tools	31
10. 总结	34
11. 附录	35
11.1. 实验测量	35
11.2. Simulations	38

1. 简介

在当今的汽车和电力行业中,更高的功率要求导致更多的设计需要更低的 R_{DSon}。有时,单 封装 MOSFET 无法实现这一点,因此设计需要使用两个或多个并联器件。高功率应用也可能需要使用高性能基板,如厚铜 PCB、IMS(绝缘金属基板)或 DBC(直接键合铜)甚至 裸芯片。通过并联,总电流和损耗在每个设备之间共享。然而,这并不像应用基尔霍夫定律 那么简单: MOSFET 是不相同的,因此它们的共享并不平等。

本应用说明描述了并联 MOSFET 之间的共享不平衡是如何形成的,以及考虑这些不平衡的指南和工具。最终目标是提供一套最佳实践,帮助设计具有标准并联 MOSFET 的电路。

2. 应用

根据 MOSFET 的工作情况,需要并联 MOSFET 的应用可分为两大类: 开关模式和负载开关。

开关模式类型包括电机驱动应用,如皮带起动器发电机和增压器、制动再生系统和开关模式功率转换器,如调节器(DC/DC)和其他类型的逆变器(DC/AC)。这里,半桥表示所有主要电路拓扑所基于的基本单元块。MOSFET 通常需要以恒定速率打开和关闭,该速率可根据应用广泛变化,并由具有可变占空比(PWM)的矩形脉冲驱动。这样做的目的是调制系统到负载的输出功率。

负载切换主要指 MOSFET 和电池串联使用的应用,如启动、安全开关和电子保险丝,例如电池隔离开关。MOSFET 需要打开一次,并将保持完全打开,直到系统关闭。只有在检测到某种类型的故障(例如短路)时,才可能快速关闭它们。此外,这些开关可能采用背靠背配置,以提供额外的反极性保护。

本应用说明重点介绍开关模式应用和半桥配置。

3. 主要规格

最重要的监测数据是 MOSFET 结温度。这是每个器件中功耗的函数,理想情况下,所有并联 MOSFET 的功耗都应是均匀的。由于 $P=V\times I$ 且在所有并联 MOSFET 上施加相同的电压,因此很明显,对于理想操作,每个 MOSFET 应平均分配电流,这是量化 MOSFET 性能的最简单指标。然而,同样有效的方法是考虑耗散能量(或功率),如在整个应用笔记中所做的那样。

并联 MOSFET 中的均流主要受三个数据表参数(R_{DSon} 、 $Q_{G (tot)}$ 和 $V_{GS (th)}$ 的部分对部分变化的影响。这将在适当的章节中进一步描述。

在设计阶段,重要的是了解如何预测零件间变化的最坏情况,以产生可靠的设计。与电子产品的许多其他方面一样,设计师最终将决定在上述最坏情况下采用多大的净空,可能会权衡一些设计稳健性以提高性能。正如《电子艺术》中所说:

"这个例子说明了设计师经常遇到的难题,即在满足严格的最坏情况设计标准的保守电路 和性能更好的电路设计(不满足最坏情况规范,但极有可能正常工作)之间做出选择有时, 你会发现自己选择了后者,而忽略了耳边低语的小声音。"

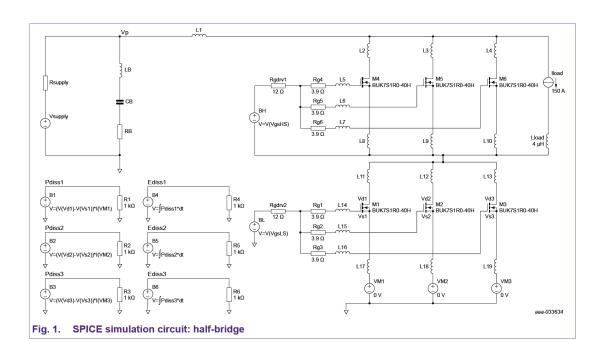
仿真装置

免责声明:本申请说明建议更改SPICE型号。在实施任何修改后,用户有责任验证模型是否符合数据表。这可以通过遵循附录中描述的指南来实现。

应用说明中使用的电路由 3 个并联的 MOSFET 组成,分别位于驱动电感负载的高侧和低侧,如图 1 所示。开关频率设置为 20 kHz,占空比设置为 50%,最大 V_{GS} 为 15 V_{GS} 每个 MOSFET 传导 50A 的电流,该电流由与负载电感串联使用的 150A 恒流源设置。SPICE 模拟还包含三个 0 V 发电机,每个低压侧 MOSFET 源路径中一个,用于测量低压侧漏源电流,以计算耗散的能量和功率。除非另有说明,本文件始终使用 BUK7S1R0-40H。如图 1 所示,连接到布局的寄生电感已添加到模拟中。三个分支之间的寄生性没有差异(每个分支对应一个MOSFET,并通过入口和出口将其与其他并联的路径连接:高压侧为 VSUPPLY 和 phase,低压侧为 phase 和 GND)。

这是一个理想的场景,但在实践中可以在合理的范围内实现。在这种情况下,任何不平衡将仅由 MOSFET 本身之间的固有差异决定。布局的重要性和寄生参数的影响将在相应的章节中进一步讨论。

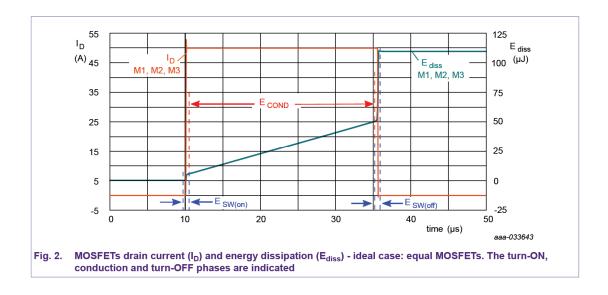
值得注意的是,从现在起制定的指南和观察结果并不取决于蓄电池电压或其他规格,因此它们可以应用于广泛的场景。



4. MOSFET 管损耗及参数对均流的影响

通过了解 MOSFET 耗散的工作原理并强调哪些是影响它的主要参数,可以将最坏情况分析转向一个不那么繁重但仍然现实的评估。

半桥 MOSFET 的功耗由两个过程引起: 传导和开关。图 2显示了在理想器件和耗散能量的情况下流过并联 MOSFET 的电流。



可以在模拟环境中找到或通过单独考虑每个贡献来计算一个循环中消耗的平均功率。开关损

耗和传导损耗之间没有严格的区分。然而,在模拟环境中,耗散功率有助于检测这种分离。图 3 显示了如何找到开启阶段:第一个点设置为约 9.9 μ s,其中功率为 0 W,第二个点设置为 10.4 μ s,其中耗散功率几乎恒定在约 1.8 W(传导过程中的耗散功率-Pcond)。虽然流过 MOSFET M1 的漏极电流(I_D)如图 3 所示,但流过它的漏极到源极电压(V_{DS})在电流下降之前升高,因此此处记录的有效损耗。此外,从 $10\,\mu$ s 开始并持续约 100ns 的耗散功率的增加是由于开启器件所需的栅极电荷。

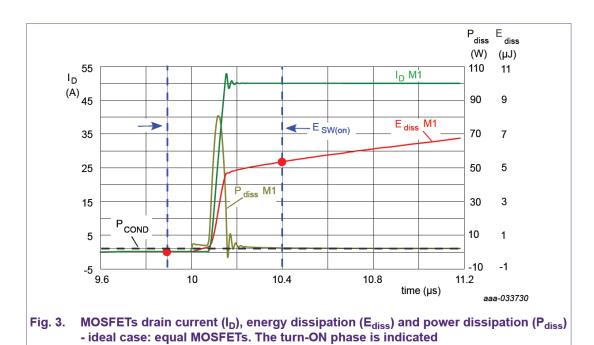
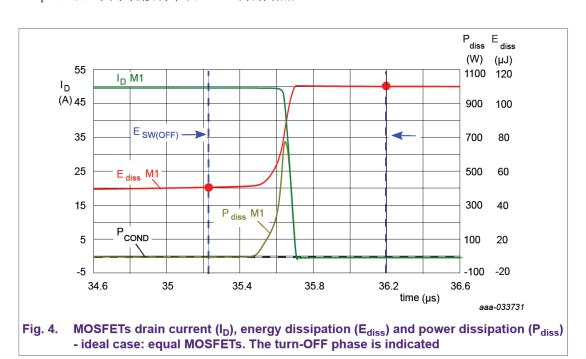


图 4显示了如何找到关闭阶段:第一个点设置为 $36.2\mu s$,其中功率为 0W,第二个点设置为 $35.2\mu s$ 左右,其中耗散功率从 1.8W 开始增加。



方程 1 表示 MOSFET 中的功耗,而方程 2 和 3 显示了开关和传导各自的贡献。

$$P_{avg(tot)} = P_{sw} + P_{cond} \tag{1}$$

$$P_{sw} = (E_{sw(oN)} + E_{sw(oFF)}) \cdot f_{sw}$$
 (2)

$$P_{cond} = E_{cond} \cdot f_{sw} \tag{3}$$

其中 $E_{sw (ON)}$ 和 $E_{sw (OFF)}$ 是接通和断开期间的能量耗散, E_{cond} 是单个传导阶段的能量耗散, $E_{sw (ON)}$ 规率。在这种情况下,在 20 kHz 时,每个 MOSFET 在一个周期内消耗的总平均 功率约为 2.1~W。

表 1 显示了在开关(分为开和关)和传导过程中计算的能量。每个 MOSFET 的共享程度可以用几种方式定义。在这里,它被定义为一个 MOSFET 中耗散的能量与所有并联器件中耗散的总能量之间的比率,使用公式 4。

$$Total \ Energy \ Sharing = \frac{\left(E_{SW(ON)} + E_{SW(OFF)} + E_{SW(COND)}\right)_{(Mx)}}{\sum_{i=1}^{n \ FET} \left(E_{SW(ON)} + E_{SW(OFF)} + E_{SW(COND)}\right)_{(Mi)}} \bullet 100 \tag{4}$$

在这种情况下,开关(E_{sw}(ON)+E_{sw}(OFF))约占总损耗的55%。然而相对于开关损耗:传导损耗比将取决于开关频率:低频将导致传导损耗占主导地位,而开关损耗将在高频占主导地位。因此,为了简化评估,人们可以考虑仅考虑影响最重要贡献的参数。

当 MOSFET 完全导通时,唯一的耗散源由其漏极到源极的导通电阻(R_{DSon})给出。另一方面,开关取决于阈值电压($V_{GS\ (th)}$)和输入电荷($Q_{G\ (tot)}$)。

Table 1. Summary	' -	ldeal	case:	equal	MOSFETs
------------------	------------	-------	-------	-------	----------------

Device	E _{SW(ON)} [µJ]	E _{SW(OFF)} [µJ]	E _{COND} [µJ]	Total Sharing
M1	5.1	52.8	46.1	33 %
M2	5.1	52.8	46.1	33 %
M3	5.1	52.8	46.1	33 %

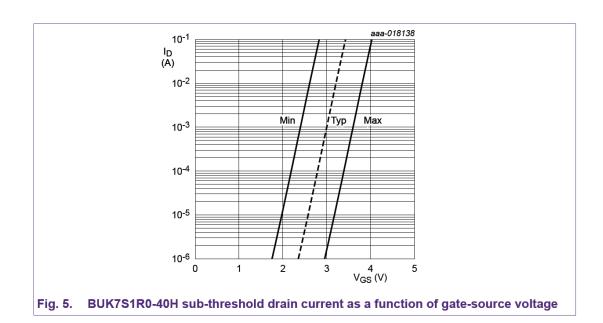
5. 参数分布对均流性能的影响

如前所述,数据表参数中的制造偏差对电流均流有很大影响。偏差是指某个参数的最大值和最小值之间的差值。这些偏差是不可避免的,是由硅芯片制造过程中晶圆内和晶圆间的变化引起的。任何制造商生产的每一个 MOSFET 都会带有这些偏差。Nexperia 的功率 MOSFET 制造工艺经过优化,以尽可能保持排列紧密,从而实现良好的性能和可靠性。

在描述应对这些问题的技术和指南之前,了解上述每个参数如何影响并联设备之间的电流均

流非常重要。这可以在模拟环境中完成。在下一节中,每个参数将设置为其数据表偏差的最外侧值。除了这里介绍的模拟外,附录还包含使用具有类似参数分布的 MOSFET 的相同装置的实验测量数据。

值得注意的是,只有在特定的电气条件下才能测量并保证偏差。例如,如图 5 所示,在 $1\mu A$ 和 $100 \, mA$ 之间以及在 $5 \, V$ 的 V_{DS} 下指定阈值电压偏差。然而,在更高的电流下,不能保证具有相同的性能。



5.1. 静态操作(DC)

5.1.1. 漏源导通电阻-Rpson

Table 2. BUK7S1R0-40H data sheet characteristics: R_{DSon}

Daoil							
Symbol	Parameter	Conditions		Min	Тур	Max	Unit
R _{DSon}	drain-source on-state	V _{GS} = 10 V; I _D = 25 A; T _j = 25 °C		0.62	0.88	1	mΩ
resistance	V_{GS} = 10 V; I_{D} = 25 A; T_{j} = 105 °C		0.87	1.3	1.6	mΩ	
		V _{GS} = 10 V; I _D = 25 A; T _j = 125 °C		0.97	1.4	1.75	mΩ
		V_{GS} = 10 V; I_D = 25 A; T_j = 175 °C		1.2	1.8	2.2	mΩ

根据数据表,总偏差为 ΔR_{DSon} =0.38 m Ω 或 $\Delta R_{DSon\ rel}$ =±21.6%(相对于标称值的相对百分比)。 该设备的 SPICE 模型已经调整,以考虑 R_{DSon} 排列。这是通过更改位于"漏极、栅极和源极电阻"部分的 R_D 参数值来实现的。通过扫查可找到正确的值。以{variable}的形式声明变量后的参数。

Table 3. SPICE model mod for R_{DSon} spread

SPICE parameter – RD	R _{DSon} [mΩ]	Conditions
316.247u	0.62	$V_{GS} = 10 \text{ V}, I_D = 25 \text{ A},$
576.260u	0.88	T _j = 25 °C
695.949u	1.00	

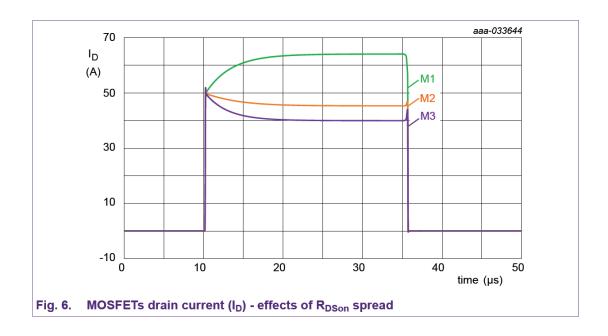


表 4 总结了仿真设置和结果。具有较低 R_{DSon} (M1) 的 MOSFET 将需要处理更多的能量,反之亦然。传导过程中的均流和开关损耗都会受到影响。M1 现在消耗 2.5 W,比理想情况(2.1 W)多 20%,而 M3 消耗 1.7 W。

这些结果仅对第一个运行周期有效,之后 R_{DSon} 的温度依赖性部分平衡了均流,更多信息可以在有关温度依赖性的相应部分获得。

Table 4. Summary - Effects of R_{DSon} spread

Device	R _{DSon} [mΩ]	E _{SW(ON)} [µJ]	E _{SW(OFF)} [µJ]	Energy Sharing Switching	E _{COND} [µJ]	Energy Sharing Conduction
M1	0.62	5.0	65.9	40.7 %	52.9	39.4 %
M2	0.88	5.1	48.8	30.9 %	42.5	31.6 %
M3	1	5.1	44.3	28.4 %	38.9	29.0 %

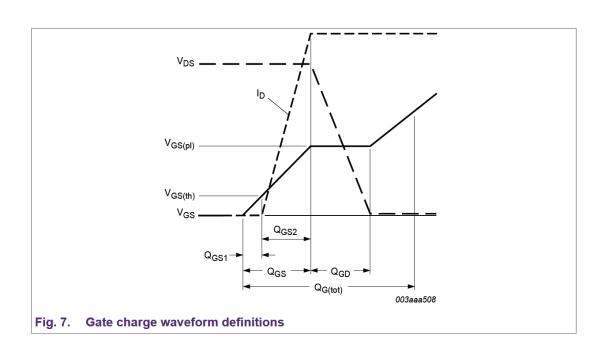
5.2. 动态操作

5.2.1 总输入电荷 (QG(tot))

表 5 给出了栅极电荷参数 $Q_{G(tot)}$ 、 Q_{GS} 和 Q_{GD} 的典型值和最大值;这些参数的定义参见图 7。

Table 5. BUK7S1R0-40H data sheet characteristics: gate charge

Symbol	Parameter	Conditions	Min	Тур	Max	Unit
Q _{G(tot)}	total gate charge	I _D = 25 A; V _{DS} = 32 V; V _{GS} = 10 V	-	98	137	nC
Q _{GS}	gate-source charge			27	40	nC
Q_{GD}	gate-drain charge		-	17	34	nC



根据数据表,总偏差为 $\Delta Q_{G^{(tot)}}$ =39nC 或 $\Delta Q_{G^{(tot)}}$ rel=+40%。为了在 SPICE 模型中引入这种扩散,有必要通过 C_{GS} 和 C_{GD} 分别评估 Q_{GS} 和 Q_{GD} 的贡献。

通过这样做,MOSFET 最终将显示稍高的最大 $Q_{G (tot)}$,因为在平台电压之后更难控制 V_{GS} 曲线的斜率(参考图 7)。此外,这两个电容不一定以相同的方式工作:由于它们基本上是独立的,例如,MOSFET 可能显示出较高的 C_{GD} 和较低的 C_{GS} ,或者两者之间的任何其他组合。为了便于评估,仅在其典型值和最大值下考虑了这两个参数。

该设备的 SPICE 模型已经调整,以考虑 C_{GD} 和 C_{GS} 分布。这是通过改变 C_{GS} 值并将 C_{GD} 值 乘以特定系数 C_{GD_scale} 来实现的。前者定义为恒定值,而 C_{GD} 定义为相应部分中"G11 3 2 value···"行的电压相关值。可以通过以下方式找到正确的值:

以{variable}的形式声明变量后扫描参数。

Table 6. SPICE model mod for Q_{G(tot)} spread

SPICE parameter		Conditions
CGS	Q _{GS} [nC]	V _{DS} = 32 V;
6.1n	27.148	$I_D = 25 \text{ A}; V_{GS} = 10 \text{ V}$
9.24n	40.024	
CGD_scale	Q _{GD} [nC]	
0.84	17.008	
1.65	34.211	

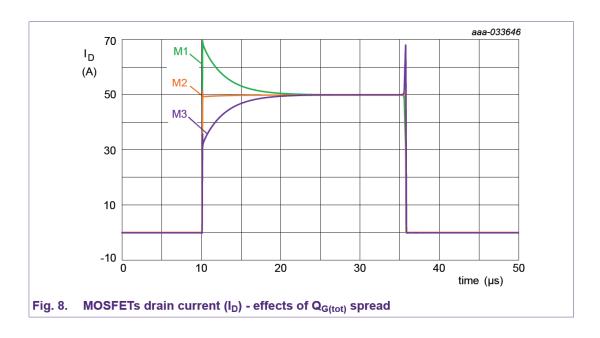


表 7 总结了仿真设置和结果。 $Q_{G^{(tot)}}$ 值已计算为各 Q_{G} 和 Q_{GD} 的总和(见表 6)。打开时,具有较低输入电容(M1)的设备将首先打开,从而处理大部分电流。另一方面,在关闭时,具有较高输入电容(M3)的 MOSFET 将最后关闭,现在处理大部分电流。切换过程中的均流受到的影响最大,而传导变化较小。M3 现在消耗 2.8 W(比理想情况多 0.7 W),而 M1 消耗 1.9 W。

Table 7. Summary - Effects of Q_{G(tot)} spread

Device	Q _{G(tot)} [nC]	E _{SW(ON)} [µJ]	E _{SW(OFF)} [µJ]	Energy Sharing Switching	E _{COND} [µJ]	Energy Sharing Conduction
M1	94.4	9.4	35.7	21.4 %	49.9	35.8 %
M2	125.7	6.9	60.8	31.9 %	46.1	33.2 %
М3	158.0	4.7	94.4	46.7 %	43.2	31.0 %

5.2.2. 栅极开启电压-V_{GS(th)}

Table 8. BUK7S1R0-40H data sheet characteristics: V_{GS(th)}

Symbol	Parameter	Conditions	Min	Тур	Max	Unit
$V_{GS(th)}$	-	$I_D = 1 \text{ mA}; V_{DS} = V_{GS}; T_j = 25 \text{ °C}$	2.4	3	3.6	V
	voltage	$I_D = 1 \text{ mA}; V_{DS} = V_{GS}; T_j = 175 \text{ °C}$	1	-	-	V
		$I_D = 1 \text{ mA}; V_{DS} = V_{GS}; T_j = -55 \text{ °C}$	-	-	4.3	V

根据数据表,总偏差为 $\Delta V_{GS\ (th)}$ =1.2 V 或 $\Delta V_{GS\ (th),\ rel}$ =±20%。该设备的 SPICE 模型已经调整,以考虑 $V_{GS\ (th)}$ 偏差。这是通过更改".MODEL MINT NMOS"部分中 Vto 参数的值来实现的。以{variable}的形式声明变量后,通过扫描参数可以找到正确的值。

Table 9. SPICE model mod for V_{GS(th)} spread

SPICE parameter Vto	V _{GS(th)} [V]	Conditions
3.243	2.400	$V_{DS} = 12 \text{ V}, I_{D} = 1 \text{ mA}$
3.843	3.000	
4.443	3.600	

MOSFET 漏极电流如图 9 所示。接通后,电路中存在的回路电感仅在 10μs (回路电感的存在,开通和关闭时均有尖峰电流) 后使电流稳定,更多详细信息请参见"布局相关寄生"部分。

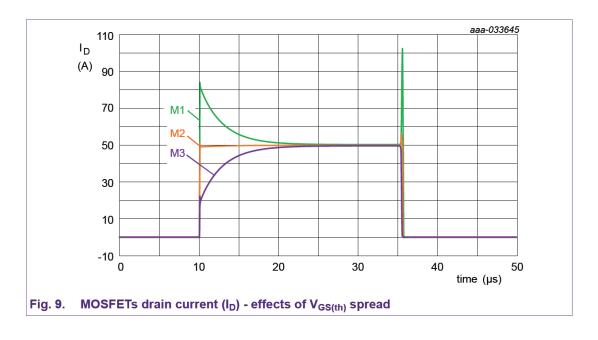


表 10 总结了仿真设置和结果。具有较低 $V_{G(th)}$ 的 MOSFET 需要处理更多的总能量。接通时,M1 将首先接通,从而处理大部分电流。此外,在关闭时,具有较低 $V_{G(th)}$ 的 MOSFET 将最后关闭,再次处理大部分电流。开关过程中的均流受到的影响最大,一个 MOSFET (M3)在该过程中的参与程度最小,而传导变化较小。M1 现在消耗 4.7 W (比理想情况多 2.6 W),

而 M3 仅消耗 1 W。

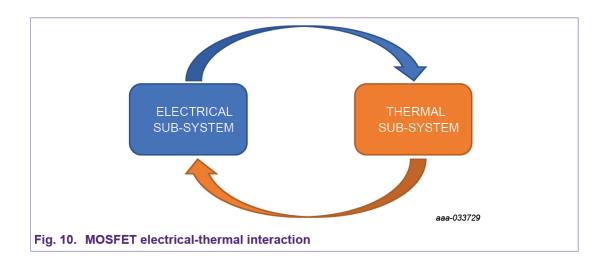
Table 10.	Summary	- Effects of	V _{GS(th)} spread
-----------	---------	--------------	----------------------------

Device	V _{GS(th)} [V]	E _{SW(ON)} [µJ]	E _{SW(OFF)} [µJ]	Energy Sharing Switching	E _{COND} [µJ]	Energy Sharing Conduction
M1	2.4	9.3	172.2	74.4 %	52.7	37.8 %
M2	3	5.1	48.7	22.1 %	45.7	32.8 %
M3	3.6	2.2	6.4	3.5 %	40.8	29.4 %

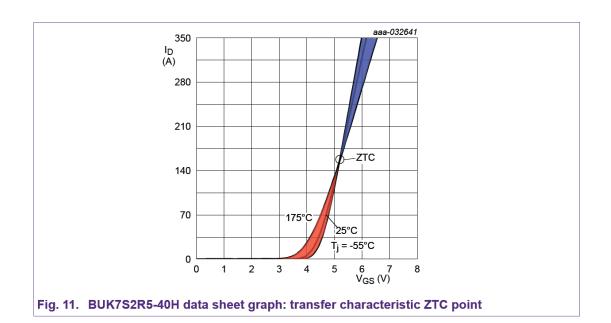
总之,具有较低 $V_{G(th)}$ 的 MOSFET 在开启和关闭期间将需要处理更多的能量,而随着电容扩散,开关能量将在至少两个器件之间平衡。由于 $V_{G(th)}$ 的温度依赖性,这些结果仅对第一个运行周期有效。有关温度依赖性的相关章节提供了更多信息。如图 6、图 8 和图 9 所示,关于开关和传导之间电流形状的说明,请参考第 7.1 节。

5.3. 并联 MOSFET 及其温度依赖性

每个 MOSFET 可以被认为是一个系统,由反馈回路中的电气子系统和热子系统组成,如图 10 所示。



由于 R_{DSon} 温度系数,功率 MOSFET 通常被认为不受热失控的影响。然而,这仅适用于完全 开启的 MOSFET。当 MOSFET 处于导通状态时,有两种竞争效应决定其电流随温度升高的 行为。随着温度升高, $V_{GS\ (th)}$ 下降,从而增加电流。另一方面, R_{DSon} 随温度升高而增加,从而降低电流。在较高的栅源电压(V_G)下,电阻增加占主导地位,而在较低的 V_G 下,阈值电压降占主导地位。因此,对于给定的 V_{DS} ,存在一个临界 V_G ,低于该临界 V_G ,存在正反馈状态,高于该临界 V_G ,存在负反馈和热稳定性。该临界点称为零温度系数(ZTC)点,如图 11 所示。



如图 11 中所示,在 V_{GS} 低于 5.2V 左右,温度升高导致 V_{GS} $^{\text{(th)}}$ 下降增加的电流比由于温度 升高导致 R_{DSon} 增加引起的电流减少要大,这是属于正反馈。因此,在 V_{GS} 低于 5.2V 时,用固定的 I_D 电流测试 V_{DS} 时会发现刚开始时大,随着温度上升开始下降,最后达到一个稳定值。这并非是 R_{DSon} 下降引起的 V_{DS} 下降,是温度上升 V_{GS} $^{\text{(th)}}$ 变小导致 R_{DSon} 下降,只是这个随温度上升 V_{GS} $^{\text{(th)}}$ 变小而导致 R_{DSon} 下降的幅度超过随着温度上升 R_{DSon} 增加的幅度,这样相当于等效的总的 R_{DSon} 是下降的,因此,恒定的 I_D 下随着温度上升而表现为 V_{DS} 下降。

可以使用 Nexperia advanced models 1 模拟热子系统和电气子系统之间的相互作用,该模型可以访问两个附加热插脚:接头和外壳/安装底座。在这些模型中,并联的相关参数通过包括其温度依赖性,以更高的精度进行建模。模拟整个热力系统的电路,漏极凸耳周围的 MOSFET PCB 必须连接到型号的安装基座引脚。

5.3.1. 静态运行期间的温度依赖性(DC)

在并行配置中, R_{DSon} 由于其正温度系数(PTC)而具有改善均流的优点,如图 12 所示。当一个 MOSFET 传导更多的电流并消耗更多的功率时, R_{DSon} 增加,传导损耗改变,从而改善均流。

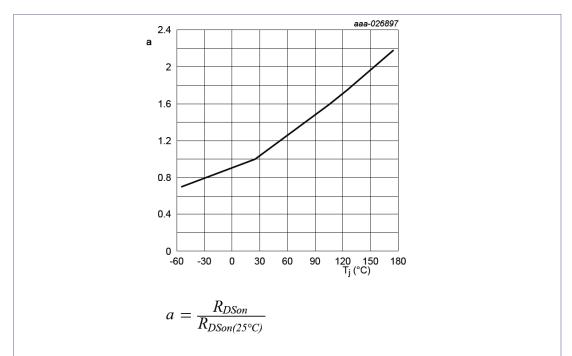
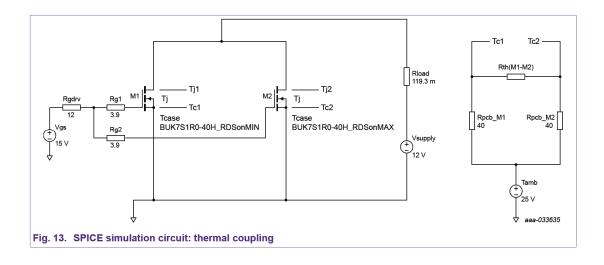


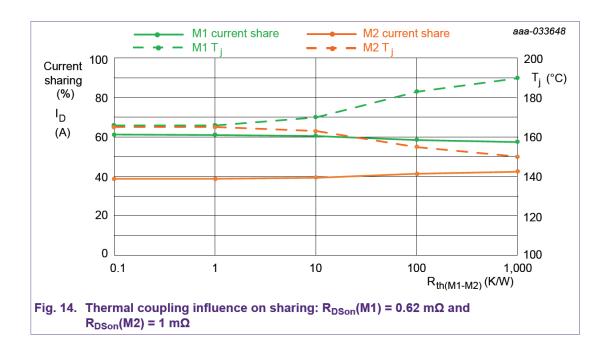
Fig. 12. BUK7S2R5-40H data sheet graph: normalized on-state resistance as a function of junction temperature

理想情况下,当并联 MOSFET 之间的热耦合效率较低时,这种现象最大化,因为每个 MOSFET 受周围其他 MOSFET 的影响较小。然而,这会导致更高的结温度。可以使用图 13 所示的稳态模拟来描述该现象。这一次,为了简化相互作用,只有两个 MOSFET 并联使用。此外,第二个电路用于模拟两个 MOSFET 之间的热耦合及其与 PCB 的连接。对器件的 SPICE 模型进行了调整,以使 M1 的 R_{DSon} (0.62 m Ω) 低于 M2 (1 m Ω)。



参考图 14 中的图表: 流经设备的总电流设置为 100A,以便最左边的 y 轴同时显示电流和百分比均流。在这种情况下,电流用于计算 MOSFET 之间的均流程度,因为本示例考虑纯稳态传导。当两个 MOSFET 之间的热耦合恶化($R_{th~(M1-M2)}$ 增加)时,M1 的结温升高,而稳态下的均流改善(更接近 50%)。此外,即使在高去耦的情况下, R_{DSon} PTC 也只能将每个 MOSFET 的均流最大提高 2%左右。

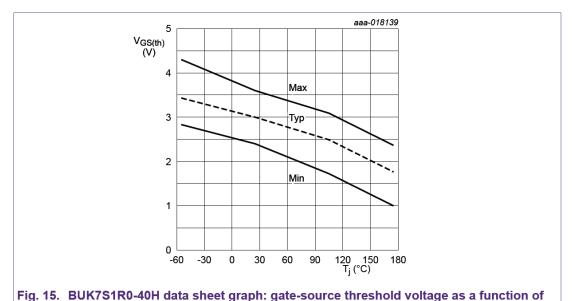
因此,并联 MOSFET 之间的良好热耦合是首选,因为它允许较低的结温度。有关这方面的 更多详细信息,请参见 PCB 布局影响: 电路布局部分。



5.3.2. 动态运行期间的温度依赖性

阈值电压以负温度系数(NTC)为特征:它随结温升高而降低。这种行为在并联 MOSFET 的情况下更为有害。例如,具有初始较高结温的器件将表现出更低的 $V_{G(th)}$,这会增加流过 MOSFET 的电流,从而增加其耗散的功率。与静态情况一样,良好的热耦合有助于将 MOSFET 保持在相似的温度。可以采用其他指南来减轻并联 MOSFET 的温度梯度,更多信息请参阅 PCB 布局影响:电路布局。

图 15 显示了 $V_{GS\ (th)}$ 偏差如何相对于结温几乎恒定,然而,仅在 1 mA 的漏电流下才能保证此行为。对于 20°C 的温差(从 25°C 到 45°C), V_{GSth} 降低约 $0.2\,V_{\odot}$



junction temperature

最后,与 R_{DSon}和 V_{GS (th)} 不同,输入电荷仅随温度略有变化。

5.4. 数据表和批次偏差

如果并行考虑多个 MOSFET,数据表偏差可能过于保守。这种设计肯定是可靠的,但在更广泛的最坏情况下提高的鲁棒性最终可能会更加昂贵。在这种情况下,设计师更愿意评估一个不太严格的最坏情况,即使不能像数据表那样保证,仍然可以认为是现实的。这是通过查看批次偏差来完成的。

批次是指同时经历整个制造过程的一组设备。一批模具的数量可以从几千到几百万不等,这取决于模具本身的大小。在一组并联的 MOSFET 中,最好选择来自同一卷盘的部件,以增加使用同一批次器件的可能性。此外,使用具有相同批次代码的 MOSFET(可在包装上的标记代码下找到)可用于进一步缩小 PCB 组装期间的选择范围。

观察到批次内的偏差远低于相应的数据表偏差。即使是不同批次的产品也是如此。图 16 显示了 10 个不同批次 BUK7S1R5-40H 的 $V_{G~(th)}$ 分布。在这种情况下,观察到 6 西格玛扩散为 0.42 V,从 2.86 V 到 3.28 V。该值的计算考虑了少量异常值(图 16 的图中未显示)。因此,观察到的最坏情况由 Δ $V_{GS~(th)}$ =0.42 V 或 Δ $V_{GS~(th)}$, rel= \pm 7%,小于规格承认书(数据表)的一半。

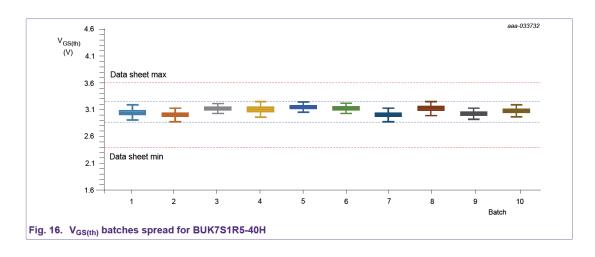


图 17 显示了 $V_{GS\ (th)}$ 中差值的绝对值($|\Delta$ 两个不同批次内两个连续装置之间的 $V_{G\ (th)}|$)。在这种情况下,观察到 6 西格玛扩展为 $0.25\ V$,或 $\Delta V_{GS\ (th)}$ rel= $\pm 4\%$ 。因此,如果来自同一卷盘的两个连续 MOSFET 并联使用,则观察到其 $V_{G\ (th)}$ 之间的差异甚至小于多批次之间的差异。

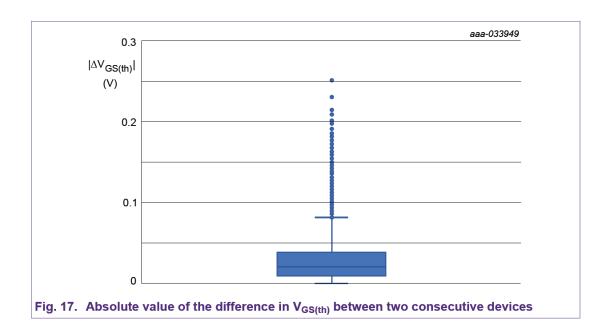


图 18 比较了数据表和批量排列情况下的 MOSFET 漏极电流,表 11 引用了每个 MOSFET 均流的能量。M1 现在的总损耗为 2.8 W,M3 为 1.5 W。因此, $V_{G^{(th)}}$ 中土7%的差异导致 M1 周期内的损耗减少 1.9 W,将这两个 MOSFET 之间的损耗比从几乎 5:1 降至 2.5:1。

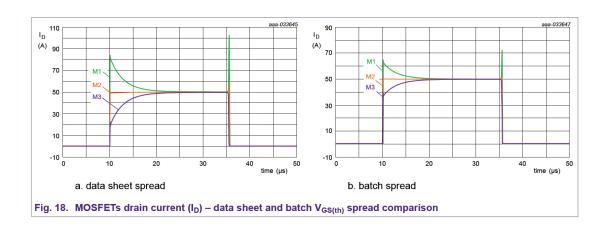


Table 11. Summary - Effects of V_{GS(th)} batch spread

Device	V _{GS(th)} [V]	E _{SW} [µJ]	Energy Sharing Switching	E _{COND} [µJ]	Energy Sharing Conduction
M1	2.79	97.0	51.3 %	48.7	35.6 %
M2	3	59.4	31.4 %	45.4	33.2 %
M3	3.21	32.6	17.2 %	42.7	31.2 %

6. 电路优化

电路修改主要有两种类型,每种类型对均流有不同的影响。这些是: MOSFET 源路径中的局部栅电阻和元件。

6.1. 局部栅电阻

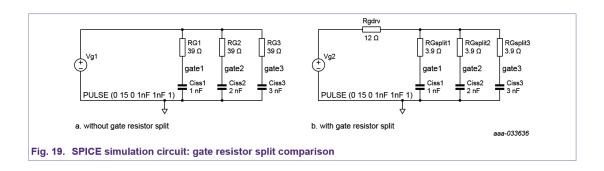
第一种电路修改也是最有利的,它没有主要缺点,也是最容易实现的。修改涉及在靠近每个 MOSFET 的栅极的局部电阻器和驱动器侧的公共电阻器之间分割栅极电阻器,如图 18b 所示。这样做将抵消偏差并改善均流,主要是在转换期间,而在传导期间影响很小。

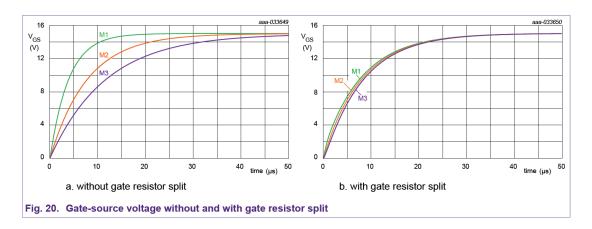
保持局部电阻尽可能低是很重要的,以便在 MOSFET 栅极之间提供最大耦合,有效地允许并行考虑输入电容。一个简单的模拟可以显示这种效果:两个模拟每个 MOSFET 的驱动器和输入阻抗的电路被用作比较。图 19 a。显示每个 MOSFET 栅极处的控制电压,如果 MOSFET 的 C_{IS} 较高,则电压会减慢,反之亦然,如果电容较低,则过滤较少。

通过拆分栅极电阻器,每个栅极处的控制电压之间的差异变得可以忽略不计(图 19 b)。参考图 19 的 SPICE 电路中采用的命名,驱动器处的栅极电阻器可计算为:

$$R_{G,drv} = \frac{R_G}{nFET} - \frac{R_{G,split}}{nFET}$$
 (5)

 $R_{G,drv}$ 的值已四舍五入至 $12\,\Omega$ 。较小的 $R_{G,drv}$ 可通过减少不平等均流发生时的切换时间而受益。同样, R_G 越小,MOSFET 栅极的耦合性越好,但建议不要低于 $2\text{-}3\,\Omega$ 。通常,栅极电阻器有助于抑制栅极源回路中可能影响系统 EMC 性能的任何振荡。因此,如果栅极电阻的电阻较低,则必须尽可能降低驱动回路的回路电感,有关更多信息,请参阅第节: PCB 布局影响。





通过使用两个不同的栅极电阻设置模拟相同的半桥电路,并引入一些偏差,可以很容易地理解电阻拆分的巨大改进。这一次使用了所有偏差的任意组合。图 21 显示了没有栅极电阻器拆分的 MOSFET 漏极电流,而图 22 显示了有栅极电阻器拆分的 MOSFET 漏极电流。

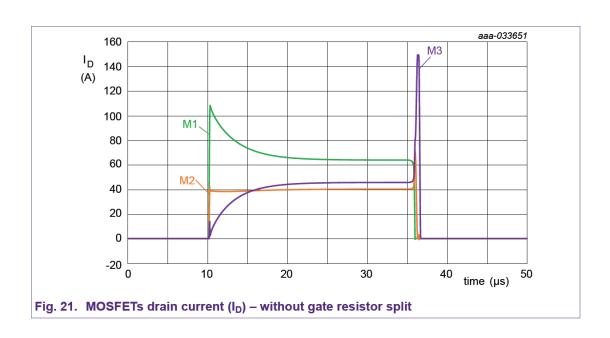
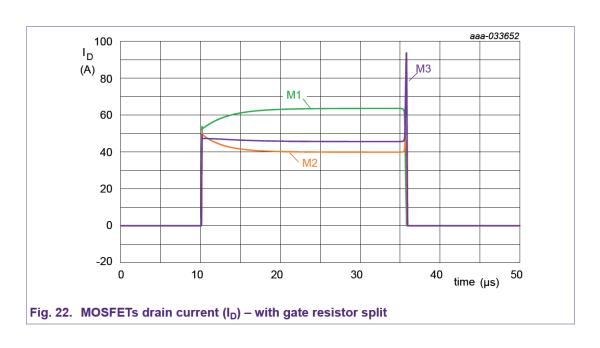


表 12 和表 13 总结了仿真设置和结果,表 14 给出了最终比较。M3 消耗 8.2 W,M2 消耗 1.3 W,M1 消耗 2.0 W。由于具有较低的 $Q_{G\ (tot)}$ 和 $V_{G\ (th)}$,因此在接通时 M1 首先切换,从而处理大部分电流。另一方面,在关闭时,具有较高输入电荷(M3)的 MOSFET 将最后切换并携带大部分电流。

Table 12. Summary - sharing without gate resistor split: R_G = 39 Ω

Device	R _{DSon} [mΩ]	V _{GS(th)} [V]	Q _{G(tot)} [nC]	E _{SW} [µJ]	Energy Sharing Switching	E _{COND} [µJ]	Energy Sharing Conduction
M1	0.62	3.21	94.4	42.7	9.6 %	62.2	47.0 %
M2	1	3	125.7	29.0	6.5 %	35.2	26.6 %
M3	0.88	2.79	158.0	373.0	83.9 %	34.9	26.4 %



随着栅极电阻器的分离, M3 现在消耗 3.8 W、M2 2.0 W 和 M1 1.6 W。在开启时(峰值现在几乎相同)和关闭时,改善都很明显。在后者期间,通过 M3 的峰值电流已从约 150 A 降至近 90 A。传导期间的均流也有所改善,这是由于在接通事件后电流达到其传导值所需的时间。总体而言,M3 现在消耗的功率减少了 50%。

Table 13. Summary - sharing with gate resistor split: $R_{G,dry} = 12 \Omega$ and $R_{G,split} = 3.9 \Omega$

Device	R _{DSon} [mΩ]	V _{GS(th)} [V]	Q _{G(tot)} [nC]	E _{SW} [µJ]	Energy Sharing Switching	E _{COND}	Energy Sharing Conduction
M1	0.62	3.21	94.4	30.0	12.4 %	52.3	39.6 %
M2	1	3	125.7	60.6	25.1 %	38.2	28.9 %
М3	0.88	2.79	158.0	150.5	62.4 %	41.4	31.5 %

Table 14. Summary – comparison of sharing with and without gate resistor split

· · · · · · · · · · · · · · · · · · ·								
Device		Total Energy Sharing						
		without gate resistor split	with gate resistor split					
M1		18.1 %	22.1 %					
M2		11.12 %	26.5 %					
M3		70.7 %	51.4 %					

6.2. 源路径中的组件

在每个 MOSFET 源极路径中使用串联电阻器可以在传导期间实现更好的均流。主要缺点是额外的功耗源降低了系统的整体效率,增加了冷却系统的负担。考虑到需要相对较高的阻抗

值才能有效,此解决方案并非在所有情况下都是理想的。

某些设计可能已经包括串联电阻器,用于监测流过半桥的电流。然而,在并联 MOSFET 的情况下,它们有效的唯一方法是将它们放置在栅源环路内,如图 23 所示。在电流敏感的情况下,可以添加一个额外的小电阻器来解耦每个回路,以减少每个分支之间的潜在串扰。

电阻器有助于抵消 R_{DSon} 的偏差,从而在传导过程中实现更好的均流。位于同一位置的电感具有类似的效果,即通过抑制电流(dI/dt)的快速变化,从而降低电流峰值,略微改善均流,这一次是在开关期间。另一方面,由于电流向其导通值(Itot/nFET)收敛的时间常数较大,导通损耗将略微增加。

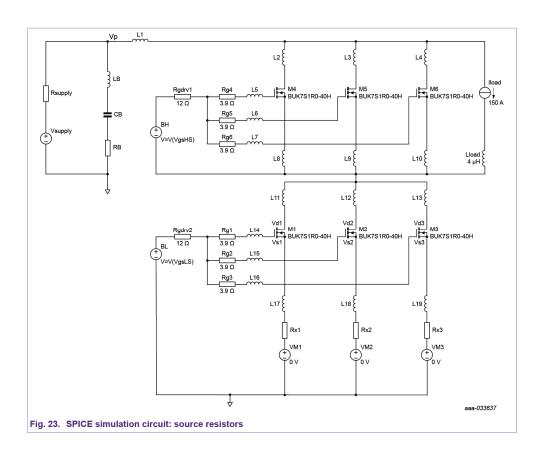


表 15 总结了仿真设置和结果。

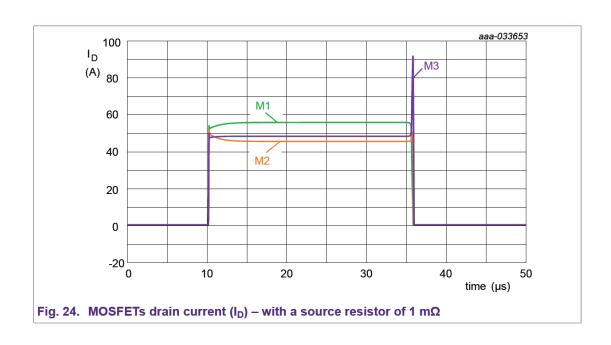
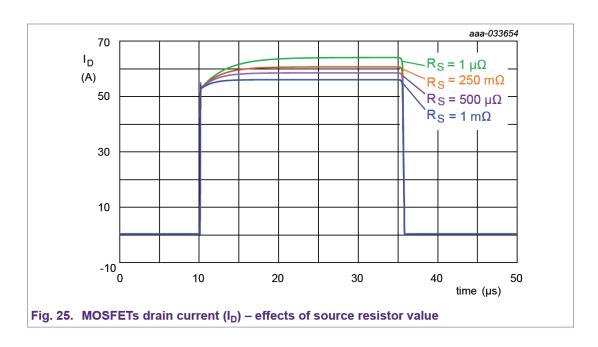


Table 15. Summary – sharing with a source resistor of 1 $m\Omega$

Device	R _{DSon} [mΩ]	V _{GS(th)} [V]	Q _{G(tot)} [nC]	E _{SW} [µJ]	Energy Sharing Switching	E _{COND} [µJ	Energy Sharing Conduction
M1	0.62	3.21	94.4	27.9	11.5 %	41.6	30.8 %
M2	1	3	125.7	66.5	27.4 %	47.3	35.1 %
М3	0.88	2.79	158.0	148.4	61.1 %	46.1	34.1 %

电阻器对均流的功效取决于其值。如果目的是平衡均流,则电阻越高越好,如图 25 所示。自然地,耗散将大大增加。为了有效抵消 R_{DSon} 偏差,它需要与 MOSFET 的实际 R_{DSon} 相当。



7. PCB Layout 影响

在设计具有并联 MOSFET 的应用程序时,紧密的排列和良好的布局是两个重要因素。本章介绍实现良好布局的指导原则以及寄生如何影响电流均流。

在一组并联的 MOSFET 中,事先不可能说出具有最低或最高偏差的器件将放置在何处。因此,重要的是以相同的方式布置每个分支,否则将导致最坏情况的恶化。

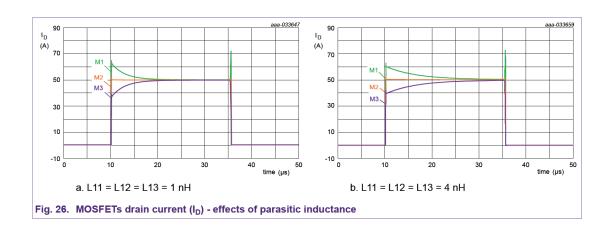
7.1. 布局对寄生参数的依赖

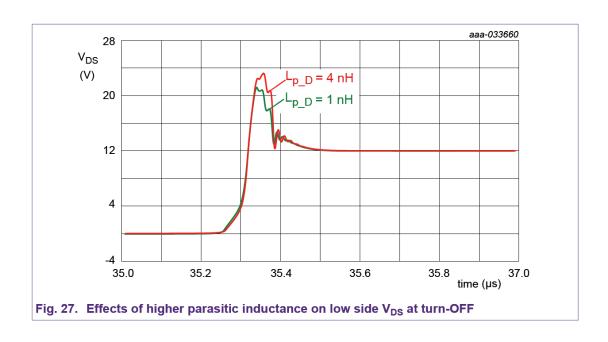
在并联装置的情况下,路径中的回路电感和电阻不仅应最小化,而且还应均衡每个分支。

如图 26 所示,由于电路的时间常数较高($\tau = L/R$),较高的电感会减慢电流达到其稳态值的速度。电感略微降低了峰值电流,但增加了总体不平衡度。此外,高压侧和低压侧在 V_{DS} (和 V_G)中都会由于与电源的谐振而经历更大的电压超调和振荡

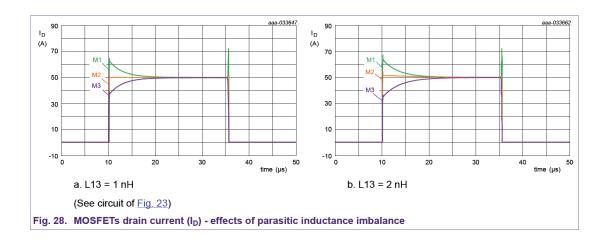
电路中的电容(图 27),通常超过电源电压。这也会导致对附近电路和接线的更高干扰。

一般来说,这里可以应用针对单个 MOSFET 推荐的任何规则。有关半桥开关行为和 EMC 考虑因素的更深入解释,请参阅 "AN90011: 半桥 MOSFET 开关及其对 EMC 的影响"[2]





回路电感之间的差异导致较差的均流,如图 28 所示。



7.2. Circuit layout

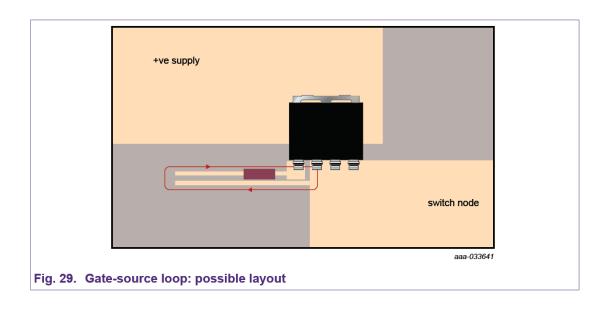
在许多其他情况下,布局对电子系统的最终性能起着重要作用,几乎与零件的质量一样重要。 在并联 MOSFET 的情况下,布局的设计应提供:器件之间的良好热连接、栅极-源极-漏极 回路中的低等效回路电感以及分支之间的低等效电阻。

良好的热耦合允许设备在类似的较低温度下运行。此外,设计者应致力于为每个 MOSFET 获得类似的 $R_{th\ (mb-amb)}$ 。多平面和热通孔有助于改善设备和环境之间的热交换。在放置 MOSFET 时应小心:例如,避免放置 MOSFET 的一个子集

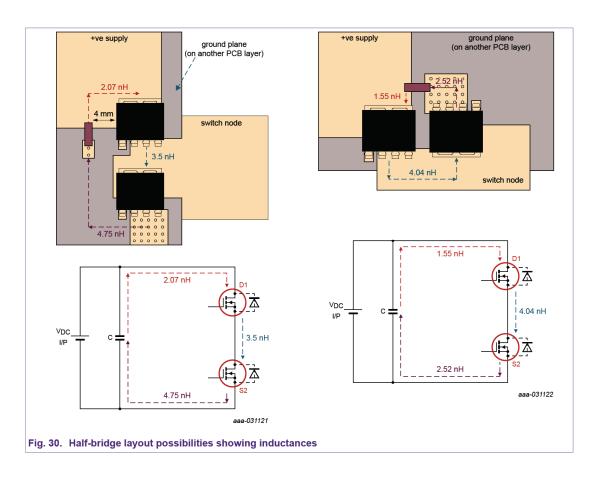
靠近散热器、连接器或其他部件的 MOSFET 可能比其他并联 MOSFET 更冷。有关此主题的

更多信息,请参阅"AN90003:LFPAK MOSFET 热设计指南"[3]。

回路中的低电感可以通过减小回路面积(从而减小自感)或通过使轨迹及其返回路径尽可能 彼此接近(从而增加互感)来实现。如图 29 所示,通过使驱动器尽可能靠近 MOSFET 并使 栅极和源极轨迹彼此平行,可以降低栅极-源极回路中的回路电感。

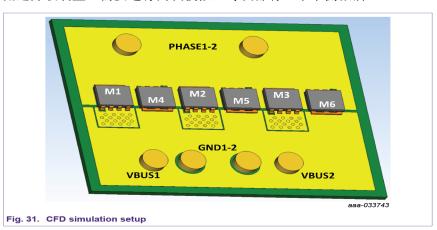


例如,通过采用图 30 中的设计,负载电流回路中的电感可以最小化。有关更多详细信息,请参阅 "AN90011: 半桥 MOSFET 开关及其对 EMC 的影响"[2]。



入口和出口的位置起着另一个重要作用,因为它决定了每个分支的寄生性。当并联使用多个设备时,使用多个入口和出口可能会有所帮助。由于其他原因,使用多条较小的电缆实际上也有好处。这些插入点的定位需要仔细规划。促进这一决定的一种可能方法是使用 CFD 软件并运行电流密度模拟。这种类型的模拟突出显示了电流在稳态条件(DC)下的首选路径。

图 31 显示了用于模拟的设置: 3 个 MOSFET 并联放置在高侧和低侧。每个低侧 MOSFET 通过许多填充过孔连接在顶层的相位(入口)和底层的接地(出口)(图中未显示)之间。相反,每个高压侧连接在顶层的相(出口)和正极电源(进口)之间。设置 150 A 的总电流流过并联装置。需要进行两次模拟,每次都有一个单侧激活。



低压侧和高压侧的电流密度模拟结果如图 32、图 33 和图 34 所示。较高的电流密度以红色显示,而较低或为零的电流密度以蓝色显示。例如,高压侧模拟(图 34)突出显示了 M4 和进口 VBUS1 周围的一个点,由于后者的位置,该点的电流密度较高。通过积分模拟整个表面上的电流密度,可以计算布局稳定状态下的均流(在这种特殊情况下为 30-40%)。这些模拟是使用 scSTREAM 获得的。

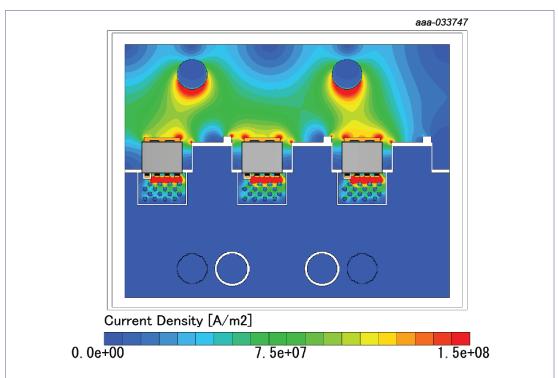


Fig. 32. CFD current density simulation: Low side MOSFETs ON – Top side

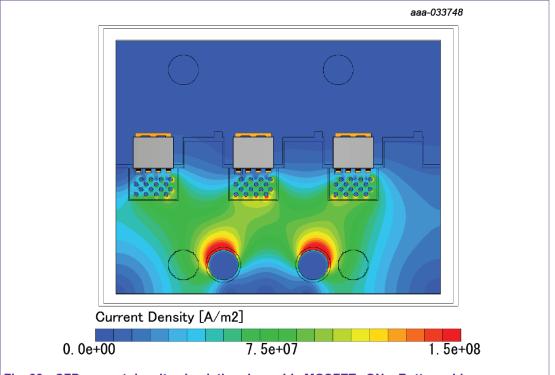
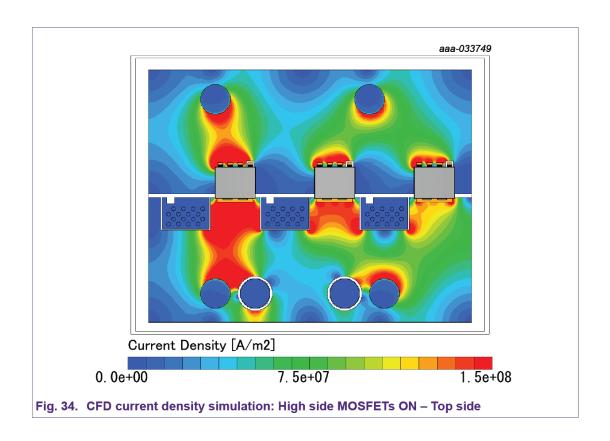


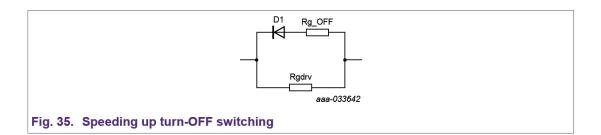
Fig. 33. CFD current density simulation: Low side MOSFETs ON - Bottom side



8. 驱动并联 MOSFETs

当驱动并联 MOSFET 时,建议使用一个单栅极驱动器。这主要是为了尽可能地同步设备操作。栅极驱动器应具有足够的峰值电流能力,以充分充放电并联 MOSFET 的总输入电容。随着 MOSFET 数量的增加,这一要求变得越来越严格,特别是当开关时间要求较低时,因为总输入电容现在为 $C_{iss.\ tot}$ = $n.FETs \times C_{iss.\ max}$ 。否则,开关速度将由栅极驱动器本身而不是栅极电阻设置。

如前面的模拟所示,"关闭"比"打开"消耗更多的能量。降低开关损耗的一个简单方法是仅在关断期间降低 $R_{G. drv}$ 的电阻。如图 35 所示,这可以通过使用与 $R_{G. drv}$ 并联的二极管串联的较小电阻器的组合来实现。然而,在选择正确的 G、OFF 值之前,建议考虑电路中可能存在的任何寄生电感:快速关断和高电感的组合可能会诱发雪崩,在并联配置中,雪崩可能会对具有较低击穿电压的器件产生极大的应力。



9. Simulation tools

本章描述了如何建立一个旨在找出一组并联 MOSFET 中最坏情况的模拟。然而,在本例中使用了 SPICE,相同的思想可以应用于提供相同功能的任何其他仿真工具。

其想法是在模拟中考虑 MOSFET 的偏差,与通常的元件公差相同。讨论了两种类型的模拟:概率分布模拟和最坏情况情景模拟。

概率分布模拟是指一个或多个参数由其概率分布定义的模拟,通常显示为近似高斯(或正态)。这种类型的模拟的优点是根据发生的可能性对每个可能的组合进行加权。从理论上讲,这将产生更真实的评估,设计师可以针对设计 BOM(物料清单)对应的多次迭代运行模拟。在实践中,这种类型的评估是不切实际的,因为与参数分布(主要是西格玛值)相对应的数据需要针对每个特定零件名称进行测量,这将无法保证,并且在制造过程中需要额外的昂贵步骤。

对于基于分布的模拟,最坏情况下通过仅考虑参数在其典型值周围的最大分布来减少迭代次数。运行量减少到 2N+1,其中 N 是索引参数的数量,1 是在末尾计算的标称情况。这种类型的评估基于数据表偏差,这是有保证的。另一方面,它可能会错过"局部极值",即偏差内的点,其结果比仅考虑最大值、最小值和名义值而产生的结果更差。

分析需要四个主要数字:

- •偏差,即典型价值和△ (公差)
- •为各种组合创建一组索引的二进制函数(运行,索引)
- •读取这些索引并输出正确参数值的函数 wc(标称、tol、索引)
- •自动测量一个周期内平均耗散功率的功能

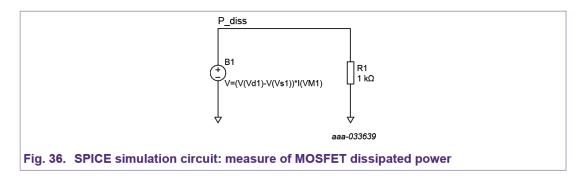
此外,偏差需要对称,因此,在 R_{DSon} 的情况下,评估将使用比数据表更高的最小或最大阻力。相反,如果数据表未提供 $Q_{G\ (tot)}$ 的最小值,则可将中点视为标称值。

在运行模拟之前,需要修改每个 MOSFET 的 spice 模型,用 wc(nom、tol、index)函数的输出替换评估中考虑的每个参数的值,如下所示:

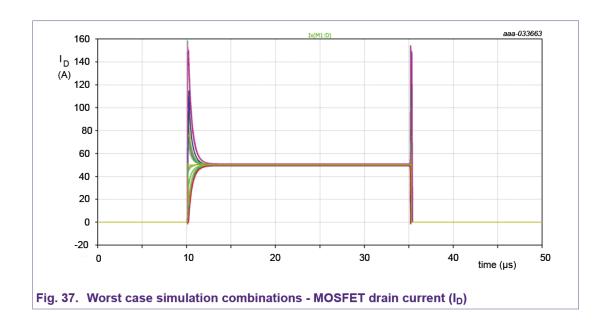
- R_{DSon} typical value 0.88 m Ω , tolerance ± 0.12 m Ω RD 3 4 {wc(576.2603u,tol_RD,3)} TC= 9.735m, 2.369u
- Q_{GS} typical value 33.5 nC, tolerance ± 13 nC
 CGS 2 6 {wc(7.67n,tol CGS,6)}
- Q_{GD} typical value 25.5 nC, tolerance ± 17 nC .params CGD_scale = {wc(1.245,tol_CGD,9)} ···G11 3 2 VALUE {CGD scale*V(13,0)*I(V11)}
- V_{GS(th)} typical value 3 V, tolerance ±0.21 V Vto= {wc(3.843,tol_VGSth,0)}

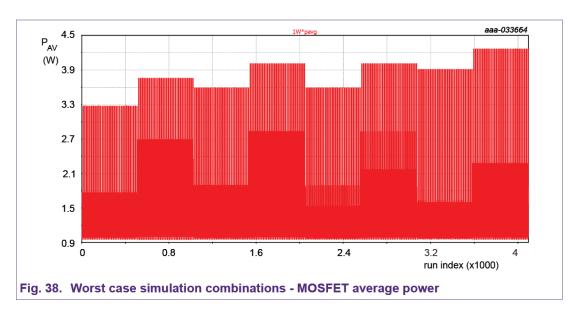
其中: tol_RD=119.68u, tolCGS=1.57n, tol_CGD=0.405, tol_VGSth=0.21。

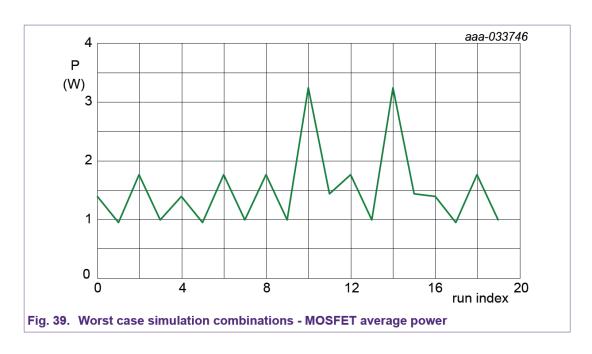
在这种特殊情况下,参数的数量为 4,这些参数在 3 个并联 MOSFET 之间变化,因此索引参数的总数为 12。因此,组合的数量将为 2^{12} +1=4097。此评估只能考虑一个 MOSFET。图 1 所示电路的稍微修改版本用于此模拟。此外,需要图 36 中的小电路,以便自动计算所研究的 MOSFET 消耗的功率(也需要相应的 0 V 监视器发生器)。



仿真完成后,可显示通过 M1 的电流。最终结果如图 37、图 38 和图 39 所示,其中显示了前 20 次迭代。

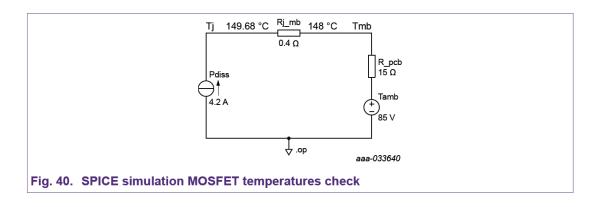






最坏的情况是单个 MOSFET 的功耗约为 4.2~W。如果只考虑 $V_{GS~(th)}$ 偏差,那么最坏的情况 是单个 MOSFET 的功耗约为 1.7~W。该结果可用于模拟结稳态温度行为的简单网络,如图 40~所示。在这种情况下,需要约 15~K/W 的 PCB 热阻来保证连接

温度低于最高 175° C。这意味着可能需要 IMS 或 DBC 板,因为 MOSFET 和 PCB 之间接口处的温度高于 FR4 的额定值。或者,可以考虑添加额外的 MOSFET 或选择较低的 R_{DSON} 部分。



这个概念可以应用于各种各样的场景:例如,可以考虑各种占空比,评估每个最坏情况的情况,然后将这些值插入到图 40 所示电路的电流源中。此外,可以导出最坏情况下的瞬时功率波形,并在 RC 热网中使用,以验证瞬时结温是否低于 175°C。

10. 总结

本应用说明旨在向读者说明并联 MOSFET 之间的均流如何受到参数分布(例如 R_{DSon} 、 V_{GS} (th) 和 $Q_{G(tot)}$)和 PCB 布局的影响。该分析考虑了开关模式(PWM)应用,因此考虑了半桥拓扑。

在切换过程中, V_{GS} (th) 偏差对电流不平衡的贡献最大,以相同的方式影响打开和关闭: V_{GS} (th) 较低的设备将首先打开,最后关闭,在两个事件中消耗更多的功率。此外, V_{G} (th) 的 NTC 会导致功耗增加,因为它会进一步降低 MOSFET 的 V_{G} (th),从而处理更多功率。 Q_{G} (tot) 中的偏差可以通过在靠近 MOSFET 栅极的一个栅极电阻器和驱动器侧的一个公共栅极电阻器之间拆分栅极电阻器来有效抵消。这一修改将改善均流,在切换过程中带来巨大的好处。

当考虑 MOSFET 并联时, R_{DSon} 不如 V_{GS} (th) 重要,因为其 PTC 改善了传导期间的均流,并抵消了 R_{DSon} 偏差造成的不平衡。此外,传导过程中的损耗($I^2 \times R$)通常低于开关损耗,因此不平衡对整体功率分配的影响较小。

最坏情况模拟可用于量化和评估并联设备的性能。了解并行使用哪些设备和多少设备可能很有用。最坏的情况主要取决于某些参数的传播。 $V_{GS\ (th)}$ 批次可变性约为各数据表所示的一半。尽管不能保证,但批之间的偏差更为现实,并导致性能得到改善的设计。

11. 附录

11.1. 实验测量

以下数据显示了流过 3 个并联使用的低侧 MOSFET 的前两个电流脉冲。所采用的电路拓扑 是驱动 $4\mu H$ 电感负载的半桥。显示了四个测量值。表中引用了 M1、M2 和 M3 R_{DSon} 、 $Q_{G (tot)}$ 和 $V_{GS (th)}$ (在 1 mA 和 1 A 下测量)的每次测量值。

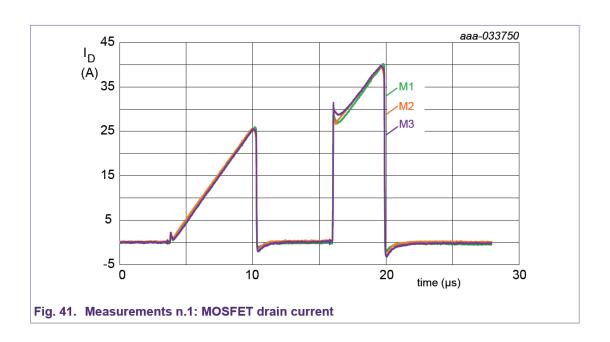


Table 16. Summary measurements n.1

Device	R _{DSon} [mΩ]	Q _{G(tot)} [nC]	V _{GS(th)} [V] @1 mA	V _{GS(th)} [V]@ 1 A	Energy Sharing Switching	Energy Sharing Conduction
M1	3.16	35.57	3.02	3.62	33.7 %	33.1 %
M2	3.02	36.45	3.02	3.63	32.5 %	32.9 %
M3	2.94	35.64	3.02	3.62	33.8 %	34.0 %

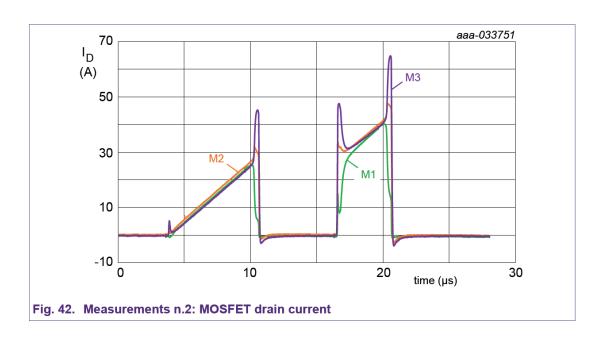


Table 17. Summary measurements n.2

Device	R _{DSon} [mΩ]	Q _{G(tot)} [nC]	V _{GS(th)} [V] @1 mA	V _{GS(th)} [V]@ 1 A	Energy Sharing Switching	Energy Sharing Conduction
M1	3.07	38.14	3.46	4.10	8.2 %	32.8 %
M2	2.94	35.64	3.02	3.62	36.1 %	33.7 %
M3	3.14	33.74	2.80	3.39	55.7 %	33.5 %

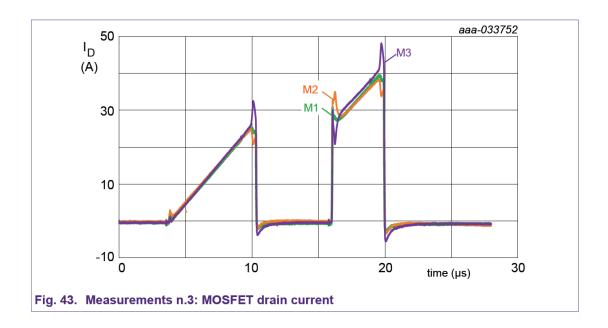


Table 18. Summary measurements n.3

Device	R _{DSon} [mΩ]	Q _{G(tot)} [nC]	V _{GS(th)} [V] @1 mA	V _{GS(th)} [V]@ 1 A	Energy Sharing Switching	Energy Sharing Conduction
M1	3.16	35.57	3.02	3.62	32.0 %	32.9 %
M2	3.43	28.69	3.03	3.63	32.0 %	32.9 %
M3	3.05	44.50	3.02	3.62	36.0 %	34.2 %

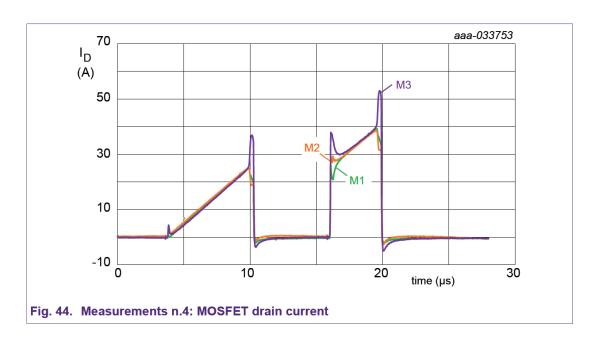


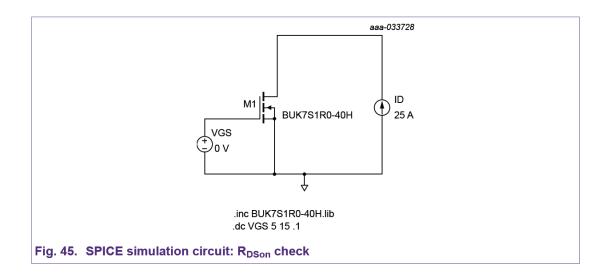
Table 19. Summary measurements n.4

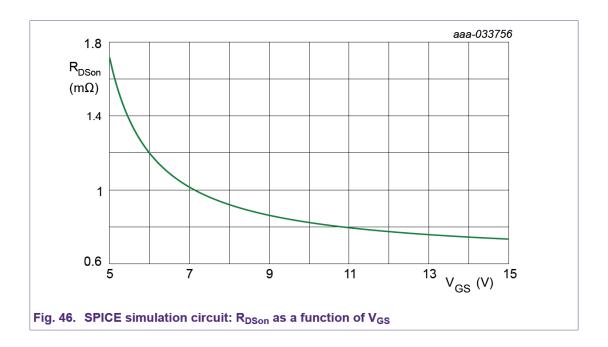
Device	R _{DSon} [mΩ]	Q _{G(tot)} [nC]	V _{GS(th)} [V] @1 mA	V _{GS(th)} [V]@ 1 A	Energy Sharing Switching	Energy Sharing Conduction
M1	3.16	35.57	3.02	3.62	25.5 %	33.2 %
M2	3.05	44.50	3.02	3.62	27.5 %	33.2 %
M3	3.14	33.74	2.80	3.39	45.3 %	33.6 %

11.2. Simulations

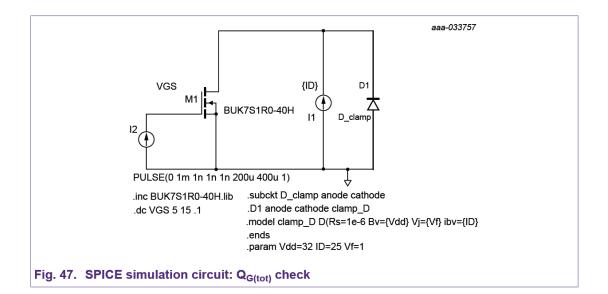
以下模拟可用于验证 SPICE 模型与数据表的一致性。

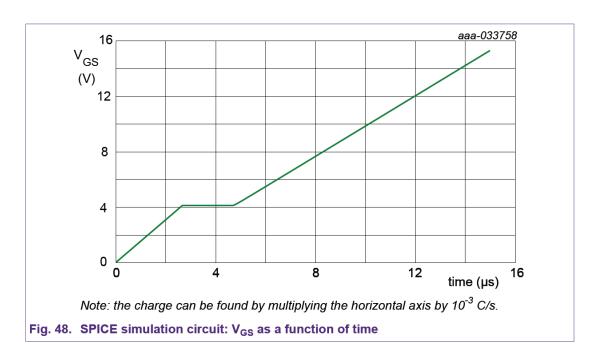
 R_{DSon} simulation





 $Q_{G(tot)}$ simulation





 $V_{GS(th)}$ simulation

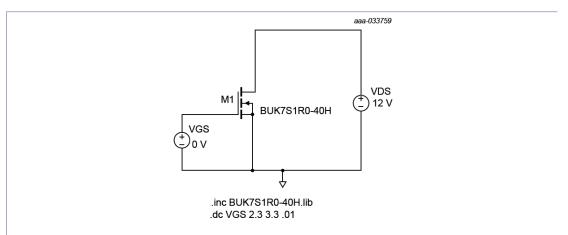


Fig. 49. SPICE simulation circuit: $V_{G(th)}$ check

