

使用功率 MOSFET 进行设计

如何避免常见问题和失效模式

作者：Peter B. Green

关于本文档

范围和目的

与所有功率半导体器件一样，功率 MOSFET 也有其自身的技术优势、劣势和细微之处，设计人员若要避免可靠性问题，则需要正确理解其特性。本应用说明介绍了在使用功率 MOSFET 时的一些最常见注意事项。目的是帮助系统设计人员了解如何正确使用这些器件，并避免出现常见错误，从而缩短设计时间。最后提供了有用的参考资料列表，以供做更深入的研究。

目标受众

使用功率 MOSFET 进行设计的电力工程师和学生。适用于对 MOSFET 有基本了解，但在使用 MOSFET 进行设计方面缺乏经验的工程师。

目录

关于本文档	1
1 功率 MOSFET 简介	3
2 功率 MOSFET 握持和测试	5
3 反向阻断特性	6
3.1 雪崩失效机制	6
3.1.1 闩锁效应	6
3.1.2 热失效	7
3.2 雪崩测试	7
3.3 单次和重复雪崩条件	8
3.4 如何避免雪崩事件	8
4 MOSFET 额定电流和散热	10
5 栅源电压瞬变	12
6 安全工作区	13
6.1 $R_{DS(on)}$ 限制（蓝色）	14
6.2 最大工作电流限制（红色）	14
6.3 功率限制（深绿色）	14
6.4 热稳定性限制（浅绿色）	15
6.5 击穿电压（黄色）	16
7 感应导通和击穿	17

使用功率 MOSFET 进行设计

如何避免常见问题和故障模式

关于本文档

7.1	如何避免感应导通.....	18
8	体二极管	19
9	封装和电路板布局注意事项	21
10	功率 MOSFET 并联.....	23
11	结论	24
	参考资料.....	25
	修订记录.....	26

1 功率 MOSFET 简介

功率 MOSFET 于 20 世纪 70 年代首次推出，并成为世界上应用最广泛的功率晶体管。与双极功率晶体管等老技术相比，它们在线性和开关应用中具有许多优势。这些优势包括极大改进的开关特性、易于并联、没有二次击穿效应以及更宽的安全工作区 (SOA)。MOSFET 属于电压驱动型跨导器件。

构成 MOSFET 管芯的硅的不同掺杂方式将 MOSFET 分成两个技术大类，即平面型和沟槽型，如图 1 所示。

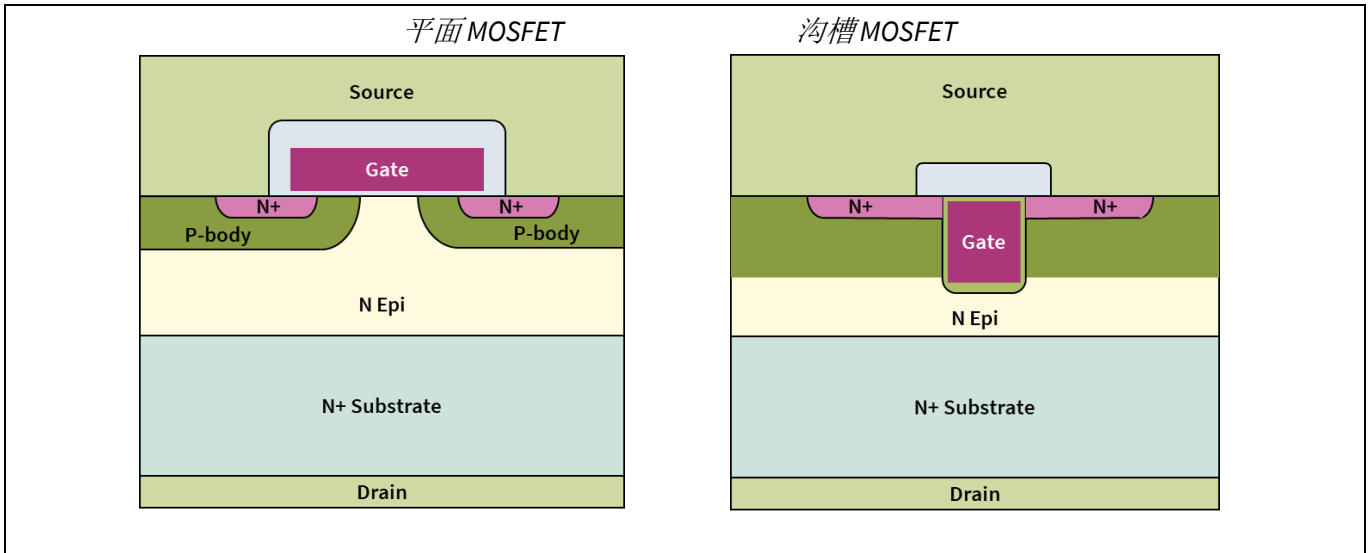


图 1 平面和沟槽 MOSFET 管芯层

功率 MOSFET 管芯由许多并联的独立单元或平面带组成，并通过网状栅极连接在一起。

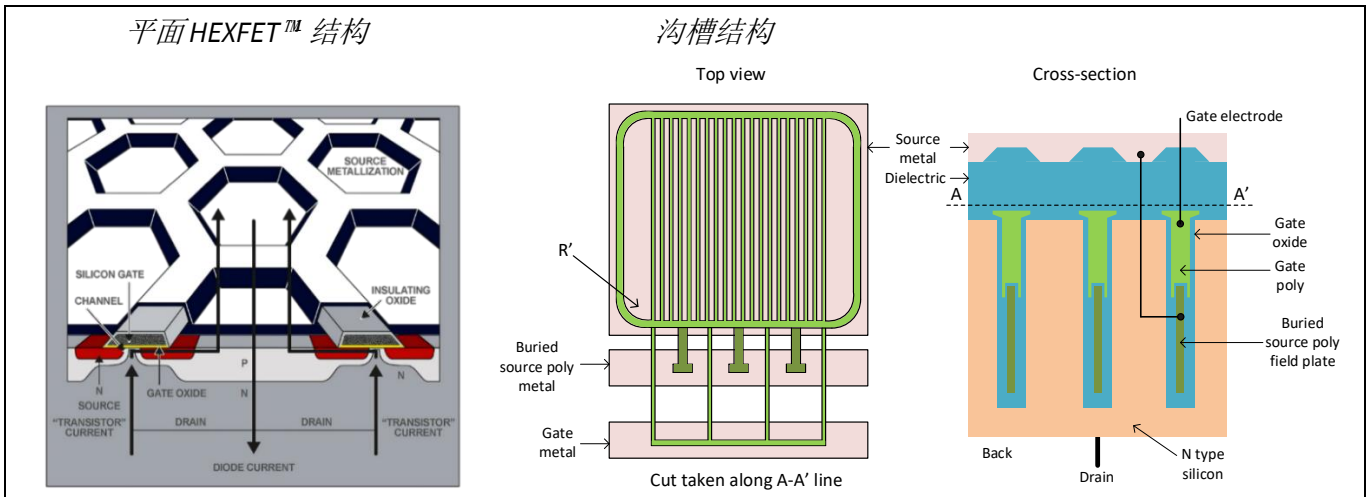


图 2 MOSFET 器件结构

英飞凌 OptiMOS™ 器件基于沟槽技术，而 CoolMOS™ 器件基于超结技术，它是增强的平面技术，可降低导通电阻并取代旧的 HEXFET™ 器件。

¹ 六角型功率 MOSFET 于 1977 年由 Alex Lidow 和 Tom Herman 在斯坦福大学开发，并于 1978 年由国际整流器公司将其商业化。

使用功率 MOSFET 进行设计

如何避免常见问题和故障模式

功率 MOSFET 简介

本应用说明中讨论的主题适用于所有这些硅功率 MOSFET 技术，但可能不适用于其他功率器件和技术，例如 IGBT、碳化硅 (SiC) FET 或氮化镓 (GaN) 高电子迁移率晶体管 (HEMT)。重点将放在 N 沟道增强型器件上，这类器件占所生产功率 MOSFET 的大部分。

虽然功率 MOSFET 最初看起来是简单的三端电压驱动开关器件，但这种想法非常具有误导性。实际上，这些器件很复杂，因此在开始任何设计项目之前，一定要深入了解其基本特性。这将大大减少令人懊恼的故障和电路烧毁！当涉及到功率 MOSFET，或任何其他功率半导体器件时，花时间了解以下章节中描述的各个方面，最终都有利于节省设计时间。

2 功率 MOSFET 握持和测试

用户与 MOS 栅极晶体管的第一次接触可能是放在他们办公桌上的一包器件。即使在这个阶段，了解一些基本的预防措施也很重要。功率 MOSFET 是具有极高栅极阻抗的 MOS 器件，在握持、测试或安装到电路中时，会因静电放电而损坏。MOSFET 的 ESD 损坏通常发生在栅源电压高到足以在栅电介质上产生电弧时。这会在栅极氧化物中烧出一个微小的孔，导致器件在操作过程中立即或随后发生故障。

功率 MOSFET 器件具有足够高的输入电容来吸收一些静电荷，而不会过度累积电压。但是，为避免可能出现的问题，以下程序应作为良好方法并尽可能加以遵循：

- MOS 栅极晶体管应放置在其防静电运输袋或导电泡沫中，或者应放置在金属容器或导电箱中，直到需要进行测试或连接到电路中时才能取出。操作器件的人员应佩戴良好接地的防静电腕带，尽管这种额外的预防措施很少是必要的。
- 应握持器件的封装，而非引线。在曲线测量仪或测试电路中测试 MOS 栅极晶体管的电气特性时，应注意以下注意事项：
 1. 测试站应在测试台上使用导电地板和接地防静电垫。
 2. 将器件插入曲线测量仪或测试电路时，在所有端子牢固连接到电路之前，不应施加电压。
 3. 使用曲线测量仪时，应在栅极串联电阻，以抑制可能在导线上发生的寄生振荡。合适的电阻值为 100 Ω 。
- 下一步是将器件连接到实际电路中。应遵守以下简单预防措施：
 1. 工作站应使用电气接地的桌面和地板垫。
 2. 烙铁应接地。

现在，器件已连接到电路中，可以通电了。从这里开始，能否成功应用该器件取决于电路设计的完整性，以及是否采取了必要的电路设计预防措施以防止无意中滥用其额定值。

以下章节描述了相关的器件和电路考虑因素，这些因素是可靠、无缺陷设计的关键。

3 反向阻断特性

所有功率 MOSFET 器件都有额定最大反向电压，即 $V_{(BR)DSS}$ 。如果漏源电压超过此限制，则会在反向偏置的 p-n 结上产生高电场。由于强电离的作用，这些高电场会产生电子-空穴对，它们会出现不受控制的倍增效应，导致载流子浓度进一步增加。这就是雪崩效应，会导致流经器件的电流增加，从而导致高功耗、快速升温和潜在的器件损坏。在超过 MOSFET 的击穿电压时，通常会发生雪崩，这通常是由于非钳位电感开关 (UIS) 造成的，其中器件的使用超出了其数据表规范。因此，设计人员应尽一切合理努力避免 MOSFET 工作在雪崩状态。实际上，在大电流应用中，由于 MOSFET 封装和 PCB 走线中的寄生电感或变压器漏感（例如在反激式转换器中），会导致关断瞬态高压。通过漏极电压的钳位效应可观察雪崩。

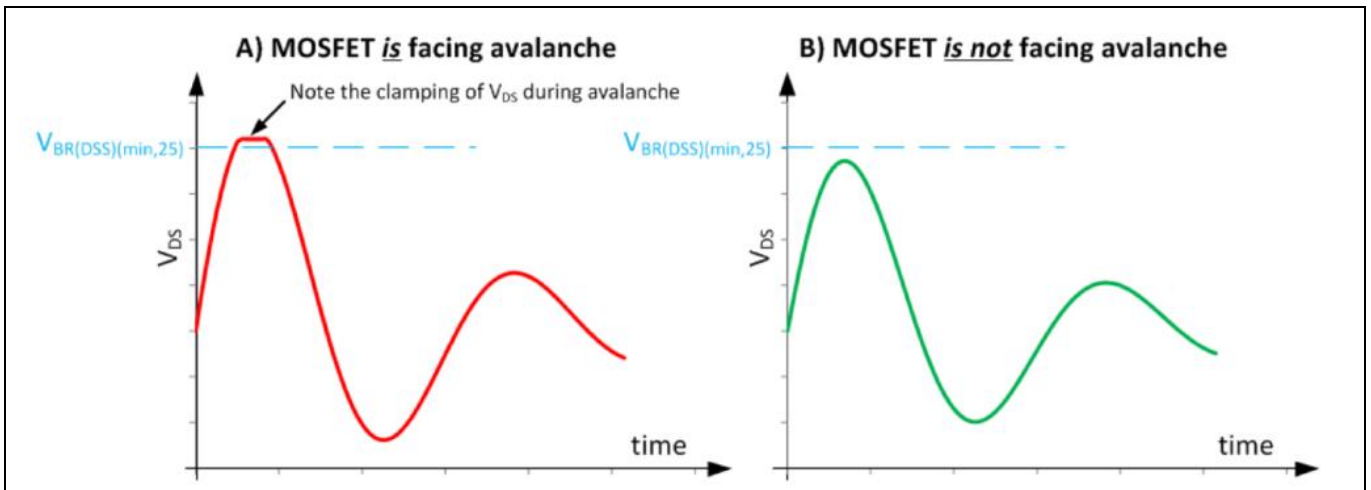


图 3 由于 UIS 导致的 V_{DS} 关断瞬态电压

MOSFET 数据手册中的 $V_{(BR)DSS}$ 额定值是考虑制程差异的最小值，这意味着尽管某些器件可能会在更高的电平上钳位，但设计人员应考虑数据手册中给出的最坏情况。 $V_{(BR)DSS}$ 随温度略有增加，如数据手册中图表所示。

3.1 雪崩失效机制

3.1.1 闩锁效应

在这种情况下，雪崩事件会产生漏极电流，在电场强度更大的位置，漏极电流也会更大。闩锁效应是由寄生在功率 MOSFET 中的 NPN 双极结型晶体管 (BJT) 产生。如果器件的结构使得寄生 BJT 附近的电场很高，则大量电流将流过其基极电阻，从而在基极和发射极之间产生电压。如果此电压达到某个阈值，双极晶体管就会导通，大部分雪崩电流会流经它，从而产生潜在的破坏性影响，因为没有办法可以控制电流。由于闩锁效应机制已广为人知，英飞凌在所有 OptiMOS™ 技术的开发过程中一直在努力减轻其影响。因此，在许多 MOSFET 技术中，闩锁效应不会发生。但是，并非所有 MOSFET 技术都是如此，因此仔细研究数据手册以了解特定器件使用的技术类型及其优缺点非常重要。

使用功率 MOSFET 进行设计

如何避免常见问题和故障模式

反向阻断特性

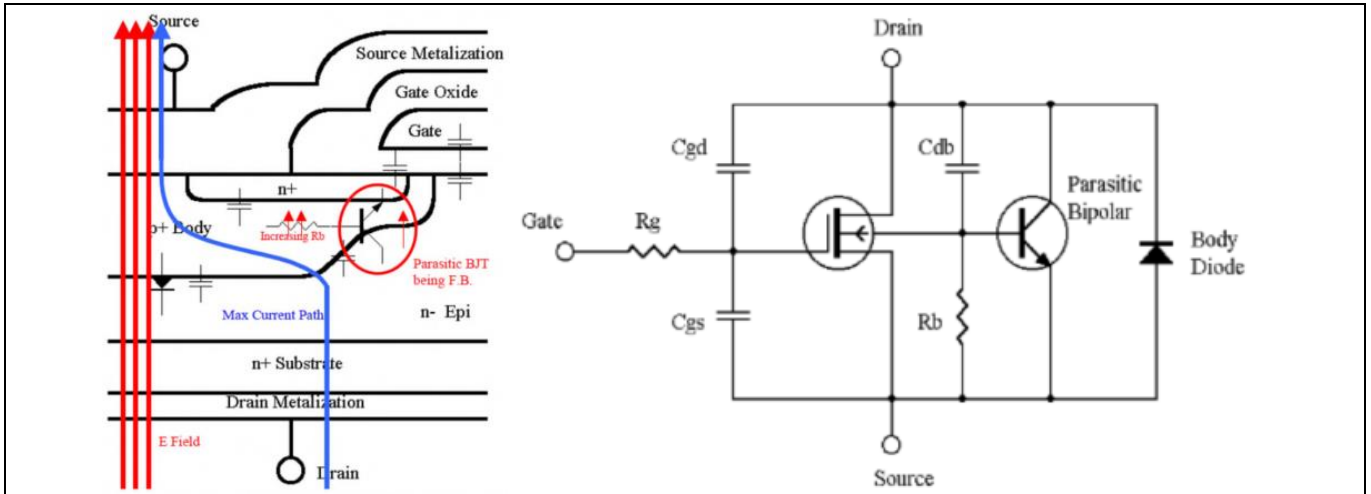


图 4 MOSFET 寄生 BJT 硅结构及等效电路

3.1.2 热失效

当 MOSFET 的结温达到 $T_{j,destr}$ 时，就会发生热损坏。 $T_{j,destr}$ 接近硅材料的本征温度，在这个温度时热载流子的密度等于本地掺杂的浓度。因此，当达到这样的温度时，MOSFET 将不再像半导体器件那样工作。OptiMOS™ 系列之间的 $T_{j,destr}$ 差异不大，该值通常接近 $400^{\circ}C$ 。鉴于在英飞凌 OptiMOS™ 系列的技术开发过程中采取了防止闩锁效应的预防措施，热损坏是由雪崩引起的大多数失效的原因。即使是易发生闩锁效应的技术，热失效也更有可能会发生。

遗憾的是，应对热损坏需要在技术设计中进行一些权衡，因为它会影响高性能技术的一些关键驱动因素，特别是 $FOM R_{DS(on)} \times A$ 。事实上，虽然降低 $R_{DS(on)} \times A$ 的技术可以在特定的 $R_{DS(on)}$ 值下采用更小尺寸的芯片，但更大的管芯面积可以减轻高能雪崩事件引起的升温。

3.2 雪崩测试

MOSFET 雪崩耐受能力通过单脉冲 UIS 测试电路进行测试，如下图所示。

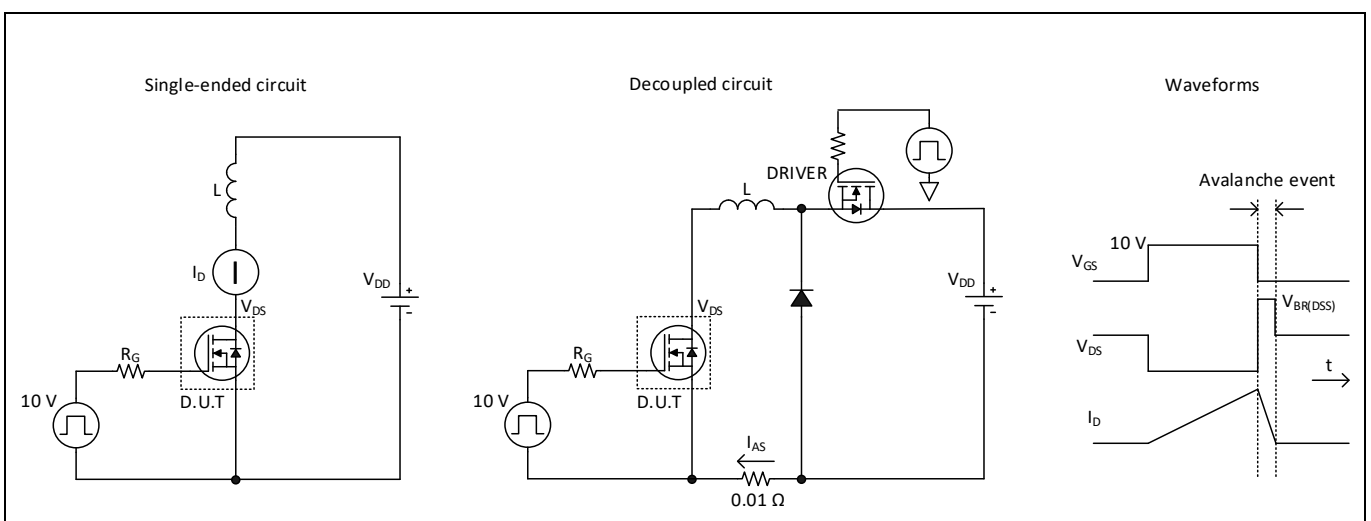


图 5 雪崩测试电路

在这些电路中，特定时长的脉冲施加到 MOSFET 栅极以导通器件，漏极电流因串联电感而线性上升。然后 MOSFET 关断，此时会出现较大的负 di/dt ，从而产生瞬变电压。在去耦电路中，两个 MOSFET 同时导通和关断，因此电感电压等于施加在 MOSFET 漏极和源极之间的电压。关断瞬态上升至 $V_{(BR)DSS}$ 以上，这样在雪

使用功率 MOSFET 进行设计

如何避免常见问题和故障模式

反向阻断特性

崩条件下，存储在电感中的能量（由脉冲长度和电感定义）可以传输到 MOSFET。英飞凌实施雪崩应力测试以确保符合 E_{AS} 等级、验证稳固性并筛选有缺陷的器件。

3.3 单次和重复雪崩条件

MOSFET 在单个脉冲中所能承受的雪崩能量有一个定义的最大值，在特定的一组测试条件下，MOSFET 数据手册中将其指定为 E_{AS} 。顾名思义，单脉冲雪崩事件只允许发生一次，特别是在条件接近数据手册中提供的限值时。这是因为这些限值对应于高于 MOSFET $T_{j,max}$ 的结温，因此重复此类事件会损害 MOSFET 的使用寿命。请记住雪崩不是推荐的操作条件。

在重复雪崩的情况下，雪崩事件以快速重复频率连续发生，这通常与开关电源转换器等应用电路的开关频率 (f_{sw}) 相同。每个雪崩事件允许的安全雪崩能量远低于单脉冲雪崩。

在大多数重复雪崩情况下，由于每次雪崩事件的能量相对较低，与最坏情况下的单脉冲雪崩相比，硅材料温升可以忽略不计。观察到的 V_{DS} 尖峰仅略微超过 MOSFET $V_{(BR)DSS,(min,25)}$ 额定值，而在高能单脉冲雪崩测试期间记录的振幅为 $1.2 \sim 1.3 \times V_{(BR)DSS,(min,25)}$ 。单次雪崩额定值和重复雪崩额定值之间的相关差异与此类事件引起的允许 $T_{j,max}$ 有关。事实上，虽然在单脉冲雪崩中允许结温超过 $T_{j,max}$ ，但对于重复雪崩却不是这样。

在重复雪崩中超过 $T_{j,max}$ 会产生累积效应，这可能会降低器件在其使用寿命内的可靠性，从而导致过早失效。对于采用 QFN 5x6 (SuperSO8) 或 S308 封装的器件， $T_{j,max}$ 可低至 $150^\circ C$ 。这是封装而非硅材料本身的限制，硅通常可以承受 $175^\circ C$ 。因此，在某些情况下，当采用不同封装（例如 TO-220 或 D²PAK）时，具有相同管芯的 MOSFET，其额定温度为 $175^\circ C$ 。

区分单脉冲和重复雪崩非常重要，因为它们影响正常 MOSFET 特性的方式大不相同。单脉冲雪崩的两种器件失效模式是由高电流（闩锁效应）或高能量（热损坏）引起的。这些失效模式是灾难性的；然而，在重复雪崩情况下，损坏过程是渐进的，通过重复的微损伤非常缓慢地影响器件。即使是低能量雪崩事件也会产生一些热载流子，这些载流子电荷沿着功率 MOSFET 的沟槽氧化物注入。重复雪崩事件会引起电荷积累，这会慢慢损害器件可靠性。这可能导致一段时间后发生现场失效。

值得一提的是，为了显著降低重复雪崩对技术参数的影响，英飞凌需要在绝大多数应用中占主导地位的其他品质因数上做出重大妥协。这对于正常使用 MOSFET 时很少发生的事件而言，代价太高了，设计人员应努力避免发生这种事件。因此，英飞凌不会在 OptiMOS™ “工业和标准等级” 数据手册中加入重复雪崩额定值。

3.4 如何避免雪崩事件

首先，有必要为应用选择具有正确 $V_{(BR)DSS}$ 额定值的器件。这意味着在最坏的工作条件下，器件漏极和源极两端的最大稳态电压应考虑至少 20% 的安全裕度。在可能发生大的关断瞬态情况下，将需要更高的安全裕度来实现可靠操作。例如，在电机驱动逆变器中，采用 MOSFET $V_{(BR)DSS}$ 额定值为 DC 总线电压两倍的情况并不少见。然而，选择比所需额定值更高的器件是错误的，因为这会带来更高的 $R_{DS(on)}$ ，而且成本也可能更高。

用于减少关断瞬态的方法包括通过调整栅极驱动网络来减缓 MOSFET 的关断速度，以及在漏极和源极之间添加 RC 缓冲器。当然，这两种方法都会造成额外的开关损耗，从而降低系统效率。

使用功率 MOSFET 进行设计

如何避免常见问题和故障模式

反向阻断特性

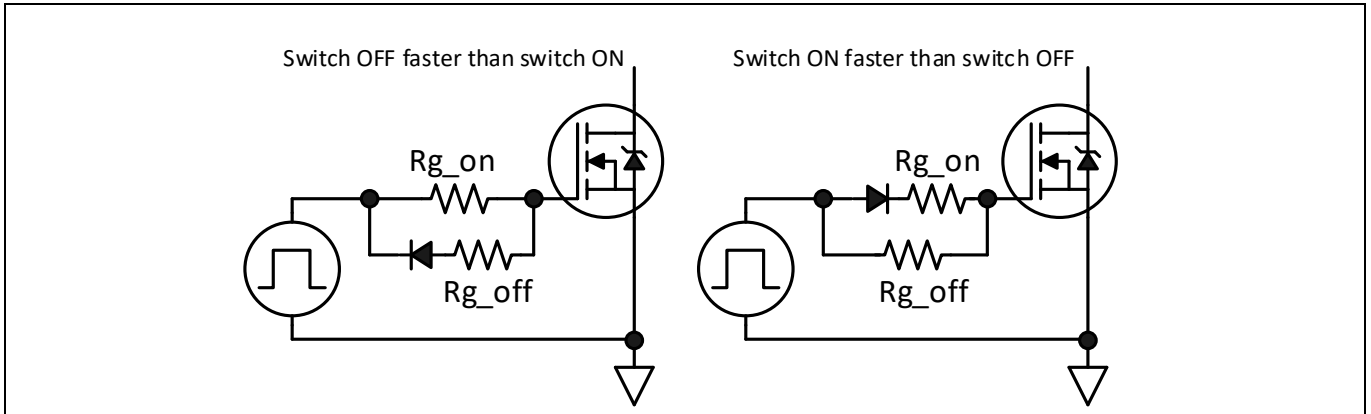


图 6 栅极驱动电路

根据设计的具体情况，上述栅极驱动电路之一可用于控制导通和关断速度。调整 R_{g_off} 可使设计人员在不影响导通速度的情况下降低关断瞬态电压。然而，在硬开关半桥电路中， R_{g_off} 值不能太高，因为这可能会导致在低侧栅极处出现感应导通尖峰，此现象由 $C_{GD} \cdot di/dt$ 效应引起。如果值足够大，此尖峰可能会超过 MOSFET $V_{GS(th)}$ ，并产生危险的击穿电流（这将在第 7 节中进一步讨论）。仔细考虑栅极驱动电阻值对于在最小化关断瞬态振幅、避免感应导通（如适用）和控制 EMI 之间实现最佳平衡至关重要。

如前所述，可以在漏极和源极之间添加一个串联 RC 缓冲器，以吸收一些关断瞬态，从而降低其峰值电压；然而，这会产生额外的开通损耗。

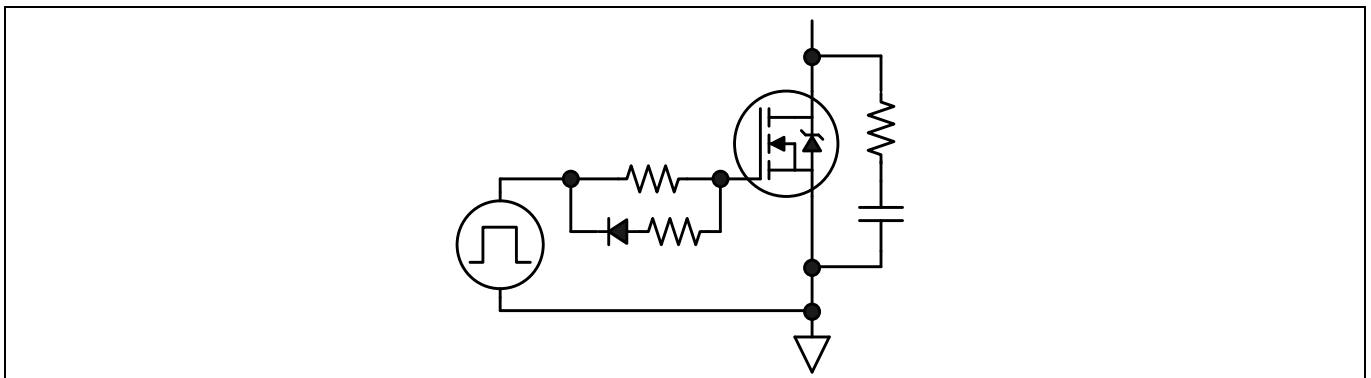


图 7 连接在 MOSFET 漏极和源极之间的 RC 缓冲器

4 MOSFET 额定电流和散热

没有经验的用户可能会认为 MOSFET 数据手册上的连续漏极额定电流 $I_{D(MAX)}$ 代表器件在实际系统中的工作电流。但重要的是要认识到事实并非如此！

此类 $I_{D(MAX)}$ 额定值基于实际设计中无法实现的理想测试条件。测试条件通常涉及非常大的散热器或通过人工冷却将管芯温度保持在较低水平。

应该注意的是，不同制造商使用不同的标准（有些标准比其他标准更保守）来确定其 MOSFET $I_{D(MAX)}$ 额定值，这些方法也在随着时间的推移而发展。因此，通过这些额定值来比较不同器件的能力是错误的！英飞凌现在使用的方法在 [5] 中进行了描述。

比较不同器件的更现实的方法是基于功率损耗，以及在给定的一组条件下功率损耗如何导致管芯和封装温度上升。

作为第一个标准，比较 25°C 时的 $R_{DS(on)}$ 很有用，因为这为比较提供了通用基础。 $R_{DS(on)}$ 由串联管芯和封装电阻组成¹，前者取决于栅源电压 V_{GS} 。

$R_{DS(on)}$ 与结壳热阻 $R_{TH(JC)}$ 结合使用，² 可以更好地显示功率 MOSFET 的真实电流承载能力。以下焊接到 PCB 上的典型的 SMD 封装功率 MOSFET 的剖面图提供了更清晰的图像。管芯底部连接到金属片，使漏极与电路板相连接。源极和栅极连接通过键合线连接到形成外部引线的引线框架。由于漏极电流流经源极，因此使用了几根键合线，有时还会用到几根源极引线。在一些大电流器件中，会使用铜夹代替源极键合线以实现更低的电阻。

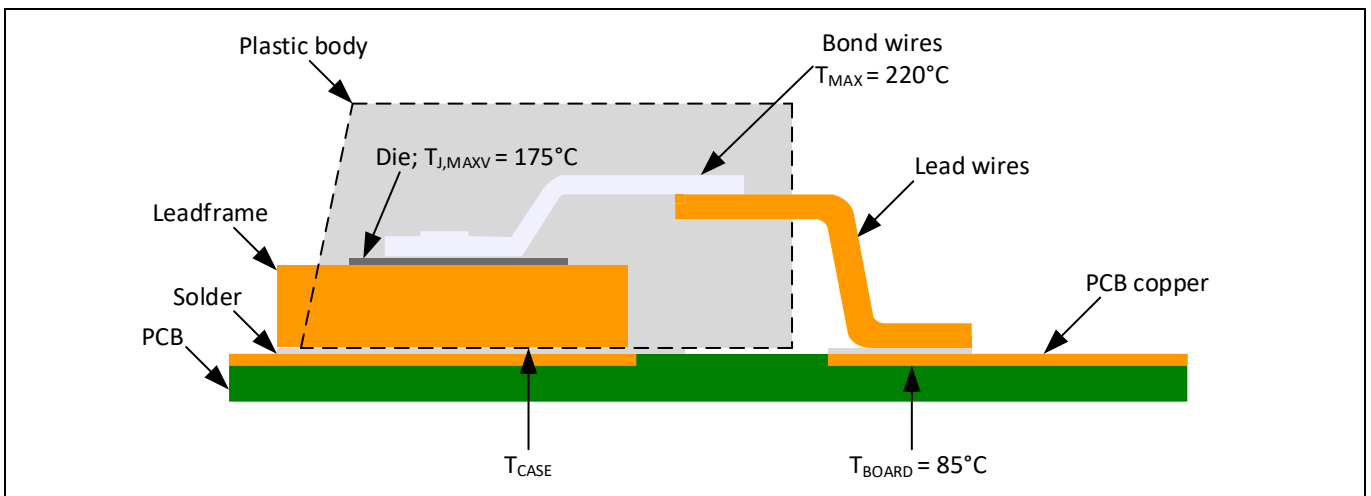


图 8 在 PCB 上安装的 D²PAK SMD MOSFET 封装剖面图

显然，当电流通过漏源路径时，会产生导通损耗，并产生热量。开关功率转换器也会产生开关损耗，每个开关周期都会消耗一定的能量，开关损耗与频率有关。总损耗包括导通损耗和开关损耗，通过封装顶部和/或底部传输出去。散热方式因封装而异。大多数封装都是底部或背部散热，如上例所示，其中大部分热量通过漏极散热片传递到 PCB，这需要在漏极焊盘下方添加大量热通孔以将热量传递到电路板底部。然后可以在电路板下方安装散热器。也有顶部散热封装，如 TOLT 封装，其封装内的管芯和引线框架的内部布局不同；它们在封装顶部有一个裸露的金属焊盘，可以用来安装散热器。

¹ 功率封装中的封装电阻仅对导电电阻低于 $10\text{ m}\Omega$ 左右的 MOSFET 很重要。

² 有时会为封装顶部和底部提供单独的结壳热阻值。

使用功率 MOSFET 进行设计

如何避免常见问题和故障模式

MOSFET 额定电流和散热

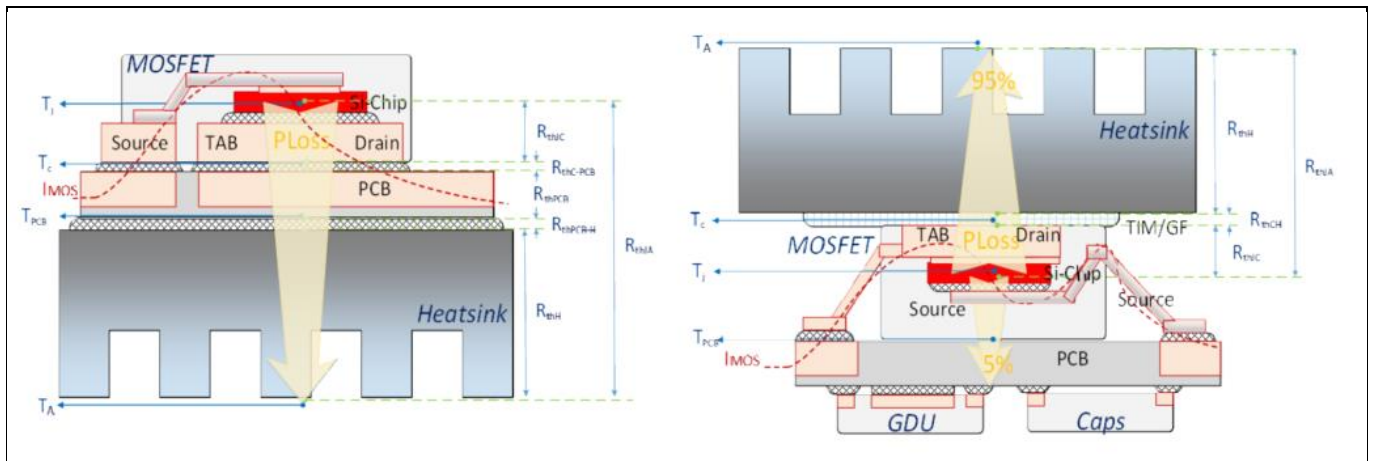


图 9 底部和顶部散热

散热器尺寸必须能够从 MOSFET 管芯传递足够的热量，使其结温保持在最大额定水平以下。设计人员必须首先选择正确的 MOSFET 管芯尺寸和封装以限制功率损耗，接着必须选择合适的散热器来保持安全结温。

除了散热器尺寸和表面积（由翅片的形状和数量决定）外，还必须考虑结至环境热阻。这取决于所使用的散热器布局，可以通过将结与散热器之间的所有串联热阻（包括 PCB、隔热材料/TIM 等）以及散热器本身的热阻相加来计算热阻（参见图 9）。显然，需要低结至环境热阻来有效地传递 MOSFET 管芯的热量，并使其能够安全地传导尽可能高的电流。

总之，从电流处理的角度来看整体情况比过分关注数据手册的 $I_{D(MAX)}$ 额定值更有意义。

5 栅源电压瞬变

过大的电压瞬态会穿透薄栅源氧化层，造成永久性损坏。不幸的是，这种瞬态在电源开关电路中产生，并且可以耦合到敏感的 MOSFET 栅极输入端。强烈建议设计人员仔细查看栅极驱动波形，以确保不存在超出器件限制的正负瞬态（功率 MOSFET 通常为 $\pm 20\text{ V}$ ，但应在数据手册上确认）。

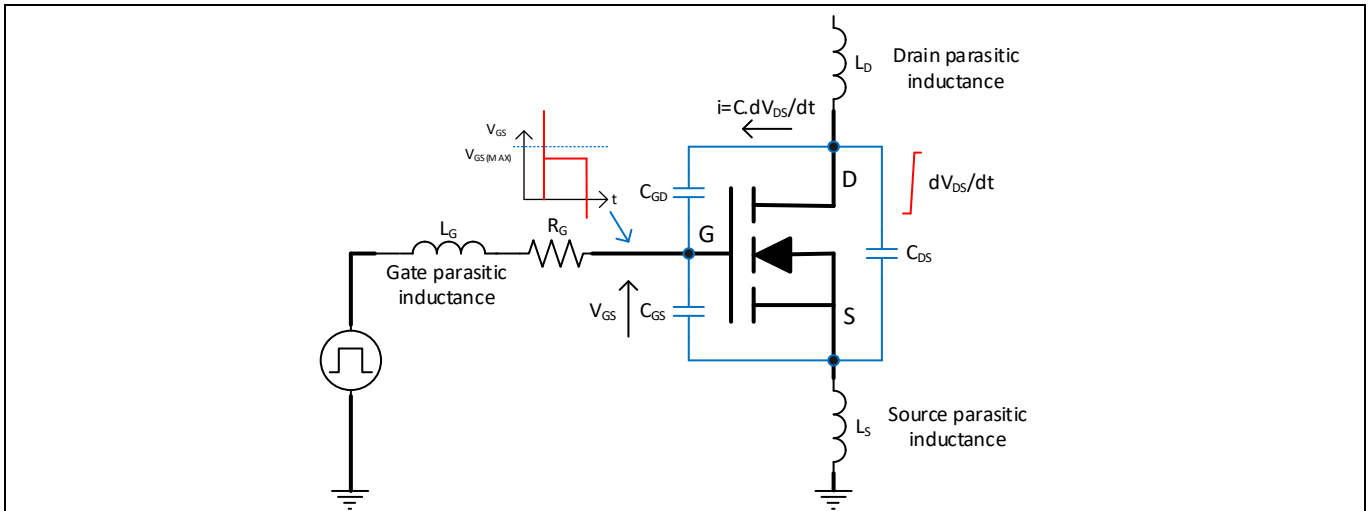


图 10 快速变化的漏源电压会产生栅源瞬态

在栅极驱动的导通或关断操作期间，当器件从导通状态转换至关断状态时会产生高 dv_{DS}/dt ，反之亦然。考虑到栅极、源极和漏极引线中存在寄生电感，以及 MOSFET C_{GD} （米勒电容），可以理解的是，这些寄生参数的组合会在栅极和源极之间产生瞬态电压。幸运的是，栅极电容 C_{GS} 可以减轻这种影响。

C_{GS}/C_{GD} 的比率必须尽可能高，以尽量减少漏源电压耦合。优化 PCB 布局以尽可能减少寄生电感也很重要。在某些情况下，设计人员会添加小栅源电容来帮助减少这些尖峰，尽管这也会减缓 MOSFET 的开关速度。

C_{GS} 和 C_{GD} 值取决于电压，因此通常不会直接引用 MOSFET 数据表中的值。更方便的是查看相关的电荷值 Q_{GD} 和 Q_{GS} 。电荷比通常表示为： Q_{GD}/Q_{GS} 或 $Q_{GD}/Q_{GS(TH)}$ ，较低的值意味着器件不太容易受到通过 C_{GD} 耦合的感应导通的影响。

6 安全工作区

现代功率 MOSFET 的发展聚焦在在具有超低 $R_{DS(on)}$ 的快速开关上，因此减小管芯面积已成为发展趋势。因此，特定 $R_{DS(on)}$ 器件的功率承载能力普遍下降，特别是在线性工作模式下（在饱和区）。在设计功率 MOSFET（或任何其他类型的功率晶体管）时，必须密切关注 SOA 图，并确保该器件永远不会在所定义的极限线之外工作。如果超出了这些限制，可靠的设计是不可能实现的！

为了准确地设定这些限制，英飞凌对许多样品进行了广泛测试，其中包括对器件进行破坏性测试。在某些应用中，会在饱和区内持续工作一段时间，例如浪涌电流限制或“热插拔”。在这些情况下，必须特别注意所需脉冲持续时间的 SOA 限制，以确保绝不会超过这些限制。

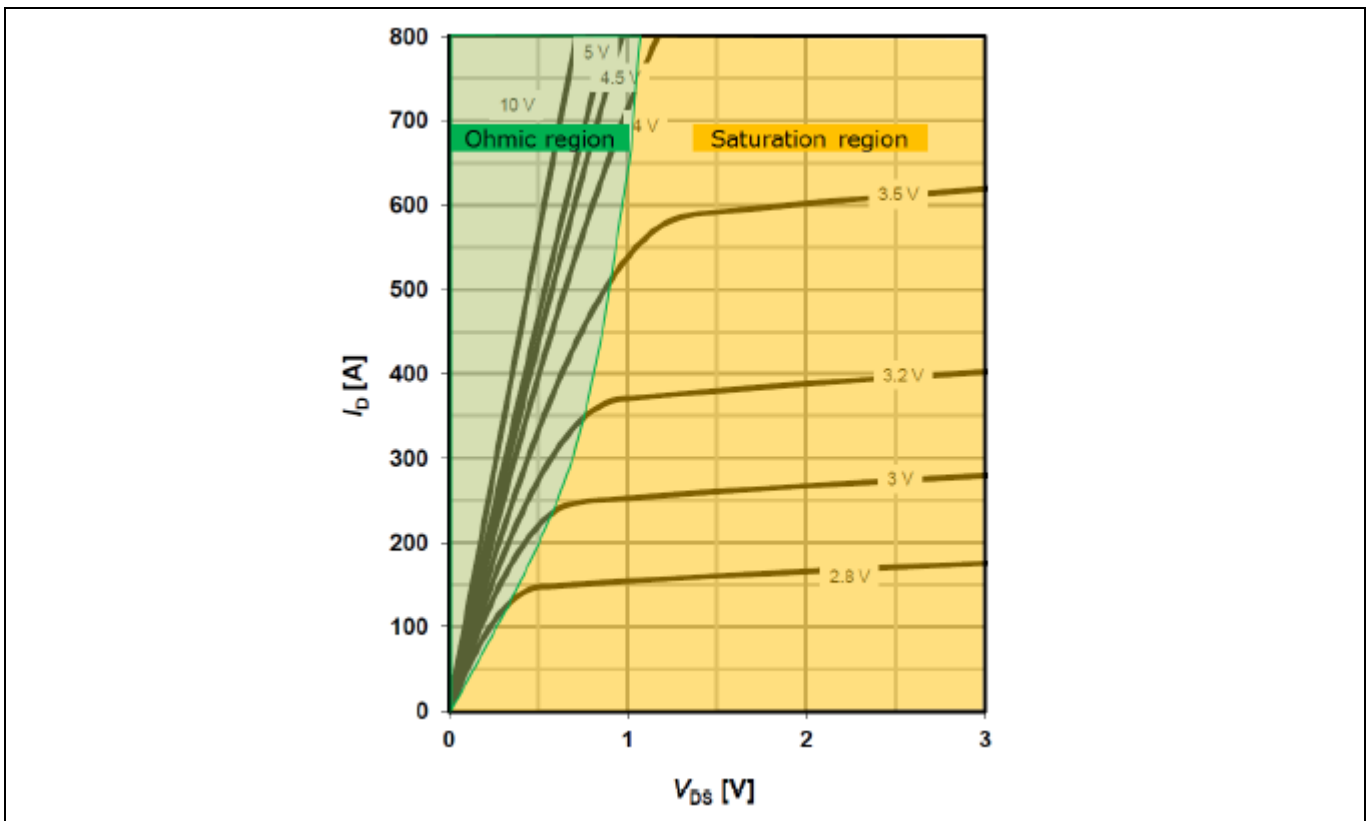


图 11 功率 MOSFET 的欧姆（三极管或线性）¹区和饱和区

在典型的开关应用中，SOA 不容忽视，因为器件在每个开关周期都会通过饱和区，除非是零电压或零电流开关转换。这些转换发生得很快，因此在规定的条件下，MOSFET 可以承受更高的电流脉冲。但是，建议检查是否在 SOA 限制范围内工作。重要的是要记住，当减慢 MOSFET 的导通或关断速度（如第 3.4 节所述）以减少 EMI 或关断瞬态时，饱和区的工作时间会增加。

¹ 线性区域不同于线性模式。在线性模式下工作代表在饱和区，而非欧姆区。

使用功率 MOSFET 进行设计

如何避免常见问题和故障模式

安全工作区

英飞凌功率 MOSFET（本例中为 **BSC010NE2LS**）的 SOA 图如下所示。其他 MOSFET 的 SOA 曲线通常至少包括一些相同的限制线，但可能看起来有些不同。定义 SOA 图的五个限制线是 $R_{DS(on)}$ 限制线（蓝线）、电流限制线（红线）、最大功率限制线（深绿色线）、热不稳定性限制线（浅绿色线）和击穿电压限制线（黄线）。在这些限制线内，绿色阴影区域给出了 MOSFET 可以安全工作的区域。在本例中，限制线为恒定外壳温度 $T_c = 25^\circ\text{C}$ 和持续时间为 $100\ \mu\text{s}$ 的单个脉冲。器件数据手册中的完整 SOA 图为各种脉冲宽度和连续 (DC) 工作提供了其他的限制线。

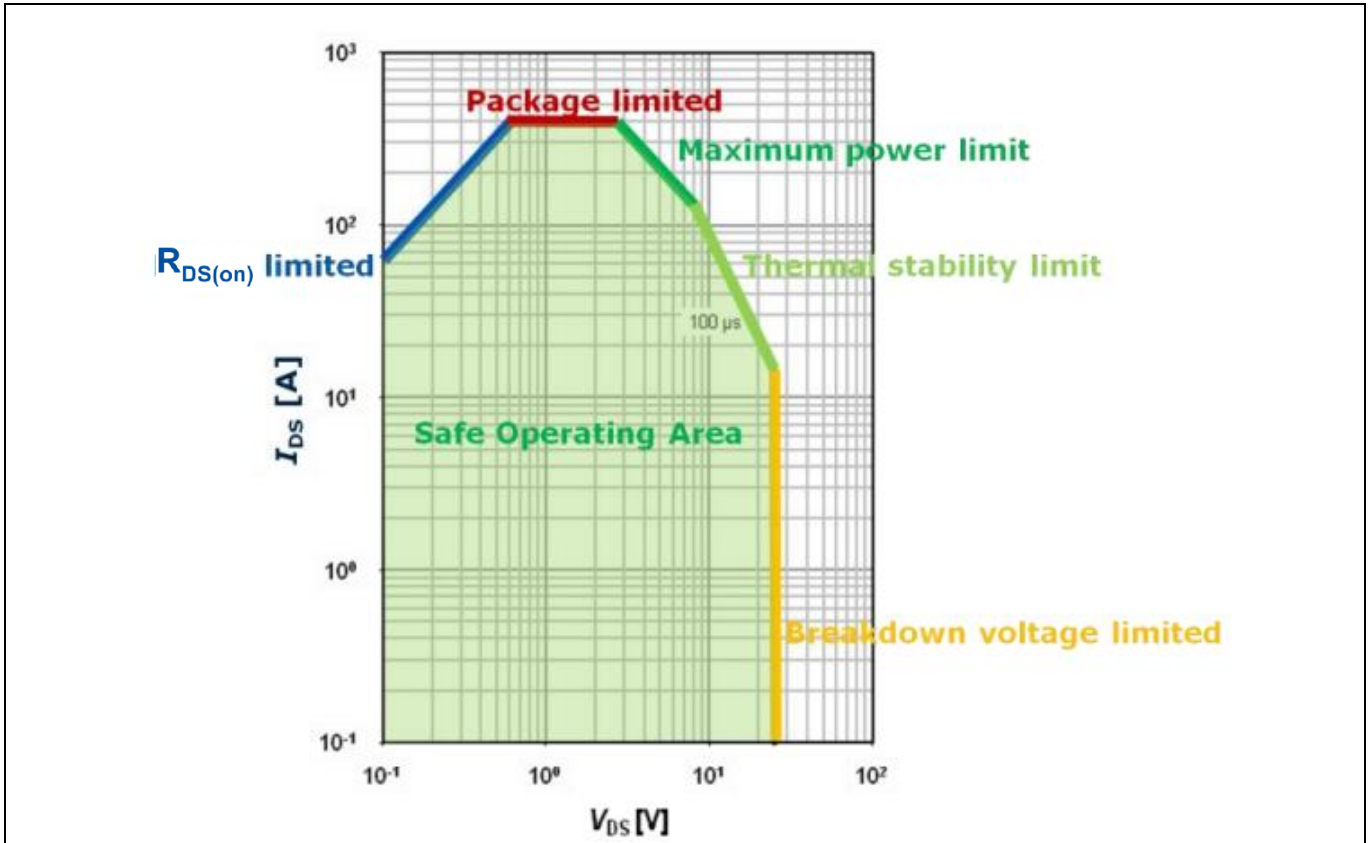


图 12 功率 MOSFET SOA 限制

6.1 $R_{DS(on)}$ 限制（蓝色）

对于 $V_{GS} = 10\text{ V}$ 和 $T_j = 150^\circ\text{C}$ 的特定漏源电压， $R_{DS(on)}$ 限制线由欧姆定律决定。 $R_{DS(on)}$ 的值具有正温度系数，因此在较低温度下可能有较高的漏极电流。

6.2 最大工作电流限制（红色）

这代表了封装的最大电流承载能力，超过该能力就会失效，尽管其中的 MOSFET 管芯可能完好无损。与采用夹式键合技术的封装（如 SuperSO8）相比，采用键合线的封装（如 DPAK）具有不同的最大电流承载能力。管芯有效面积也会影响封装的电流承载能力，因为这决定了键合方案（键合线数量、键合线直径、夹子尺寸）。封装限制线不会随着温度或其他条件而改变。

6.3 功率限制（深绿色）

这是根据器件允许消耗的最大功率计算得出的，该功率在热平衡状态下会产生 150°C 的稳定结温 T_j ，其中 $T_c = 25^\circ\text{C}$ 。考虑到封装结到壳热阻 Z_{thJC} （以 $^\circ\text{C/W}$ 为单位定义），一定的功耗会产生 125°C 的 ΔT 。这决定了功率限制线，其中 V_{DS} 和 I_D 的乘积保持不变以确定斜率。

使用功率 MOSFET 进行设计

如何避免常见问题和故障模式

安全工作区

对于短脉冲， Z_{thJC} 的值取决于脉冲长度及其占空比。 Z_{thJC} 可以从数据表中的相应图表中获取。SOA 图显示增加的脉冲持续时间使最大热限制线向下移动，反映了若脉冲长度更长和/或占空比更大，热阻也会更高。

在实际应用中， T_j 不会保持在 25°C ，因此不可能在 SOA 标定的功率极限下运行器件。根据封装、散热器以及是否使用强制风冷，最大允许功耗将会是使稳态 T_j 达到 150°C 的功耗。与往常一样，建议不要在其极限情况下运行器件，因此在实践中应包括一些安全裕度。

6.4 热稳定性限制（浅绿色）

热稳定性限制线对于实现可靠的功率 MOSFET 工作也至关重要。在某些情况下，特别是对于早期的器件，尽管该器件可能会表现出热稳定性限制，但数据表 SOA 图表可能不包括此限制线。一般而言，热不稳定性是指相对于温度，功率损耗比功率耗散上升得更快，从而无法实现热平衡的情况。相反，热失控的出现是由于器件的较热晶胞中出现了电流拥挤（参见第 1 节）。这被称为 Spirito 效应，¹ 当晶胞变得更热时，就会吸收更多电流，导致其温度进一步升高，直到最终损坏。在这种情况下，电流无法在晶胞间均匀分布。

热不稳定性可以表示为：

$$\frac{\partial P_{generated}}{\partial T} > \frac{\partial P_{dissipated}}{\partial T} \quad [1]$$

在这种情况下，系统的温度不稳定，而且不处在热平衡状态，这与最大功率限制线的情况（上图）不同。

$$P_{generated} = I_{DS} \cdot I_D \quad [2]$$

以及

$$P_{dissipated} = \frac{T_j - T_{ambient}}{Z_{thJC}} \quad [3]$$

假设 V_{DS} 在整个温度范围内保持不变，则不等式可以重新排列为：

$$V_{DS} \cdot \frac{\delta I_D}{\delta T} > \frac{1}{Z_{thJC}(t_{pulse})} \quad [4]$$

上述等式定义了 MOSFET 可能出现热不稳定性工作范围。

$\delta I_D / \delta T$ 称为温度系数。由于 $V_{DS} > 0$ ，发生热不稳定的温度系数为正。

¹ 这种现象以其发现者 Pablo Spirito 教授的名字命名。

使用功率 MOSFET 进行设计

如何避免常见问题和故障模式

安全工作区

在给定的 V_{GS} 值下，漏极电流随温度增加，就会发生热不稳定。 V_{GS} 值低于零温度系数 (ZTC) 点时会出现这种情况。在较高的 V_{GS} 水平下，漏极电流随温度降低。如 **图 13** 所示。

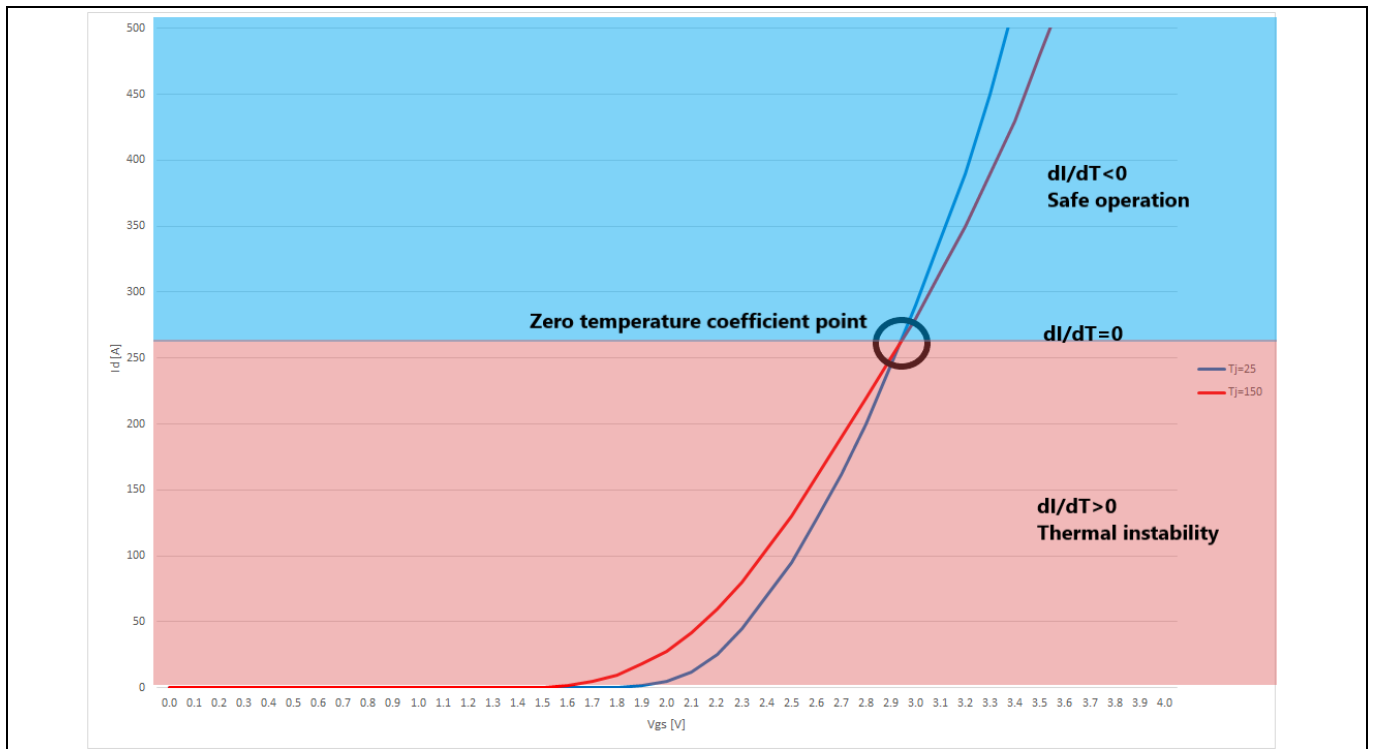


图 13 与 I_D 和 V_{GS} 相关的热稳定性

V_{GS} 上温度系数从正到负的变化是由两个相互竞争的效应引起的。由于电子迁移率较低，MOSFET 的电阻会随温度增加，而阈值电压 (V_{TH}) 会随温度上升而降低，因为更多的电子会激发到导带中。在低温下，阈值电压随温度升高而降低的影响占主导地位，电流随温度增加而增加，而在较高温度下， $R_{DS(on)}$ 的增大占主导地位， I_D 会随温度升高而降低。

如上所示，当 V_{GS} 低于 ZTC 点时会出现热不稳定。因此，ZTC 处在高电流和高 V_{GS} 电压的 MOSFET 将更容易出现热不稳定。ZTC 点与 MOSFET 跨导 (g_m 或 g_{fs}) 直接相关。随着跨导增加，ZTC 点将向更高的 V_{GS} 移动。现代功率 MOSFET 的跨导不断增加，因此 ZTC 点也位于更高的 V_{GS} 。

为避免由于热不稳定性而导致的失效，设计人员需要确保不会违反 SOA 热稳定性限制。

6.5 击穿电压（黄色）

这代表 **第 3 节** 中描述的器件 $V_{(BR)DSS}$ 额定值。

7 感应导通和击穿

感应导通是 MOSFET 用于快速开关应用时发生的一种现象，当器件处于关断状态时，漏极处会出现高 dV_{DS}/dt 转换。这通常发生在硬开关¹ 应用中，如开关电源和电机驱动逆变器，其中两个 MOSFET 用于半桥配置。

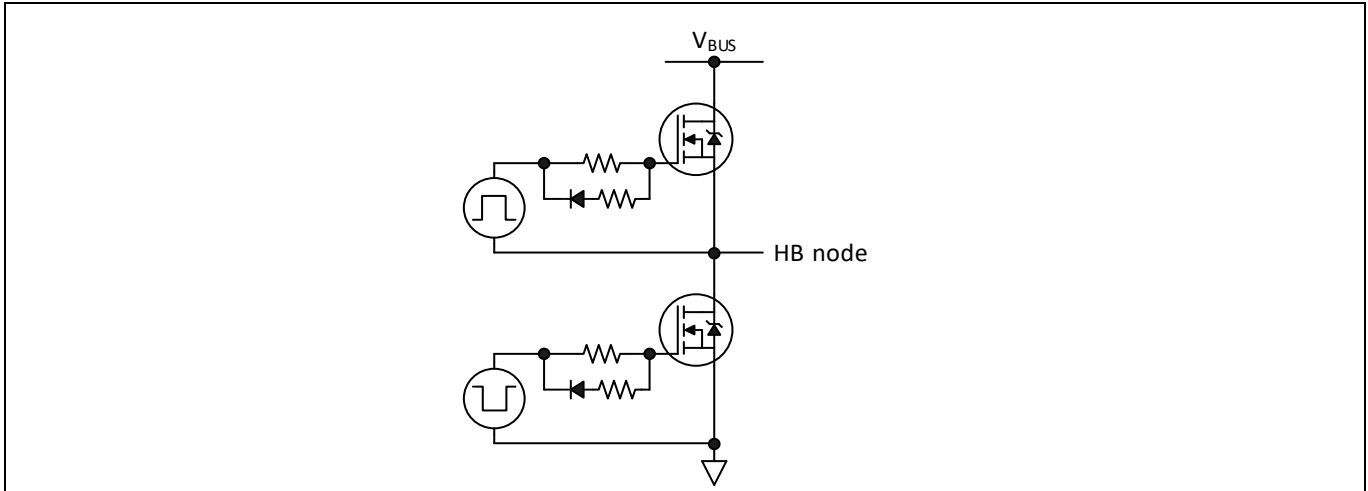


图 14 MOSFET 半桥

高侧和低侧 MOSFET 交替导通和关断，在一个器件的关断和另一个器件的导通之间留有很短的死区时间，以防止交叠，从而避免产生非常高的电流脉冲。在低侧 MOSFET 关断时，死区时间结束后，高侧导通。当这种情况发生时，HB 节点会从零伏状态快速转换到 V_{BUS}。

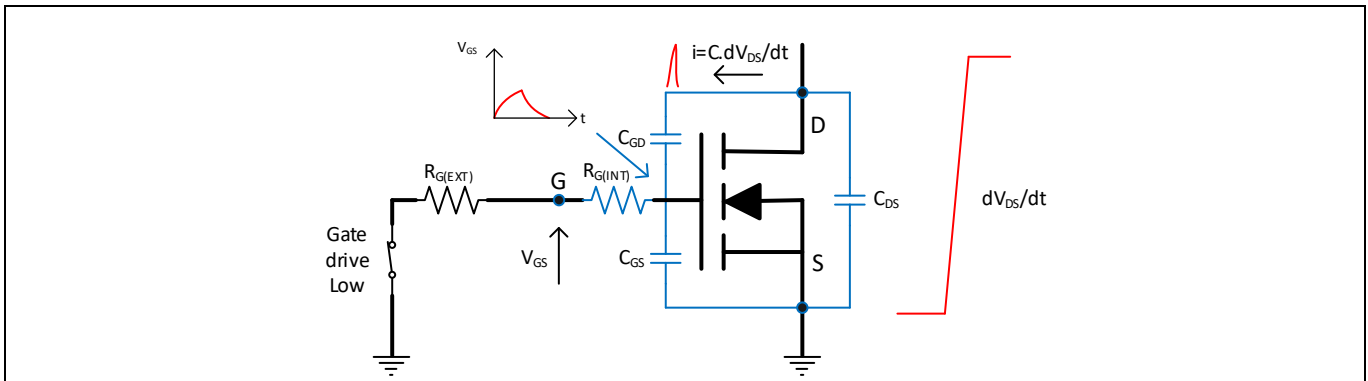


图 15 感应导通机制

图 15 显示了“C_{GD}dv/dt”如何使电流脉冲通过 C_{GD} 耦合至栅极，栅极电压通过 R_{G(EXT)} 将其拉至零伏状态。该电流脉冲可以在栅极处引起电压尖峰。重要的是要记住，MOSFET 也可能具有很大的内部栅极电阻 R_{G(INT)}，因此出现在晶圆上的感应栅极尖峰可能比在栅极端子处观察到的尖峰大。

如果感应尖峰超过了 MOSFET V_{TH}，则在高侧 MOSFET 完全关断之前，器件将短暂部分导通。当两个器件都部分导通时，高电流会流过半桥，这可能会超出 SOA 限制并损坏一个或两个器件。

¹ 当 MOSFET 以非零 V_{DS} 导通时，就会发生硬开关。

7.1 如何避免感应导通

如 [第 5 节](#) 所述，MOSFET 具有较高 C_{GS}/C_{GD} ，则意味着 Q_{GD}/Q_{GS} 和 $Q_{GD}/Q_{GS(TH)}$ 较低，更不易受到漏源电压耦合的影响。对于硬开关应用，建议使用 0.5 到 0.8 的 Q_{GD}/Q_{GS} 和小于 1.0 的 $Q_{GD}/Q_{GS(TH)}$ 。应该注意的是，较低的 Q_{GD}/Q_{GS} 器件可能会在栅极出现较大的振铃，但这取决于 $R_{G(INT)}$ 值和电路回路电感。

感应导通可以通过减缓开关转换速度来降低，从而降低 dv/dt 。这可以通过增加 $R_{g,on}$ 来减缓高侧器件的导通速度来实现（参见 [图 6](#)）。根据电路开关特性，高侧和低侧栅极驱动网络可能相同，也可能不同。降低导通速度也会降低辐射 EMI，但也会增加开关损耗，因此需要谨慎考虑权衡取舍。

减少感应导通的另一种方法是使用“关断快于导通”类型的栅极驱动网络，该网络包括二极管和电阻器，以支持栅极强下拉功能，同时支持较慢的导通。这种方法在关断状态下效果很好，但也会导致快速关断，这往往会产生更高的漏极瞬态电压，此电压有引起雪崩的风险——这是在设计期间需要考虑的另一个平衡。值得一提的是，英飞凌现在提供的一些智能栅极驱动器 IC¹ 包括一个可编程栅极驱动，其中栅极电流可以在不同的工作阶段进行定义，从而消除了电阻二极管栅极驱动器网络，并能够精确定制栅极驱动，以支持在开关期间和关断状态下进行优化。

第三种方法是添加外部栅源电容器。这种方法可以通过增加有效的 C_{GS}/C_{GD} 来降低感应栅极瞬态的幅度，但这会减缓开关速度，因此应仅在必要时应用并保持在最小值。

¹ MOTIX™ 6EDL7141 智能栅极驱动器 IC，用于电机驱动应用。

8 体二极管

体二极管是 MOSFET 结构中的固有部分，由 p-body 层和 n-epi 层之间的 p-n 结形成，如 图 4 所示。功率 MOSFET 是三端器件，其本体和源极在内部连接。¹这可以通过查看 n 沟道和 P 沟道器件的电路符号来理解。

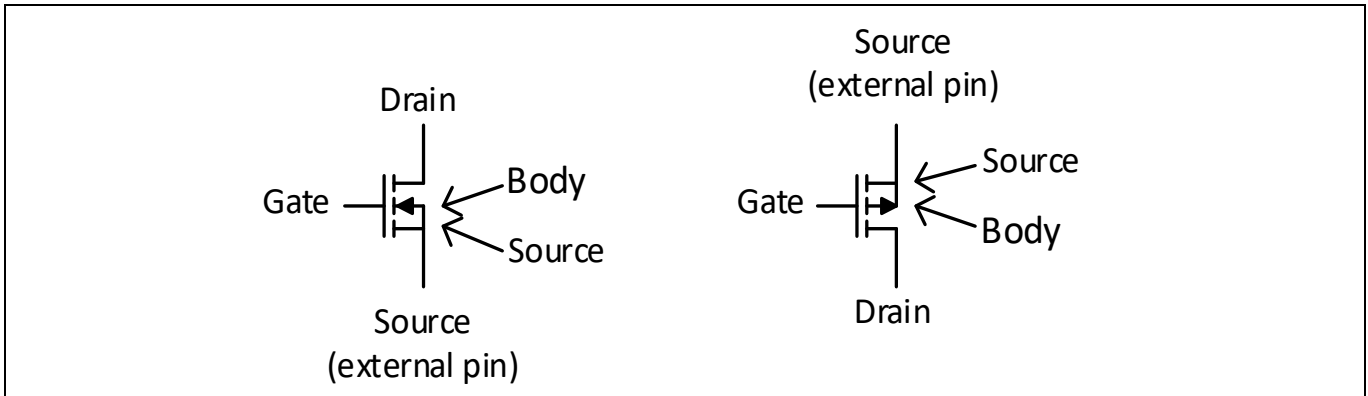


图 16 N 沟道（左）和 P 沟道（右）MOSFET 电路符号，显示了体二极管

与其他 p-n 结二极管一样，MOSFET 体二极管具有少数载流子反向恢复，因此具有一定的反向恢复时间。当二极管在承载正向电流的同时反向偏置时，就会发生反向恢复现象。反向恢复在数据表中的特征是时间 t_{rr} 和在一组指定条件下测试的反向恢复电荷 Q_{rr} 。

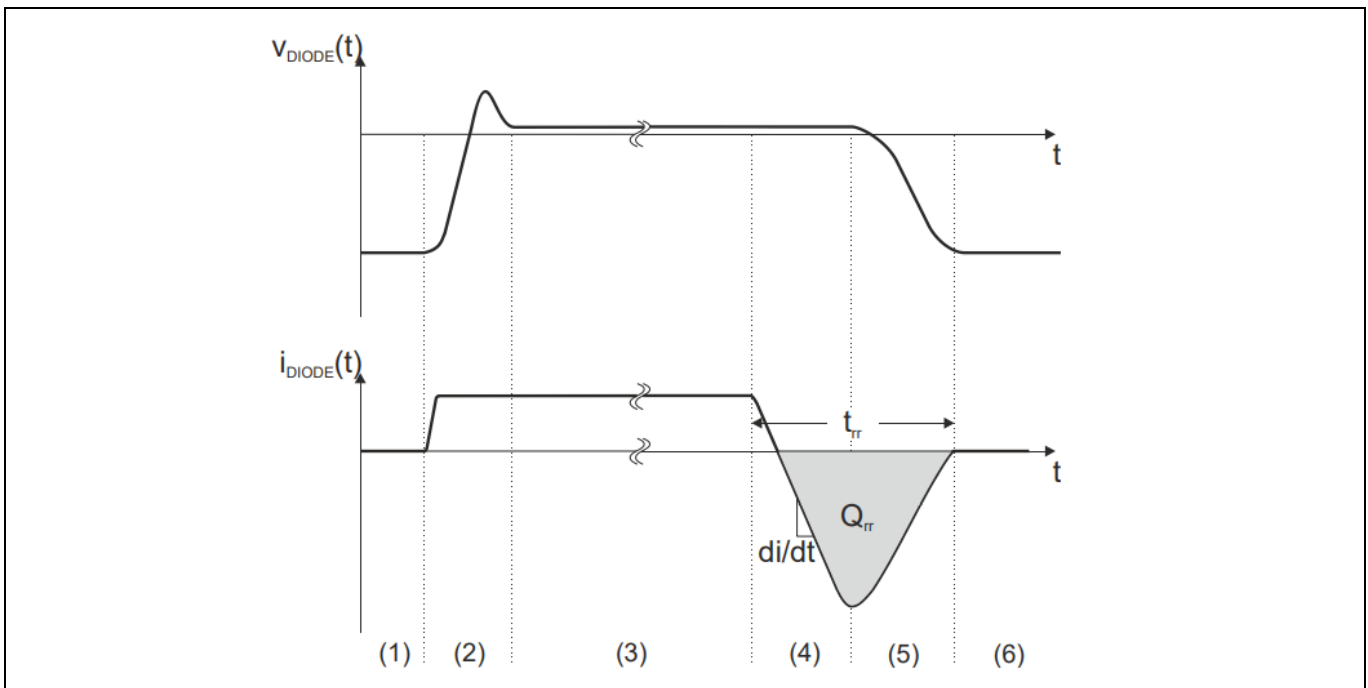


图 17 体二极管的正向和反向偏置

在区间（1），二极管处于关断状态，并在区间（2）开始导通。在导通过程结束时，二极管变为正向偏置。反向恢复电荷累积并存储，而正向偏置二极管在区间（3）期间承载正电流。在关断区间（4）开始时，电流减小到零，然后以相反方向流动。在区间（5）期间完成反向恢复，在区间（6）完成关断过程，此时二极管处于阻塞状态。图中的阴影区域表示 Q_{rr} ，这是硬换向稳固性的关键器件参数。

¹这是必要的，可以避免出现影响 V_{TH} 值的“体效应”。

使用功率 MOSFET 进行设计

如何避免常见问题和故障模式

体二极管

在上一节所述的半桥功率开关电路中，在将高开关电流进入到感应负载时，体二极管反向恢复就变得很重要。考虑一个在连续导通模式 (CCM) 下工作的同步降压稳压器，Q1 导通，Q2 关断，其中电流 I_L 从半桥开关节点流出。

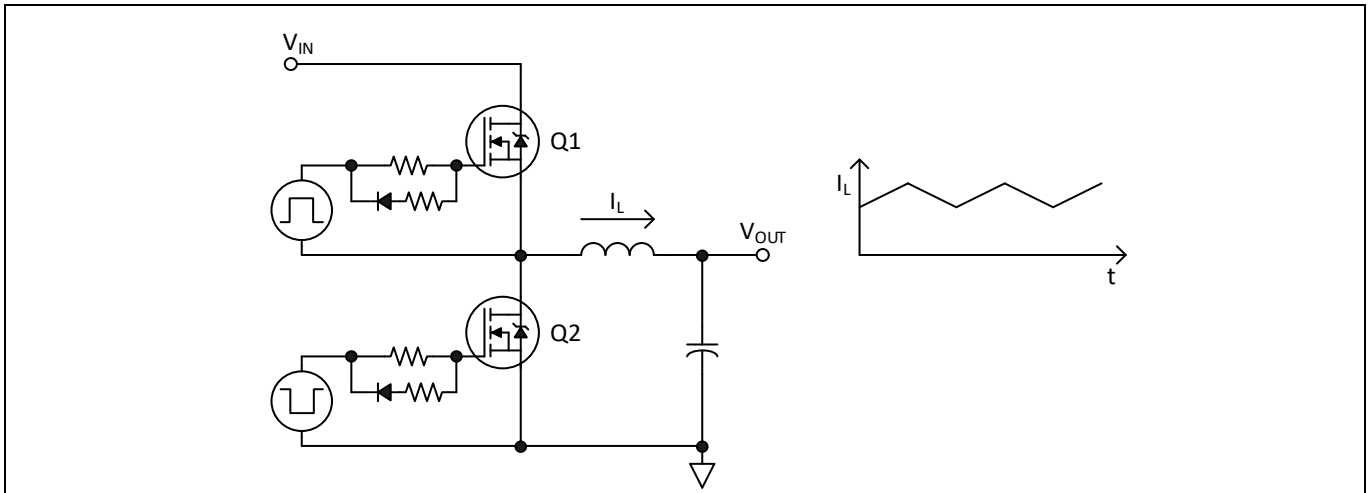


图 18 同步降压稳压器

当 Q1 关断时，电感电流通过 Q2 体二极管，然后 Q2 在死区时间结束后导通。在 Q2 导通（同步整流）周期结束时，它再次关断，因此电流再次流过其体二极管。在死区时间结束时，Q1 导通，此时 Q2 体二极管恢复变得至关重要。如果 Q1 导通过快，则 Q2 的集成体二极管的峰值反向恢复电流就会上升过快，继而超过峰值反向恢复电流额定值，器件可能会损坏！

不同的 MOSFET 技术具有不同程度的体二极管稳固性和不同的反向恢复速度。对于会出现硬换向的应用选择合适的器件非常重要，即使这只是在某些操作条件下发生。英飞凌高压 CoolMOS™ 系列超结 MOSFET 包括具有快速恢复体二极管的 CFD 系列器件。此外，还有多个系列的低压和中压 OptiMOS™ 沟槽器件。一般规则是，根据发生的开关类型为特定设计选择正确类型的功率 MOSFET 很重要。

通过减缓换向过程中电流的变化率，可以降低体二极管的峰值反向恢复电流。通过减缓栅极驱动的上升速度，可以控制电流的变化率，如图 6 所示，并在第 3.4 节和第 7.1 节中进行了讨论。使用这种技术，峰值反向恢复电流可以降低到一个可接受的水平，而代价是要延长高功耗开关周期，因此始终需要权衡取舍。对于在高达 20 kHz 左右频率下操作而言，可以减缓施加的栅极驱动信号以降低“配对”器件体二极管的峰值反向恢复电流，这是一个很好的实用解决方案。在较高频率下，设计人员必须特别注意 MOSFET 开关所需的电压和电流，并选择合适的器件和栅极驱动方案。

9 封装和电路板布局注意事项

不同的功率 MOSFET 封装，其寄生电感不同，引线封装电感比 SMD 封装更高，而且 SMD 封装中存在的电感量取决于漏极和源极连接的内部几何形状。因此，有必要考虑任何设计所需的封装类型，不仅要考虑其热特性，还要考虑封装电感，而数据手册中可能没有明确说明。简而言之，在硬换向中开关电流高时，SMD 封装的电感要尽可能低，还需要良好的 PCB 布局，以实现可接受的性能，并避免可靠性和潜在的 EMI 问题。在为电源应用设计 PCB 时，建议使用制造商推荐的器件封装，并确保遵循处理和焊接指南 [11]。

电源开关电路中的杂散电感增加了过压瞬态的振幅和能量，因此有必要降低开关速度以避免雪崩事件。电压瞬态是由电流的快速变化产生的：

$$V_{DS} = L_S \frac{di_a}{dt} \quad [5]$$

其中 L_S 由电流回路确定，电流回路从最近的总线去耦电容开始，通过开关元件，然后返回电容。

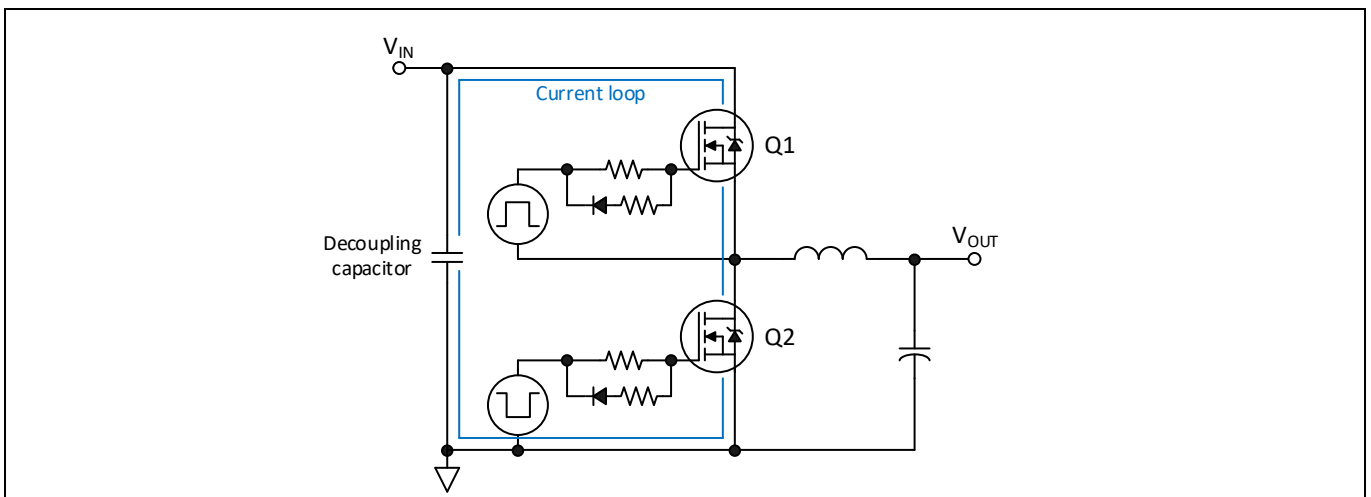


图 19 半桥开关电流回路

在物理电路板布局中，电流回路的电感取决于形成回路的走线距离，以及 DC 总线去耦电容与 MOSFET 的距离。较长的走线和较大的回路面积也会产生辐射 EMI。通过将 MOSFET 彼此靠近放置并尽可能靠近 DC 总线去耦电容，可以最大限度地减少回路。这可以通过在 PCB 中使用两层或多层线路，并将返回电流路径直接置于电流路径下方来实现，从去耦电容开始，并通过 MOSFET 以提供紧密耦合。返回路径通常采用电源地平面的形式。通常在多层 PCB 中保留一个或多个铜层来实现。这里应该提到的是，信号/数字地和电源地应该分开，以避免“地弹”，它会影响敏感的控制电路。电源和信号地最好单点连接，最好是去耦电容接地连接。

下面展示了一个简化布局的剖面图，该布局利用顶部和底部铜层创建了一个紧密的电流回路，用红色虚线表示。这两层通过多个过孔连接，也用于将热量传递到电路板底部。

使用功率 MOSFET 进行设计

如何避免常见问题和故障模式

封装和电路板布局注意事项

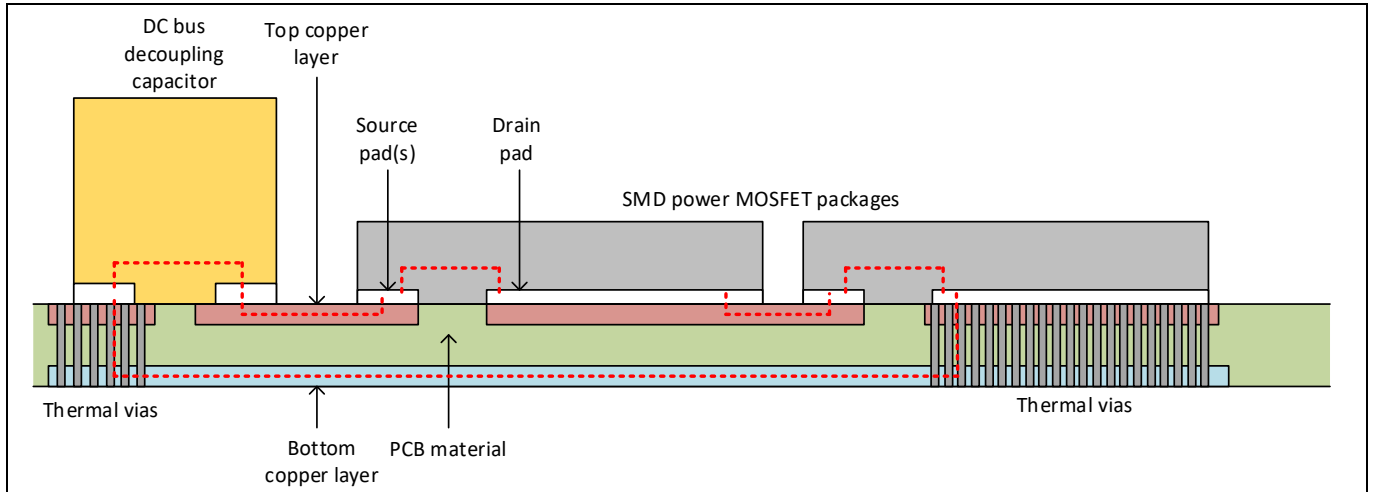


图 20 SMD MOSFET 封装的 PCB 布局优化示例

10 功率 MOSFET 并联

对于大电流的电源系统而言，了解和控制并联 MOSFET 之间的稳态和动态电流平衡非常重要。当器件在欧姆区工作时，有可能实现稳态电流平衡（参见图 11），因为 $R_{DS(on)}$ 具有正温度系数。可以实现电流平衡，因为如果一个器件由于其 $R_{DS(on)}$ 低于其并联器件而会传导更多电流，则其管芯温度就会升高，从而提高其 $R_{DS(on)}$ 并因此实现电流平衡。为实现有效地工作，器件应靠近放置，并用相同长度和宽度的走线连接到它们的漏极和源极。

然而，在开关条件下，实现并联会更加困难，随着频率的增加，更是如此。这是因为动态效应在每次导通和关断工作期间都会发挥作用，这可能会使一个器件比其他器件承受更大的压力。以下器件参数的错误匹配会影响开关期间的电流分配和功耗：栅极阈值 (V_{TH})、跨导 (g_{fs})、栅源电容 (C_{GS})、米勒电容 (C_{GD}) 和体二极管恢复 (Q_{rr})，以及 $R_{DS(on)}$ 。如果部件匹配不当，一个器件可能会在开关期间承载大部分电流，这可能会超出 SOA 限制。应特别注意功率和热稳定性限制。除此之外，前面描述的热平衡机制需要一些时间才能达到平衡，而当快速开关时，这不可能实现。在并联应用中，设计人员应查看数据手册中上述参数的公差，因为更严格的公差控制可以实现更好的动态平衡。

在 PCB 布局中，栅极回路和电流回路电感需要尽可能保持一致。电路布局应尽可能保持对称，以保持并联 MOSFET 中的电流均衡。并联器件的栅极可以通过放置在栅极连接上的小铁氧体磁珠去耦，或者通过与每个栅极串联的单个电阻去耦，以防止寄生振荡。

栅极驱动电路的设计也很关键。由于当第一个 MOSFET 导通时，并联 MOSFET 不太可能同时导通或关断，因此在源极节点处会出现快速电压摆动。这可以通过较慢并联器件的 C_{GD} 耦合，并在共享栅极连接处产生电压尖峰。这会在 MOSFET 快速导通和关断时产生振荡，可能会损坏 MOSFET 和栅极驱动器。为防止出现这种情况，每个并联 MOSFET 都应有自己的栅极驱动网络，放置在栅极和栅极驱动器的共享连接点之间。

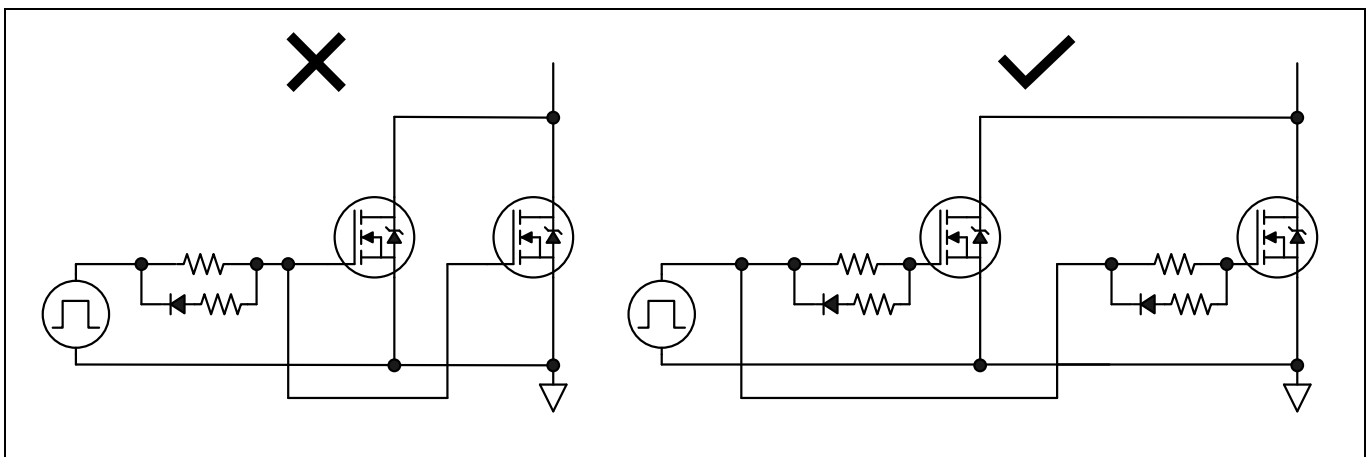


图 21 与分离栅极驱动并联的 MOSFET

关于并联的详细说明超出了本应用说明的范围，但详细文献可在线获取。

11 结论

本应用说明简要介绍了功率 MOSFET，并描述了使用它们进行设计时必须了解的关键属性。本应用说明解释了设计基于 MOSFET 的电源转换系统需要仔细考虑的因素，包括在开关速度和损耗的平衡、可能导致雪崩的关断瞬态、保持在不同 SOA 工作区内以及体二极管的反向恢复。第一步是选择最适合的器件和散热布局，以满足设计的性能要求，然后优化栅极驱动，以达到关断瞬态和体二极管所带来应力与开关损耗的平衡。最后，应优化 PCB 布局，以最大限度地减少高电流开关路径中的寄生电感。

应用这些指南应该可以节省系统开发时间和测试期间不必要的器件故障，我们希望这将使我们的客户受益。

参考资料

- [1] International Rectifier AN-936A (HEXFET™ power MOSFET designer' s manual, 1993), The dos and don' ts of using MOS-gated transistors, Brian R. Pelly.
- [2] International Rectifier AN-1084, **Power MOSFET basics**, Vrej Barkhordarian.
- [3] International Rectifier AN-955, Protecting IGBTs and MOSFETs from ESD, Steve Brown, Bob Ghent.
- [4] International Rectifier AN-1005, **Power MOSFET avalanche design guidelines**, Tim McDonald, Marco Soldano, Anthony Murray, Teodor Avram.
- [5] Infineon AN_201611_PL11_002, **Some key facts about avalanche**, Olivier Guillemant.
- [6] Infineon AN_201709_PL11_006, **A new approach to datasheet maximum drain current ID rating of low voltage MOSFETs**, Gerhard Noebauer, Elvir Kahrimanovic.
- [7] Infineon AP99007, **Linear mode operation and safe operating diagram of power MOSFETs**, Johannes Schoiswohl.
- [8] Infineon AN_201403, **Hard commutation of power MOSFETs**, Alan Huang.
- [9] International Rectifier, **Paralleling of power MOSFETs for higher power output**, James B. Forsythe.
- [10] International Rectifier, **From planar to trench – evaluation of ruggedness across various generations of power MOSFETs and implications in in-circuit performance**, Hemal Shah, Steve Oknaian, Eric Persson, Rongjun Huang.
- [11] Infineon, **Recommendations for board assembly of Infineon discrete packages without leads**.
- [12] Electronic Design, MOSFET design basics you need to know, Paul Schimel.
- [13] Wikipedia, Power MOSFETs, https://en.wikipedia.org/wiki/Power_MOSFET.

修订记录

文档版本	发布日期	变更说明
V 1.0	2022/1/10	首次发布
V 1.1	2022/2/10	更新第 5 节和第 7 节，除 C_{GS}/C_{GD} 外，还涉及 Q_{GD}/Q_{GS} 和 $Q_{GD}/Q_{GS(TH)}$ ，以符合更通用的术语。

商标

所有提及的产品或服务名称和商标均为其各自所有者的财产。

版本 2022-02-10

出版方

英飞凌科技股份有限公司

81726 Munich, Germany

© 2022 英飞凌科技股份有限公司
版权所有。

您对这份文档有问题吗？

电子邮件: erratum@infineon.com

参考资料

AN_2112_PL18_2112_024619

重要声明

本应用说明中给出的信息仅作为产品使用建议，不得被视为就产品特定功能、条件或质量作出的任何说明或保证。在使用产品前，本应用说明的使用者必须在实际应用中验证本文档描述的任何功能和其他技术信息。对于本应用说明中给出的任何及所有信息，英飞凌科技股份有限公司特此声明不作任何及所有保证，亦不承担任何形式的责任（包括但不限于对不侵犯任何第三方知识产权的保证）。

本文档所含数据仅供受过技术培训的人员使用。客户的技术部门应负责评估该产品是否适合目标应用，以及本文档中给出的产品信息就该应用而言是否完整。

若需获得有关我司产品、技术、交付条款和条件、价格的更多信息，请联系距离您最近的英飞凌办事处 (www.infineon.com)。

警告

由于技术需要，我司产品可能包含有害物质。若需了解相关物质的类型，请联系距离您最近的英飞凌办事处。

除非由英飞凌科技授权代表签署的书面文件中另有明确批准，否则不得将我司产品用于任何产品失效或产品使用据合理预计可能导致人身伤害的应用。