

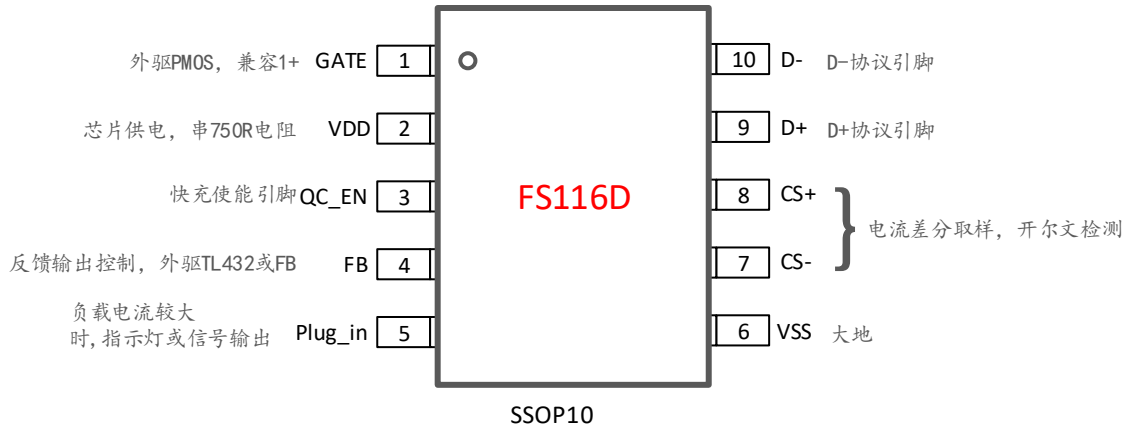
FS116D 全协议应用细节

全协议

带负载指示

搭配 PD 降功率

1. 封装引脚

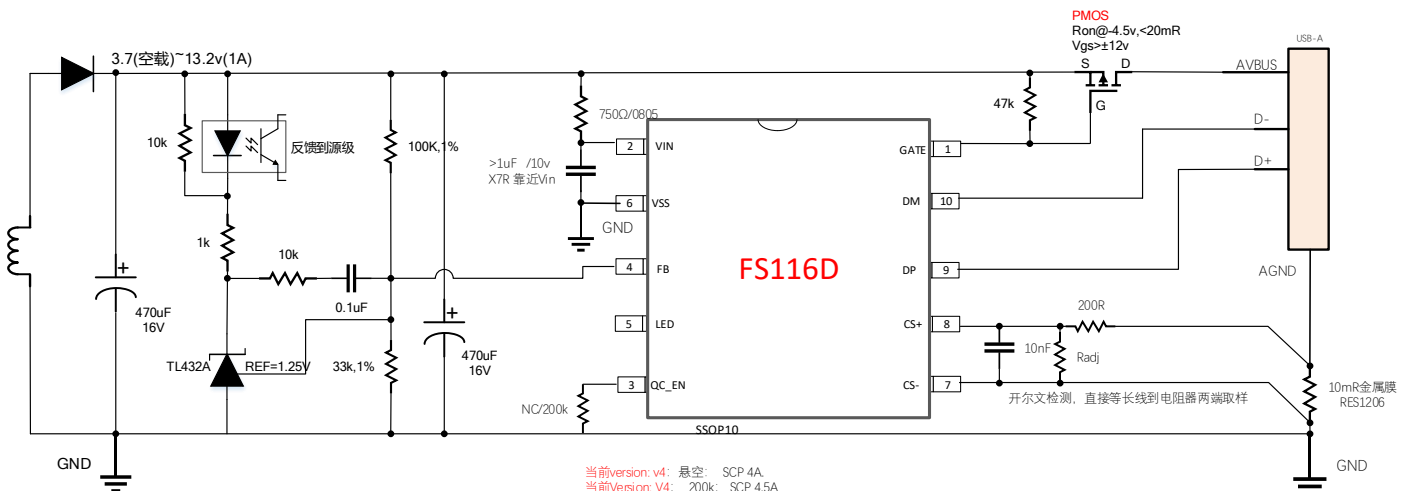


各引脚的定义:

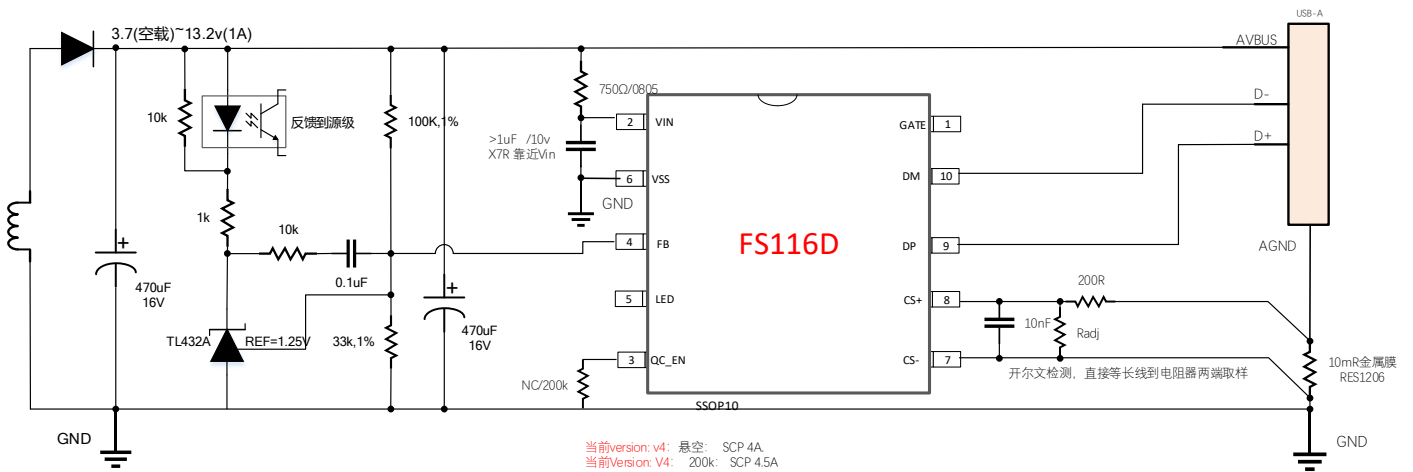
序号	引脚名	描述
1	GATE	控制 P-MOSFET 以支持 1+ 机型; 不考虑时, 可悬空
2	VDD	芯片供电, 串接 750Ω 电阻连接到电源系统的正极, 引脚外接一个 1μF/10V 退耦电容
3	QC_EN	快充使能引脚。 1. 悬空或者拉高到芯片 VDD, 快充全协议工作; SCP 协议为 4A。 2. 不接 VDD, 而接 200k 对地, SCP 协议为 4.5A 3. 短路到地, 只有 5V 普通充电: APPLE2.4A, BC1.2, SAMSUNG2.0A。
4	FB	反馈输出引脚, 控制外部 TL431, TL432 或者车充 FB
5	Plug_in	负载电流大于 250mA, 指示灯输出高阻。无负载时, 输出低电平
6	VSS	系统大地
7	CS-	电流采样-端, 接取样电阻地端。开尔文检测-输入
8	CS+	电流采样+端, 接取样电阻正端。开尔文检测+输入
9	D+	连接 USB-A 的 D+
10	D-	连接 USB-A 的 D-

2. 外围电路图:

接驳 AC/DC 恒功率和车充的应用电路图, **带 MOS 时** 可以完美支持一加手机充满



接驳 AC/DC 恒功率和车充的应用电路图，不带 MOS 时，可能会导致一加手机充到 80% 停充



3. 支持的协议类别 ↓: 灰色待定

BC1.2	APPLE2.4A	QC2/3 ClassB	AFC	FCP	SCP4A
VOC2/3/4					

4. 外围选择:

- A. MOSFET 采用 PMOS。可以是 SOT23 (一般如 JSTL2307) 或者是 DFN3X3 (AON7401)。MOS 导通时, Gate 为低电平 (大概对地电阻 6Ω), 因此最高会直接将 Vgs 拉到 -12V 左右。所以, 确保 PMOS 的 |Vgs| > ±12V。FS116D 的 Gate 耐压为 13V。
- B. PMOS 可以不加, 直通过去给 VBUS 对绝大部分手机没有影响。但是会导致一加手机 (一加 5,6,7 (7t), 8) 等充电到 80% 时停充。
- C. 如果 AC/DC 主控是恒功率 IC, 譬如恒功率 18-22.5w, 那么, 7,8 脚的取样电阻可以不要。(7,8 脚直接与 Vss 连在一起) 但是①这样子会导致 USB-A 没有线补。线补量为 150mV/1A。
②会导致 USB-A 的 MTK 功能失效。
③ 取样电阻要使用金属膜电阻器, 1206 封装最佳。一般情况下, 以 4A 为例, 取样电阻器的 Pd 功耗大概为 160mw。
④ 芯片 pin7, pin8 旁的 RC 低通滤波电路, 应该靠近芯片端放置。另外, 10mR 电阻器应该采用差分走线, 并且从取样电阻内
- D. QC_EN 使能是一个多功能引脚。
悬空 (芯片内部有弱上拉) 和拉到芯片 pin2 (Vin), 则打开全协议快充, 且 SCP 协议为 4A。
只接驳一个 200k 电阻器对地, 则 SCP 协议变更为 4.5A。
将 QC_EN 拉低电平, 则所有高低压快充协议被强制关闭, 只剩下 5V 协议: BC1.2, APPLE2.4A, SAMSUNG2.0A。
- E. AC/DC 或者 DC/DC 的默认悬空电压应该预设为 5.05-5.1V。因为这个 IC 带有较强的线补, 所以, 并不需要故意提高空载电压。
空载电压接近 5V 时, 能够更好地适配华为手机实现 SCP 超级快充。
- F. 芯片支持 QC3 ClassB, 但是我们限制了 ClassB 的电压最高为 14.5V。因此, 客户可以继续采用 16V 的输出电解电容器, 而不用担心过压击穿电容
- G. SOP10 封装, 大小和 SOP8 封装是一样的, 且底部没有焊盘。
- H. 供电限流电阻采用 750R 即可, 一般是 0603 封装或者是 0805 封装。芯片内部供电才用 shut 架构, 内置一个 5.6V 的稳压管。

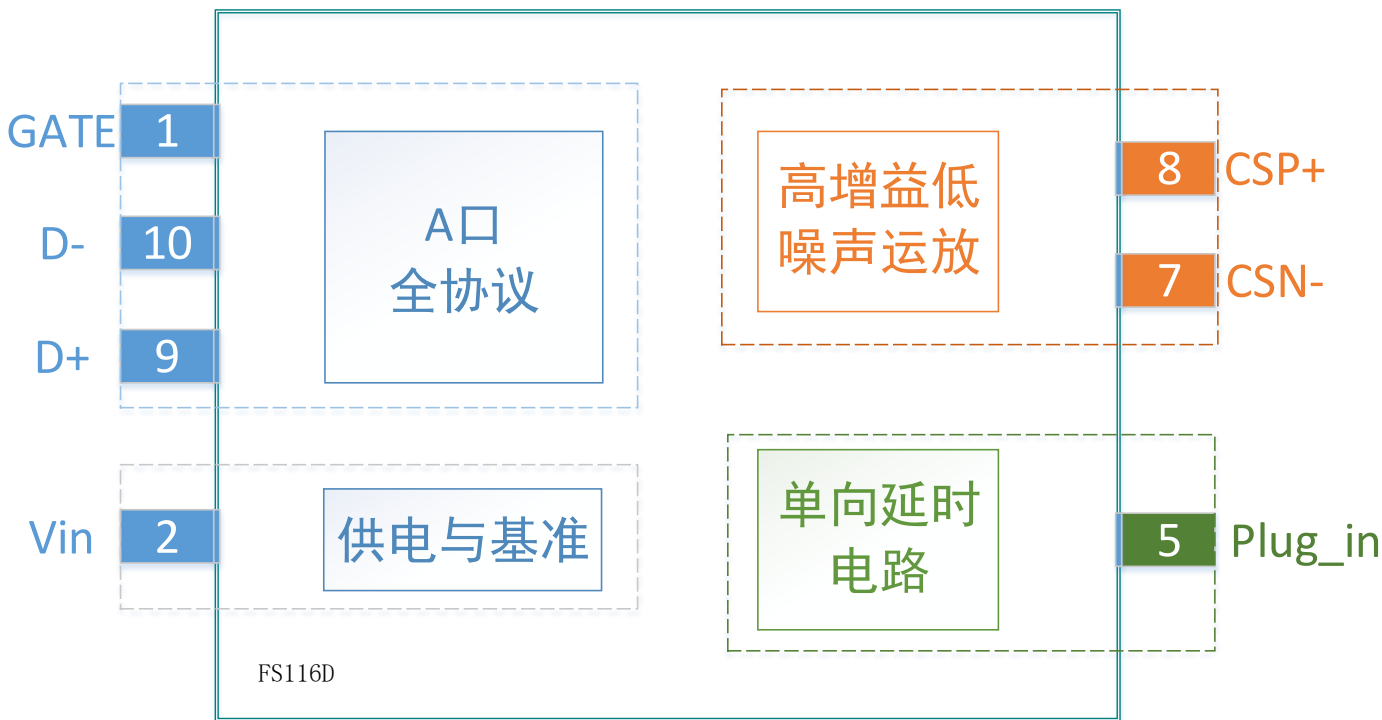
5. 应用推介和建议:

- a) 全协议车充应用。
在车充领域, 由于小米 9/10, 红米 K30 都需要握手到 13.2V-1A 才会出来 ChargeTurbo 超级快充, 所以, 争取使用 100% 占比的车充 IC。
使用恒功率主控, 或支持恒流/恒压的 DC/DC 车充主控。主要是针对 OPPO 手机等一块, 希望恒流电流在 4A 以内。
- ② AC/DC 全协议 18w-20w 充电头
使用 TL432(1.25v 基准源)。
为了支持小米 9/10/红米 k30, 即需要做到 13.2V/1A, 因此, 需要您的 AC/DC 主控的 Vdd 范围能较宽, 设计变压器的时候也要注意些。

为了使 OPPO 实现低压 VOOC 充电，即需要做到 3.7V/10mA（即基本上空载）。需要你的 AC/DC 主控的 Vdd 范围较宽。为了匹配 SuperVoc，因为 Supervoc 的电流点放得比较大。因此，最好前端采用恒功率 AC/DC 主控，最好是能够针对 5V 以下电压输出时优化。即高电压能足功率，低电压能减少一些电流，譬如，针对 OPPO，就希望 4.5V/4A 以内就足够了，且这样子对次级同步整流的压力也会小一些。

③ 在 1C1A 等 45w- 65w 的应用中，可以搭配 PD 协议 IC 做到降功率应用。

FS116D 的框图如下，大概包含了以下逻辑电路↓



通过内建的高增益低噪声运放，FS116D 可以高精度判断外部负载电流。

A. 在使用 10mR 取样电阻器下，当流经 USB-A 电流超过 250mA 以上时，则 Plug_in 的信号会产生变化。如下↓

型号	引脚	负载<250mA	负载>250mA
FS116D	Plug_in	低电平	高阻抗
FS116DB	Plug_in	高阻抗	低电平

这里面，针对 PD 协议 IC 的应用，为了避免频繁产生 PDO 变更，FS116D、FS116DB 特意做了延时，分别如下：

当电流大于 250mA 瞬间，Plug_in 会立即发生电平变化（例如从低电平跳转至高阻抗）

当电流从大电流 转变到“小于 250mA”时，Plug_in 会延迟 5 秒钟，才会产生电平变化，这功能用于优化 PD 协议 IC 的应用，避免笔记本叮咚叮咚响（这类似于 MCU 所实现的功能）。

Plug_in 为低电平时，对地阻抗大概为 6Ω。

B. 根据各类型不同的手机和协议自带 CC/CV。

FS116D/FS116DB 芯片内部会自动判断当前和手机握手的快充协议类型，从而选择合理的恒流值。

譬如，使用 10mR 电阻器，其过流点在 5V/4.5A。但是，当 FS116D 发现连接的手机是 OPPO 手机时，就会自动限流到 3.7A。所以，FS116D 非常智能，能根据不同的手机，自动根据手机的特性来选择最佳的过流点。

6. LAYOUT 要求：

A. 保证 1uF 电容器靠近芯片（pin②），

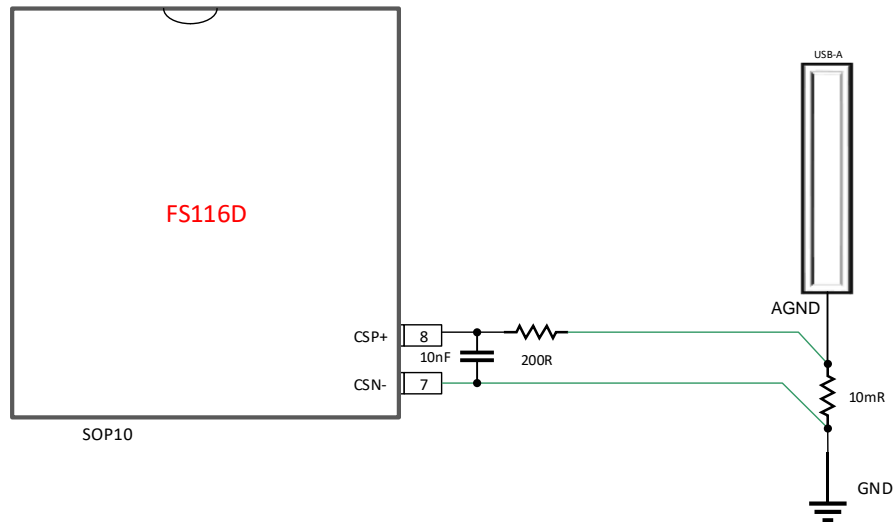
B. FB 等信号走线，尽可能不要靠近变压器。

C. 如果要使用到取样电路时，取样电阻走线，要差分线，从电阻内测取样。

2020-8-25

以下是关于如何 LAYOUT 来实现取样电阻最佳布线↓

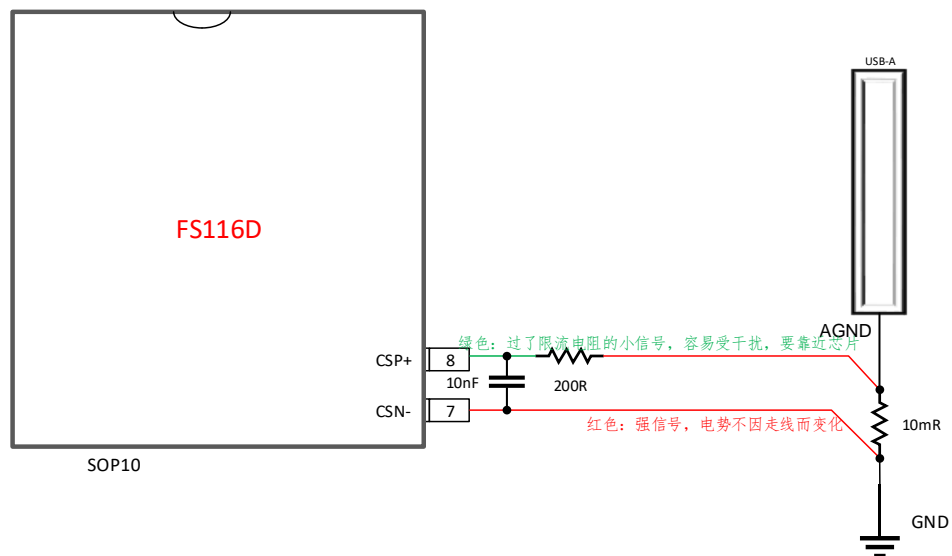
A. 保证 ISP, ISN 采用 kelvin sensing 开尔文四线检测方法进行 layout ↓



一般情况下, 我们推荐使用 $10\text{mR} \pm 1\%$ 的典型合金电阻器 (10mR 电阻供应丰富, 价格便宜, 精度可靠)。FS116D 通过取样电阻器两边的电压降, 来判断流经负载功率回路的电流, 从而实施恒流/恒压控制; 或者是 250mA 电流检测等功能。

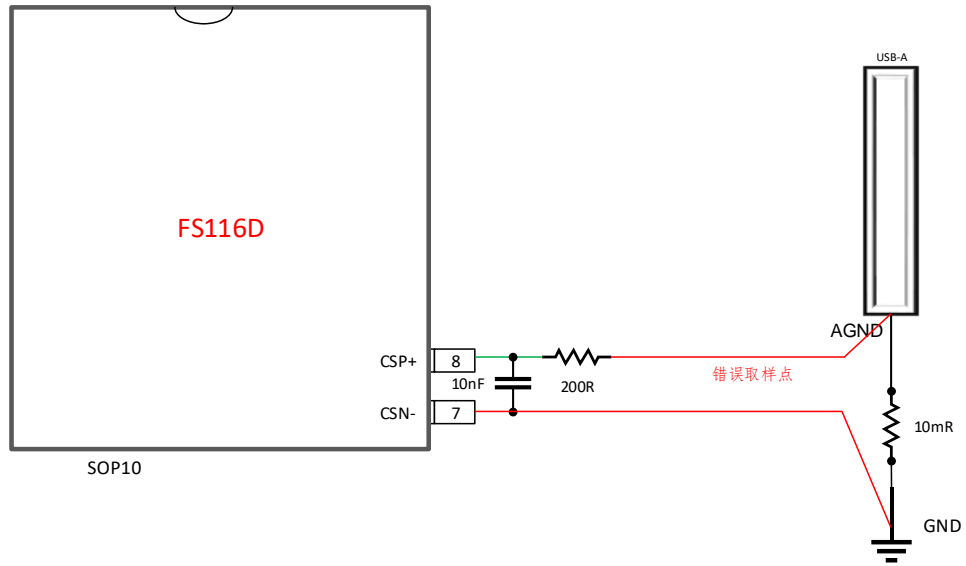
如何准确有效的取样 10mR 电阻器上流经的电流, 这对 LAYOUT 提出了挑战。FS116D 使用了 2 个引脚, 通过差分走线来实现开尔文检测, 规避了取样线路中所产生的干扰和线损。也就是说, 在 LAYOUT 时, 需要引出来两根细线, 去专门采样 CSP+/CSN- 之间的差分电压。这里面的细则有:

- I) 串联 200R 电阻和 10nF 耦合电容器尤其要靠近芯片的 ISP, ISN 引脚, 即 RC 低通滤波环路应靠近芯片端摆放。如下图, 这是因为电信号在没有经过 200R 电阻器之前, 都是强信号, 任何一点都是等电势, 不容易受到干扰。而一旦经过 200R 电阻后, 就变成了小信号, 容易受到干扰, 因此要靠近芯片端摆放。

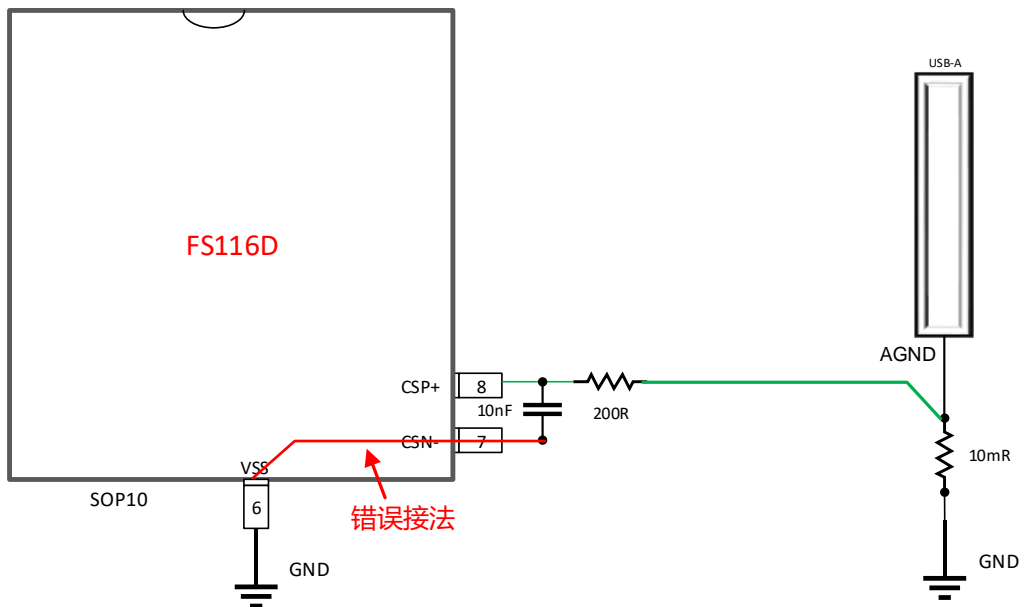


- II) 通过细线连接到取样电阻两端。这里面有 2 个特别应注意的地方, A 那就是取样线结点应直接与取样电阻两端相连; B 取样线尽可能平行走线, 这样才能避免干扰, 保证精准。

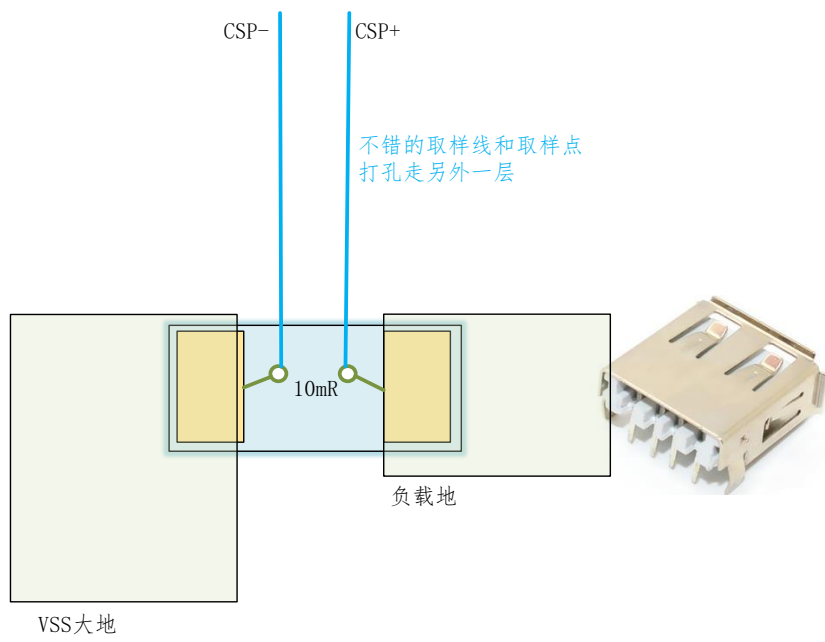
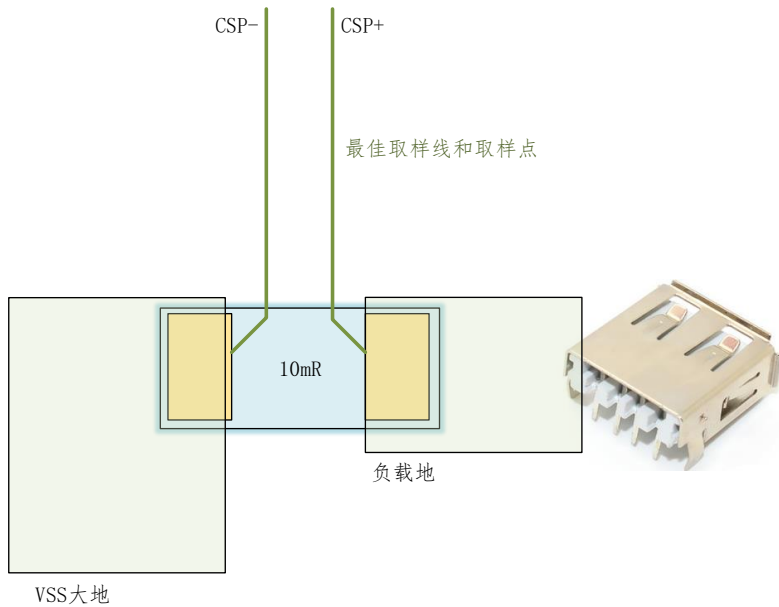
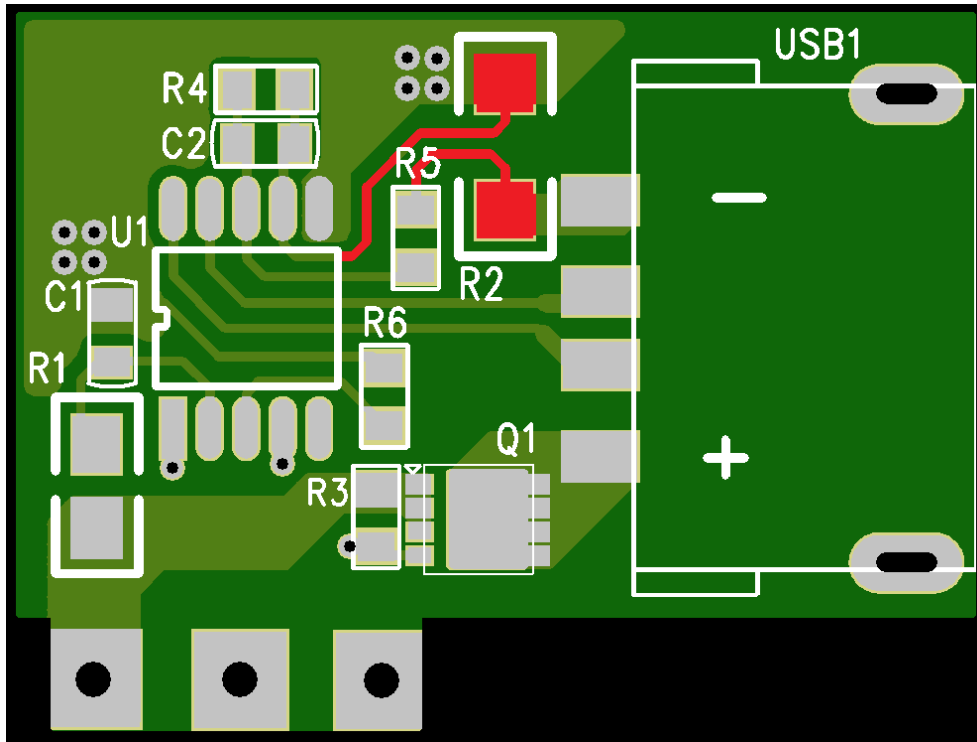
下图的检测线并没有直接连接到取样电阻 10mR 两端, 这样取值就不准, 容易把取样电阻附近的走线阻抗和压降也计算进去了。↓

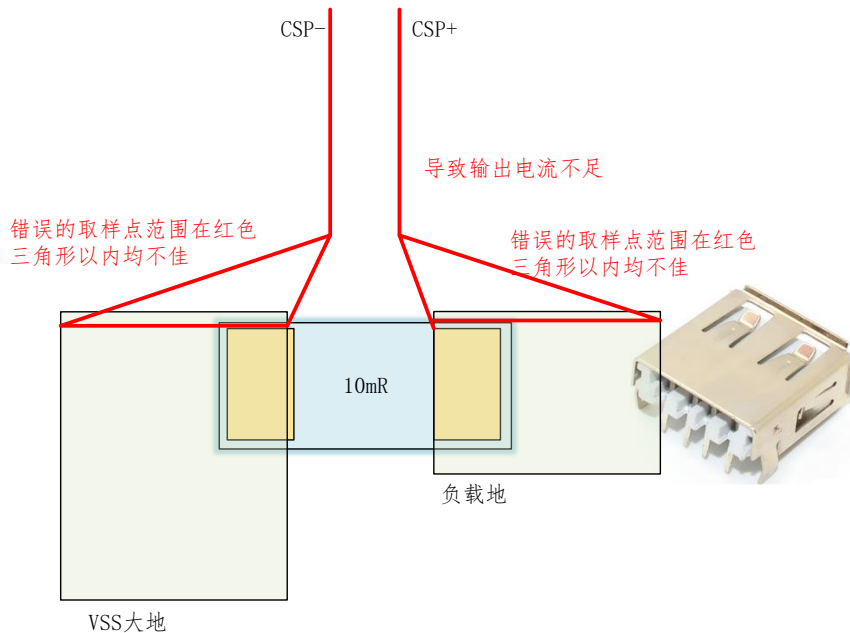


下图是最容易犯错的，因为芯片地和 CSN-实质是同一个网络，因此很多设计者容易直接将两者连在一起，这非常容易导致取样值受到影响！如下图，我们不应该把 CSN-和 VSS 直接接驳在一起，而应该是两者分开走线（芯片的 Vss 通过一根额外的走线到大地）



因此，很强调的原则就是：将信号线与取样电阻两端相连。无论是否有很大的布线难度，则一定要优先保证 ISP,ISN 布线准确，这样子才能保证批量电流一致性。



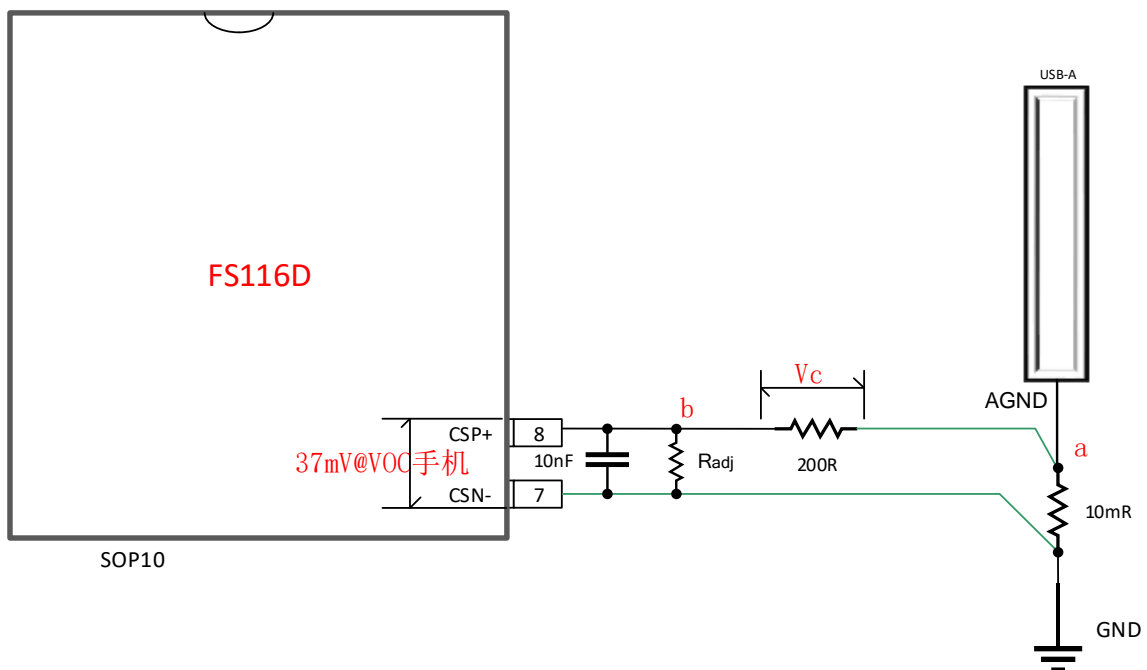


一般来说，如果取样电阻的走线一切正常，会在批量性保持在以下限流点：

OPPO 电流	3.7A
预设过流点	5V-4.5A
负载检测	5V-250mA

III) 使用 Radj 来实现 OCP 电流的增大

如果取样走线的 LAYOUT 未让您达到 5V-3.5A ↑, 9V-2.4A ↑, 12V-1.9A ↑ 的效果，那么您可以用 Radj 来实现电流的提升。



如上图，我们在电路设计的时候，增加了一个 Radj, 用于调节 CC 电流点。因为如果取样走线差一点，那么电流往往会偏小。如果你想改动 PCBA，那么加入此电阻位，能够有效增加电流。

I) 当没有 Radj 的时候，ISP 和 ISN 之间的电势差 (V_b) 与 10mΩ 电阻两端的电势差 (V_a) 是相等的。当 V_a 电压达到了 35mV 时，即电流达到 3.7A 时 ($I = \frac{37mV}{10m\Omega} = 3.7A$)，其输入到 ISP 和 ISN 之间的电压差也是 37mV, 此时达到 OCP 点，此时 FS116D 会牵制在这个电压点，从而实现电流平衡（即实现了恒流/恒压）。即 FS8623 的平衡条件就是：在 PDO=5V-3A 时，其牵制 ISP 和 ISN 两端的电压稳恒在 37mV，即 $V_b=37mV$ 。

ii)但是，当我们增加一个插值电阻 R_{adj} ，这情况将大幅度改观。由于 $10\text{m}\Omega$ 电阻两端的电压 V_a ，等于 R_{adj} 两端电压 V_b 与串联电阻 200Ω 的两端电压 V_c 之和，即 $V_a = V_b + V_c$ 。即反馈到芯片的 CSP+ 和 CSN- 的电压，只是 $10\text{m}\Omega$ 电阻两端电压的一部分，即如下公式：
$$\frac{V_b}{V_a} = \frac{R_{adj}}{R_{adj} + 200\Omega}$$
。假定 $R_{adj} = 2\text{k}\Omega$ ，则 $\frac{V_b}{V_a} = \frac{2000\Omega}{2\text{k}\Omega + 200\Omega} = \frac{10}{11}$ 。因此，当 $R_{adj} = 2\text{k}\Omega$ 时，CSP+ 和 CSN- 之间的压差只有 $10\text{m}\Omega$ 电阻压降的 $\frac{10}{11}$ 。所以，只有流经 $10\text{m}\Omega$ 电阻的电流增加 9.1%，才会使得 FS116D 实现平衡，这无疑在不改动其他取样电阻的情况下，通过调整 R_{adj} 来实现 CC 电流的增加。

R_{adj}	增加电流
4k	4.8% ↑ +
2k	9.1% ↑ +
1k	17% ↑ +

如上表，通过一个 R_{adj} 电阻器，我们可以更容易实现电流的调整，这相当于设计者可以减轻差分走线带来的压力。