

## G5XXX 应用设计指导

### 数字初级反馈开关电源应用

#### 1 产品特点

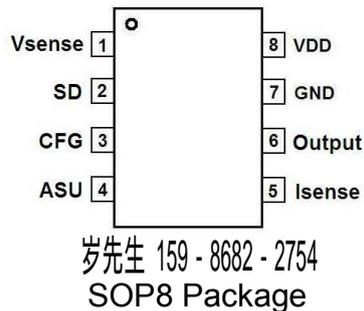
- 数字初级反馈技术，简化设计，去除光耦
- 典型应用 230VAC 下空载功耗小于 30mW
- 准谐振工作模式，提高整体效率，可工作区间大
- 优化的 90kHz 最大开关频率
- EMI 设计容易，轻松满足全球 EMI 标准
- 整个线电压和负载范围内 CV 和 CC 精度可达到 $\pm 3\%$
- 用户可以外设配置 5 级线缆补偿 (CDC)，设计灵活
- 自适应多模式 PWM/PFM 控制，提高效率
- 不需外部环路补偿元件
- 低启动电流 (典型值 6 $\mu$ A)
- 内置软启动功能
- 满足最新最严的能源等级要求
- 外部 (合封产品内部) 过温保护、过压保护专用 Pin 脚，可轻设置输出 OVP 电压，实现精准 OVP
- 内置输出短路保护、输出过压保护、过流保护、电流采样电阻短路保护、输

## G5XXX 系列数字电源 IC 应用注意事项

出电压低于 3V（输出为 5V 时）保护

- 保护有 Latch / Auto recovery 两种方式可选
- 整个工作范围内无音频噪声
- 产品单封芯片来 SOP-8 封装，内置 MOS 合封产品为 SOP-7、DIP-8 两种封装

### 2 引脚说明

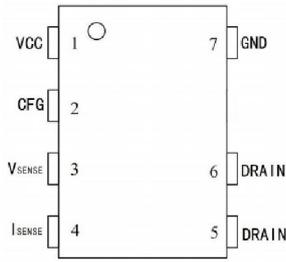


- 1) Pin1 (Vsense) 是电压反馈信号采样脚，高输入阻抗。为了消除该脚的寄生电感产生的振荡，应串联一个 1k 左右的电阻，该电阻应靠近 IC 的 Pin1 脚，连接线尽量短。
- 2) Pin2 (SD) 是外部 Shutdown 控制脚，通过该脚对地接一个 NTC 电阻用于外部过温保护，不用时悬空处理。
- 3) Pin3 (CFG) 是一个多功能脚。用于外部线缆补偿 (CDC) 配置和过压保护，通过这个脚可以做到输出高精度 OVP 设置。
- 4) Pin4 (ASU) 有源启动电路控制信号脚，外加一个耗尽管可以有效降低电源待机功耗。
- 5) Pin5 (Isense) 是初级电流信号采样脚。
- 6) Pin6 (Output) 是外置 MOSFET 管的驱动脚。
- 7) Pin7 (GND) IC 地
- 8) Pin8 (VDD) 是 IC 的供电脚。

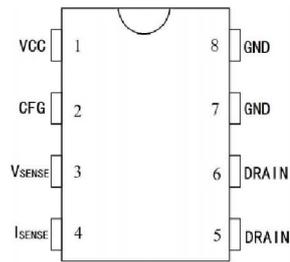
该脚能够承受的电压有限，尽量地旁路高频噪声，需要接一个高频滤波电容到 Pin7 (GND)，该电容引脚走线应短和宽，尽量靠近 IC，使该电容能更好的消除高频干扰。VDD 工作电压范围要小于 16V，大于 5.5V。推荐工作电压

# G5XXX 系列数字电源 IC 应用注意事项

范围 8~14V。要保证空载及负载切换时 VDD 不低于  $V_{DD(UV_L)}$  而重启，满载时 VDD 不超过最大允许值。



SOP7 Package



DIP8 Package

- 9) Pin1 (VDD) IC 供电脚
- 10) Pin2 (CFG) 线补及 OVP 设置脚
- 11) Pin3 (Vsense) 电压反馈信号采样脚
- 12) Pin4 (Isense) 初级电流采样脚，内部 MOS S 极
- 13) Pin5、Pin6 (Drain) 内置 MOSFET D 极
- 14) Pin7、(8) IC 地

注意事项同 1-8 所对应事项相一至。

## 3 典型应用电路

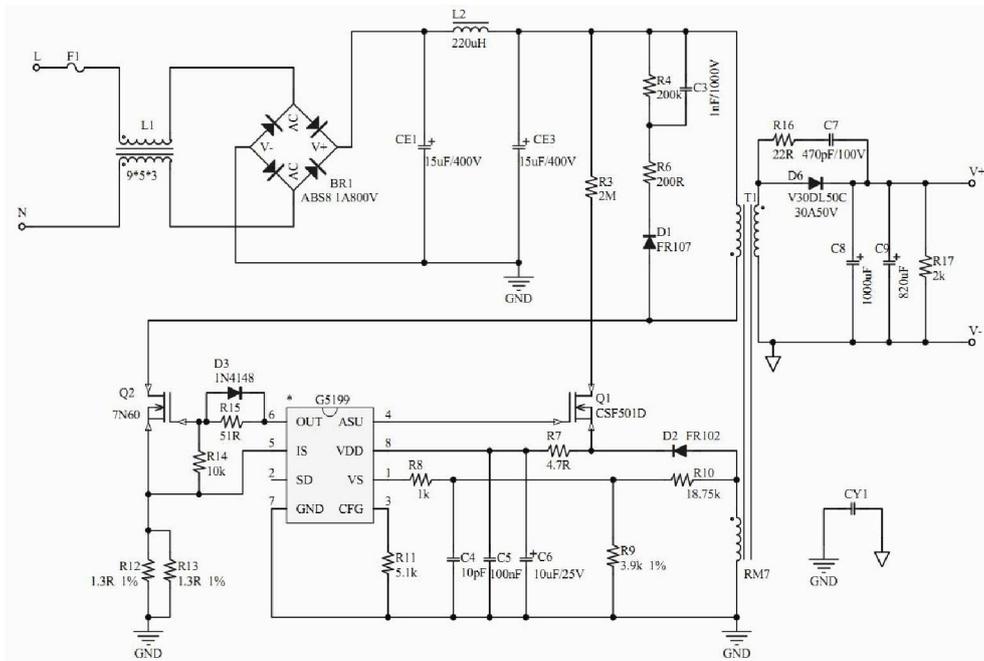


图 3-1 G5199\_5V3A 典型应用方案



## G5XXX 系列数字电源 IC 应用注意事项

内置 MOS 产品型号包括:

产品型号	描述
G5236F(T)	SOP-7 Pout≤12W OVP/OTP Auto recovery
G5237F(T)	SOP-7 Pout≤15W OVP/OTP Auto recovery
G5238F(T)	SOP-7 Pout≤20W OVP/OTP Auto recovery
G5136P(T)	DIP-8 Pout≤12W OVP/OTP Auto recovery
G5137P(T)	DIP-8 Pout≤18W OVP/OTP Auto recovery
G5138P(T)	DIP-8 Pout≤24W OVP/OTP Auto recovery

\*带后缀带 T 的产品内置 OTP 功能，OTP 保护点设置为 140℃

\*变压器设计见设计模板（G5199\_G5198 Calculator）

### 4.2 匝数比

在 PFM 模式下的变压器最大主次级匝比由最小可检测的复位时间来确定。

$$N_{TR(max)} = \frac{(V_{IN} \cdot T_{ON})_{PFM}}{T_{RESET(min)} \times V_{OUT}} \quad 4-1$$

在谐振模式中，较高匝比具有较低的 VDS 导通电压，这意味着较少的开关导通功率损耗。还要考虑高匝比对 MOSFET（VDS）的电压应力增加的影响，以及低匝比对输出二极管上的电压应力增加的影响。

### 4.3 最大输入伏秒值 $V_{IN}T_{ON}$

传统的设计方式是，最大输入伏秒值要满足在满负荷和最低输入电压条件。

$$T_{P(QRmin)} > \frac{1}{100kHz} \quad 4-2$$

$$T'_{P(QRmin)} > \frac{1}{110kHz} + T_{RES} \quad 4-3$$

$T_{RES}$  为如图 VDS 的谐振周期， $T_{RES}$  可估计为约 2us 为起点。

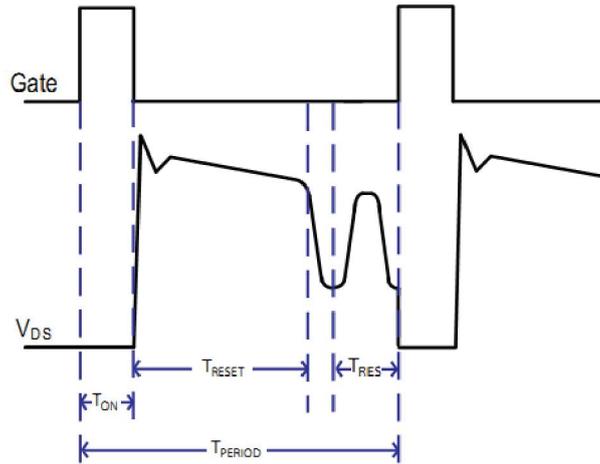


图 4-1 VDS 谐振周期

在满足这两个条件后 ( $V_{IN(TON)}$ ) 最大可通过下式确定

$$(V_{IN} \cdot T_{ON})_{\max} = \left[ f_{SW(\max op)} \times \left( \frac{1}{V_{INDC(\min)}} + \frac{1}{N_{TR} \times V_{OUT}} \right) \right]^{-1} \quad 4-4$$

Where,  $f_{SW(\max op)} = \frac{1}{T_{P(QR \min)}}$

$V_{INDC(\min)}$  是大容量电容的最小输入电压。

为了避免在正常工作期间输入欠压检测,  $V_{INDC(\min)}$  应高于输入欠压关断限制进行设定。

为了保证足够的余量值, 通常:

$$(V_{IN} \cdot T_{ON})_{\max} < (V_{IN} \cdot T_{ON})_{\lim it} \times 0.85 \quad 4-5$$

#### 4.4 励磁电感

尽管恒定电流限制不依赖于励磁电感, 但励磁电感对其仍有限制。电源的最大输出功率需通过  $L_M$  来调节。由下式给出:

$$L_{M(\max)} = \frac{(V_{IN} \cdot T_{ON})_{\max}^2 \times f_{sw(\max op)}}{2 \times P_{XFMR(\max)}} \quad 4-6$$

$$P_{XFMR(\max)} = \frac{V_{OUT} \times I_{OUT}}{\eta_X} \quad 4-7$$

## G5XXX 系列数字电源 IC 应用注意事项

$\eta_x$  是变压器的效率。

最小  $L_M$  由最大初级峰值电流决定。最大  $I_{SENSE}$  电压对应  $V_{IPK(HIGH)}$ 。

因此， $L_M$  的下限为：

$$L_{M(\min)} = \frac{2 \times P_{XFMR(\max)}}{f_{SW(\max op)} \times \left( \frac{V_{IPK(HIGH)}}{R_{ISENSE}} \right)^2} \quad 4-8$$

### 4.5 初级绕组

为了保证变压器饱和时不能超过最大磁通密度。因此，最低初级绕组必须满足

$$N_{PRI} \geq \frac{(V_{IN} \cdot T_{ON})_{\max}}{B_{\max} \times A_e} \quad 4-9$$

$B_{\max}$  是最大磁通密度， $A_e$  为磁场面积。

### 4.6 次级绕组

从初级绕组的匝数，得到次级绕组

$$N_{SEC} = \frac{N_{PRI}}{N_{TR}} \quad 4-10$$

### 4.7 辅助绕组和 VDD 电容

辅助绕组提供的 VDD 电压应低于 14V，确保正常工作期间 VDD 不超过 14V

$$N_{BIAS} = \frac{N_{SEC}(V_{DD} + V_{FD})}{V_{OUT}} \quad 4-11$$

VDD 电容 ( $C_{VDD}$ ) 在正常工作时给 IC 供电，并在启动之前检测其电压以确保启动和运行的电压范围。启动时间由此电容充电情况决定。

输出电压调节主要由反馈信号  $V_{sense}$  确定。

$$V_{SENSE} = V_{OUT\_PCB} \times K_{SENSE} \quad 4-12$$

## G5XXX 系列数字电源 IC 应用注意事项

$$K_{SENSE} = \frac{R_{bvsns}}{(R_{bvsns} + R_{rvsns})} \times \frac{N_{Vsense}}{N_{SEC}} \quad 4-13$$

在 IC 内部，Vsense 比较参考电压 Vsense 为 1.538V，从这里我们可以得到需要的 Rbvsns 和 Rrvsns 的比例。

### 4.8 电流检测电阻

Isense 电阻决定电源的最大输出电流。

$$I_{OUT} = \frac{1}{2} \times N_{TR} \times I_{PRI(pk)} \times \frac{T_{RESET}}{T_{PERIOD}} \times \eta_{\chi} \quad 4-14$$

当输出最大电流时，Isense 引脚电压 Visense 应达到最大。因此，在恒定电流时

$$I_{PRI(pk)} = \frac{V_{Isense(CC)}}{R_{Isense}} \quad 4-15$$

### 4.9 CFG 引脚配置

G5XXX 可以通过外部（CFG 脚）配置线缆压降补偿（CDC）功能。该 CDC 配置在初始 OTP 检测之后、软启动之前完成，并且只执行一次。在 CDC 配置执行期间，内部数字控制模块采样外部 CFG 脚和地之间的电阻值，然后设置相应的 CDC 等级，来补偿次级电路的线压降。G5XXX 系列产品提供 5 级 CDC 配置：0、75mV、150mV、300mV、450mV；5 级 CDC 的电阻 R<sub>CDC</sub> 范围如下表，一般要求 R<sub>CDC</sub> 选择可选范围的中间值。线缆补偿是基于 5V 输出电压计算得出，其他电压补偿为输出电压与 5V 的倍数再乘上所选 CDC 值。

CDC Level	1	2	3	4	5
<b>R<sub>CDC</sub> Range</b> (kΩ)	0-2.20	2.37 – 3.21	3.40 – 4.64	4.87–6.65	6.98 – X*
<b>Cable Comp</b> (mV)	0	75	150	300	450
<b>V<sub>SENSE</sub>-based</b> <b>OVP Threshold</b> (V)	1.838	1.861	1.884	1.930	1.976

## G5XXX 系列数字电源 IC 应用注意事项

\* The resistance can be as high as 100kΩ, provided CFG pin does not float, which causes device to shut down.

CFG 引脚除了执行 CDC 配置外，还可以用来提供外部过压保护（OVP）功能。外部基于 CFG 的 OVP 是基于  $V_{SENSE}$  的 OVP 的额外保护功能。来自分压器的两个电阻 R1 和 R2 通过辅助绕组来采样输出电压，其分压抽头连接到 CFG 脚。在 CDC 配置期间，G5XXX 不发送任何驱动信号到 OUTPUT 脚，并且开关功率管一直处于 OFF。电阻 R1 和 R2 实际上处于并联，所以并联电阻 R1 和 R2 设置 CDC 级别。同时，在正常工作状态，CFG 脚实时反映输出电压，R1 和 R2 比率决定外部 OVP 阈值。

分压电阻 R1 和 R2 的阻值可以从下面得出。

首先，对于给定 CDC 等级，并联电阻 R1 和 R2 满足

$$R_{CDC} = \frac{R_1 \times R_2}{R_1 + R_2} \quad 4-16$$

其次，正常工作时 R1 和 R2 决定 OVP 阈值：

$$\left( \frac{N_{AUX}}{N_{SEC}} \right) \times V_{OVP} \times \left( \frac{R_2}{R_2 + R_1} \right) \geq V_{SD\_TH(R)} \quad 4-17$$

因此，有

$$R_1 = \left( \frac{N_{AUX}}{N_{SEC}} \right) \times R_{CDC} \times \left( \frac{V_{OVP}}{V_{SD\_TH(R)}} \right) \quad 4-18$$

$$R_2 = \left( \frac{R_1}{R_1 - R_{CDC}} \right) \times R_{CDC} \quad 4-19$$

### 4.10 外部 OTP

G5199（8）单封 IC 可以通过在 SD 脚和地之间连接一个 NTC 电阻来提供外部过温保护（OTP）功能。SD 脚内部有一 100uA 电流源，其产生一个和 NTC 电阻成比例的电压。高温下 NTC 电阻变小，其得到 SD 脚电压变低。如果 SD 脚电压降低到低于内部阈值，这时 OTP 触发，G5199（8）关机。在 G5199（8）中，外部 OTP 通过两个阈值设置滞回作用。启动前，SD 脚电压低于 1.2V 时 OTP 触发。

## G5XXX 系列数字电源 IC 应用注意事项

否则开始 CDC 配置及正常软启动过程。在正常工作期间，OTP 阈值切换到 1.0V，只有当 SD 脚电压低于 1.0V 才关机。

正常工作期间，外部 OVP 和 OTP 检测每八个周期交替一次。在 OVP 检测的八个周期窗口期间，CFG 脚电压提供给内部比较器的同相输入端。如果该脚电压在连续数个周期中高于相应的点 1.015V，则 OVP 触发。相反地，在外部 OTP 检测窗口期间，如果 SD 脚电压在连续数个周期中低于 1.0V，则 OTP 触发，并关机。SD 脚和 CFG 脚可以提供不同类型应用，如下图：

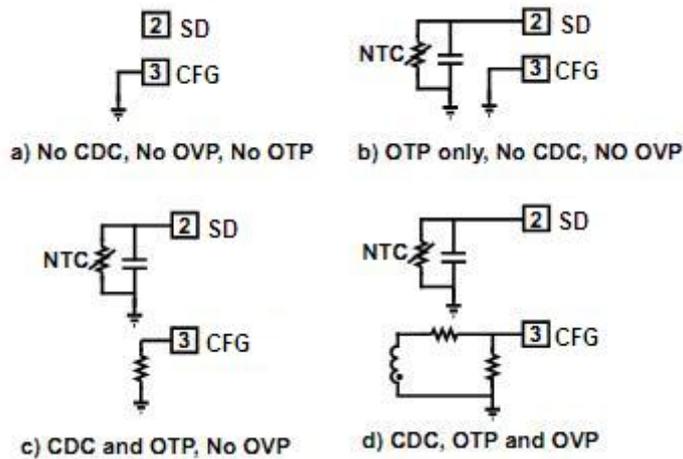


图 4-2 SD 及 CFG 脚配置

内置 MOS 合封产品，内置 OTP 保护功能，无需外部设置

输出电压 OVP 的测试方法，建议参考以下电路，可以采用调大取样上偏电阻或调小下偏电阻的方法来确认，不建议用短路下偏电阻的方法来测试，具体原因我司“PSR 产品输出 OVP 测试方法”。

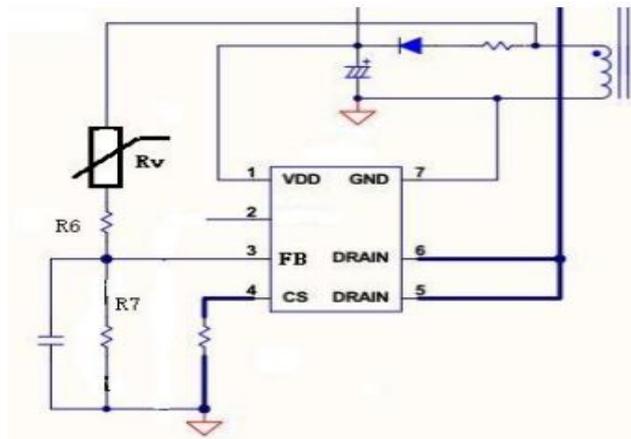


图 4-3 OVP 电压测试图

## G5XXX 系列数字电源 IC 应用注意事项

### 4.11 输入大电容

输入大电容 CBULK 需要保持在电压下降时依然有足够的输入功率保持恒定的输出功率。因此 CBULK 必须是：

$$CBULK = \frac{2 \times P_{IN} \times \left[ 0.25 + \frac{1}{2\pi} \times \arcsin \left( \frac{V_{INDC(\min)}}{\sqrt{2} \times V_{INAC(\min)}} \right) \right]}{(2 \times V_{INAC(\min)}^2 - V_{INDC(\min)}^2) \times f_{line}} \quad 4-20$$

$$P_{IN} = \frac{V_{OUT(Cable)}}{\eta_{power supply}} \quad 4-21$$

VINAC(MIN)是输入到电源的最小输入电压（有效值），FLINE 是最低电源频率（47 赫兹）。

### 4.12 输出电容

输出电容影响电源的稳态纹波和动态响应

假设一个理想的电容器的 ESR（等效串联电阻）和 ESL（等效串联电感）可以忽略不计，然后：

$$C_{OUT(SteadyState)} = \frac{Q_{OUT}}{V_{OUT(ripple)}} \quad 4-22$$

输出电容器给负载供电时，次级电流输出

$$Q_{OUT} = \frac{L_M \times (I_{SEC(pk)} - I_{OUT})^2}{2 \times N_{TR}^2 \times \eta_X \times V_{OUT}} \quad 4-23$$

I<sub>SEC(pk)</sub>为

$$I_{SEC(pk)} = \frac{(V_{IN} \cdot T_{ON})_{MAX}}{L_M} \times N_{TR} \times \eta_X \quad 4-24$$

在这种计算中 ESR 和 ESL 被忽略；

假设负载从空载到输出电流（高）。

输出电容（C<sub>out</sub>（动态））和 V<sub>drop</sub>（IC）之间的关系

$$C_{OUT(Dynamic)} = \frac{I_{OUT(HIGH)} \times T_{P(Noload)}}{V_{DROP(IC)}} \quad 4-25$$

## G5XXX 系列数字电源 IC 应用注意事项

在  $V_{Dynamic}(DROP)$  是允许的最大电压降为设计过程中的动态响应,  $V_{DROP}$  (Cable) 是由于电缆电阻的电压降, 并  $V_{DROP}$  (sense) 是在电压下降到之前的信号是足够低的注册动态响应。

$$C_{OUT(Dynamic)} = \frac{I_{OUT(HIGH)} \times T_{P(Noload)}}{V_{Dynamic(DROP)} - V_{DROP(Cable)} - V_{DROP(sense)}} \quad 4-26$$

在  $T_{P(Noload)}$  是无负载条件下的最大的周期

$$T_{P(Noload)} = \frac{R_{Preload} \times (V_{IN} \cdot T_{ON})_{PFM}^2}{2 \times L_M \times V_{OUT}^2} \times \eta_{Noload} \quad 4-27$$

在  $C_{OUT(Dynamic)}$  和  $C_{OUT(Steady State)}$  之间选择较大的电容值。

### 5 PCB Layout 规则

规则 1:

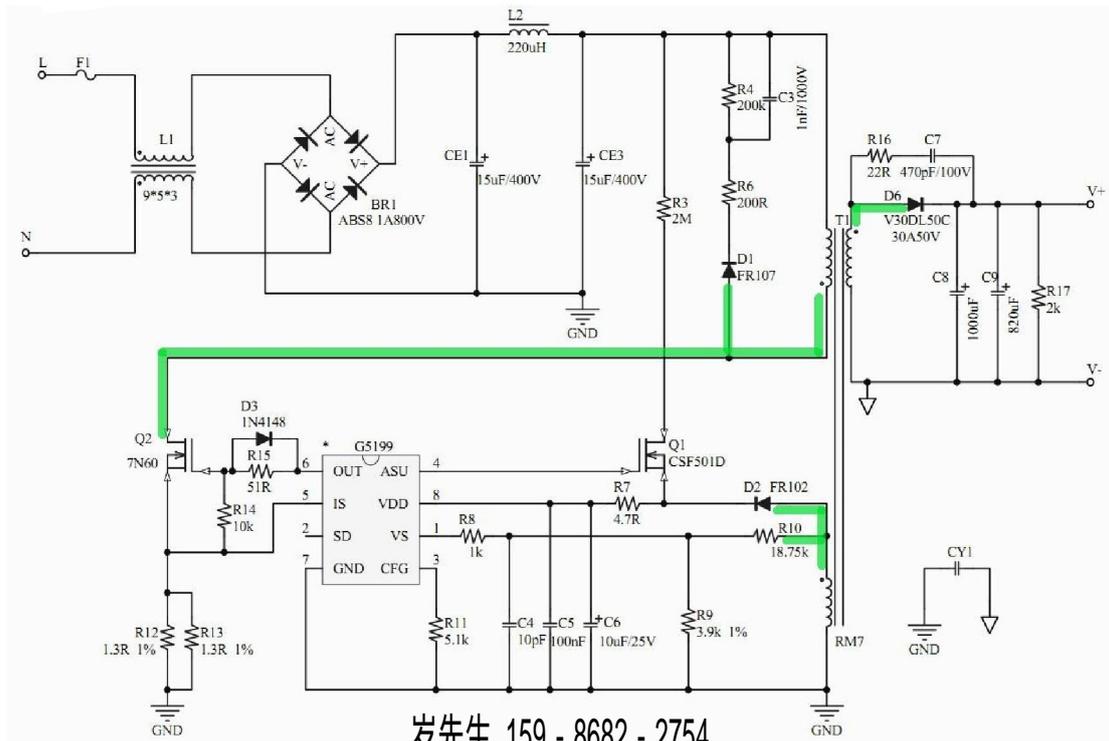
凡是高  $dV/dt$  的信号不能靠近高阻抗管脚; 凡是高  $dI/dt$  的信号不能平行于高阻抗管脚走线; 一般是通过缩短高阻抗管脚的走线来实现; 高阻抗管脚的滤波电容一定要靠近 IC。否则将降低滤波功能, 可能失去滤波功能。滤波电容和 IC 的 GND 的连接, 最好避开大信号的走线, 越短越好。

G5199 有两个重要的信号控制输出性能,  $V_{sense}$  和  $I_{sense}$ 。 $I_{sense}$  电阻应接近 MOSFET 的源级以避免被其他信号干扰。同时,  $I_{sense}$  电阻应靠近  $I_{sense}$  引脚放置。 $V_{sense}$  信号应尽量靠近变压器以提高传感信号的质量。 $V_{sense}$  脚是高输入阻抗脚。建议在该 Pin 上直接串一电阻 (1k 左右), 电阻要尽量靠近  $V_{sense}$  Pin, 防止高频谐振。

规则 2:

高能量的振荡源的处理。这些振荡源的铜皮走线应尽量小, 不过要考虑散热的问题。同时,  $V_{sense}$  Pin,  $I_{sense}$  Pin 及其相关元件, 要远离这些高能量的振荡源。AC 端滤波环路也要远离这些高能量的振荡源。

电路中高能量的振荡源有 (图中绿色标记):



岁先生 159 - 8682 - 2754  
图 5-1 高能量的振动源

### 规则 3:

注意高频滤波电容的铜皮走线。电容要靠近 IC 且 Pin 脚的走线要尽量短和粗，从而达到最佳的滤波效果。

高频滤波电容有:

- 1) VDD Pin 与 GND 之间，建议放置一个 100nF 陶瓷电容，选用 X7R 系列或以上产品；
- 2)  $V_{sense}$  Pin 与 GND 之间，在  $V_{sense}$  Pin 上的串联电阻之后，建议放置一个 10pF~100pF 陶瓷电容，选用 X7R 系列或以上产品
- 3) 选用外部精准 OVP 功能时，CFG Pin 与 GND 之间，建议放置一个 10pF-100pF 陶瓷电容，选用 X7R 系列或以上产品

### 规则 4:

初级地线的走法：从变压器看，存在 3 个绕组。他们之间都存在高频电流的流动，可以看成共模信号。把整个地线分成 6 小块，小块内的走线作为一个整体。VDD 地连到变压器地，再直接回参考地。功率地、Y 电容地和 IC 地都直接回

参考地。让这 6 小块地重合，是最好的，但实际上不可能实现。我们推荐的做法：IC 地，VDD 地，功率地和参考地做到 4 小块地尽量靠近。优先考虑 IC 地和参考地重合，如果 IC 地不能重合参考地，则控制它们间的铜皮走线，长度小于 15mm，宽度大于 0.6mm。

5 个小块地的命名：

参考地：输入电解的地

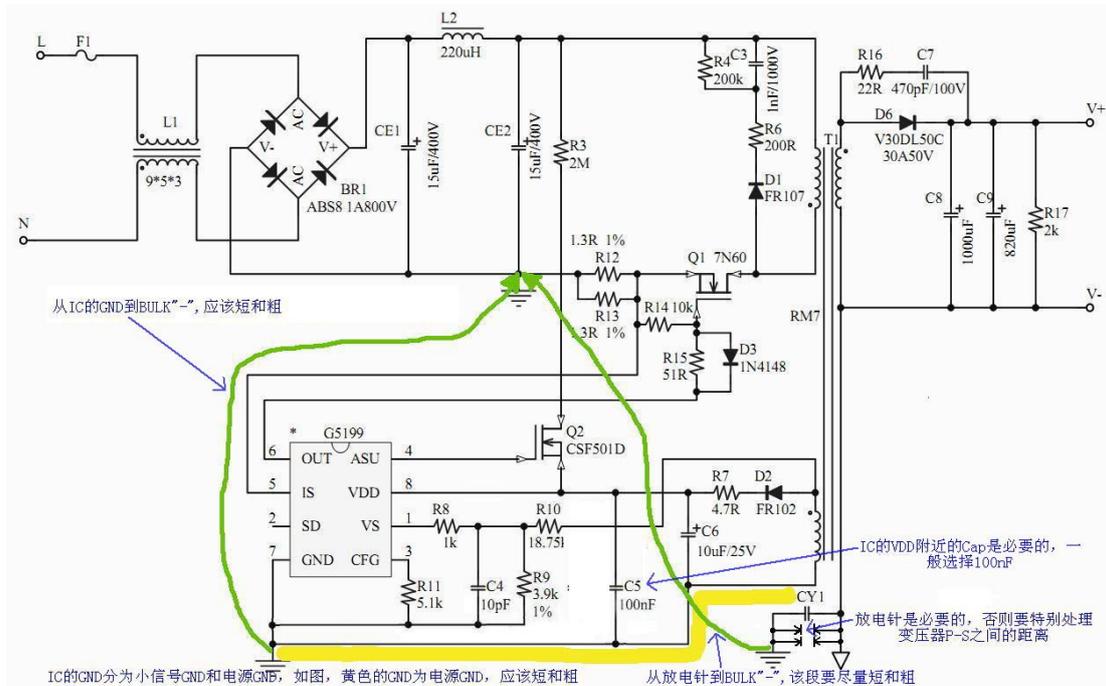
功率地：和功率管源级电阻相连的地，有大电流

IC 地：IC 的 GND 脚，包含 IC 外围元件的地

VDD 地：VDD 电容的地

变压器地：变压器辅助绕组的地 Pin 脚

Y 电容地：Y 电容初级侧的地



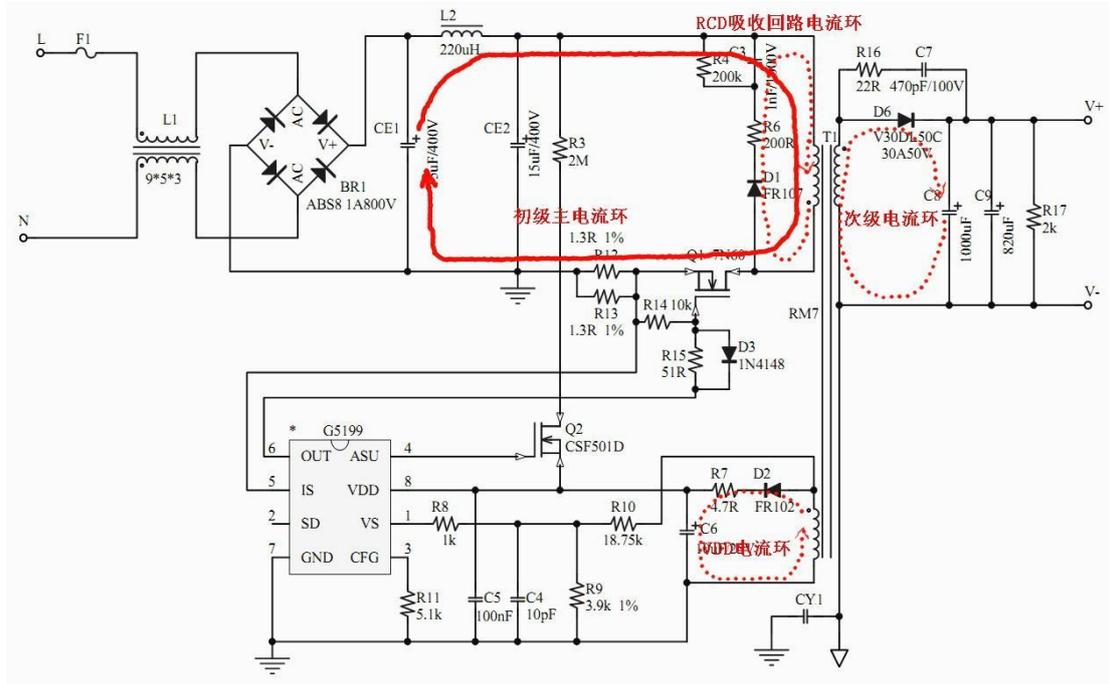
岁先生 159 - 8682 - 2754

图 5-2 初级地布线（ESD 高压的考虑）

## 规则 5:

整流环路包括：输入大电容，初级绕组，MOSFET 和  $R_{cs}$  构成的环路；输出二极管，输出电容器和二次绕组构成的环路；辅助绕组，整流二极管和 VDD 电容构成的环路。为了减小电磁干扰，各个整流环（如图 6 中的四个椭圆）应尽量小。否则将影响到高频 EMI（5MHz 以上）。

所有的高频电流环，要尽量小。高频电流环如下图



岁先生 159 - 8682 - 2754

图 5-3 高频电流环

## 规则 6:

散热问题的考虑

整个电源板，有三大发热器件：

- 1) 开关管 MOSFET
- 2) 次级整流二极管
- 3) 变压器

在散热的处理上，一般要将三个发热器件分开，电解电容不要贴着发热器件，会影响寿命。

## 规则 7:

注意安规间距，高电压间的距离，生产工艺要求。

### 6 生产注意事项

- 6.1 生产过程中对所用设备要做到良好接地，防止设备漏电损伤产品或造成不必要的人员伤亡；
- 6.2 作业过程中，生产线或接触产品的人员，需做好 ESD 防护措施，防止 ESD 对 IC 造成损伤；
- 6.3 通电后的产品，要对输入高压电容、VCC 电容、输了电压进行充分的放电，以防止作业过程中电容上残余电压由于不小心的相互接触、碰撞造成 IC 的损伤；
- 6.4 生产环节中要注意生产的顺畅，不要造成堆积，产品摆放时不要直接叠加在一起，防止电容上残留电压造成 IC 的损伤；尤其是不良品在送修过程中，更要防止产品叠加对 IC 造成的误伤；
- 6.5 产品在打高压工位，冶具要保证 L、N 线充分短路并接触良好，输出+、- 保证充分短路并接触良好，防止作业过程中由于接触不好放电而造成 IC 损伤；
- 6.6 变压器设计上要保证高压绕组与 VCC 绕组有足够的安全距离，防止由于高压绕组与 VCC 绕组打火而造成 VCC 脚的损伤；变压器输出引线要焊接良好，如果输出绕组开路，或生产中由于变压器输出引脚虚焊，在通电后会造 IC 的损坏，现象为 VCC 对地击穿，严重的造成炸机。