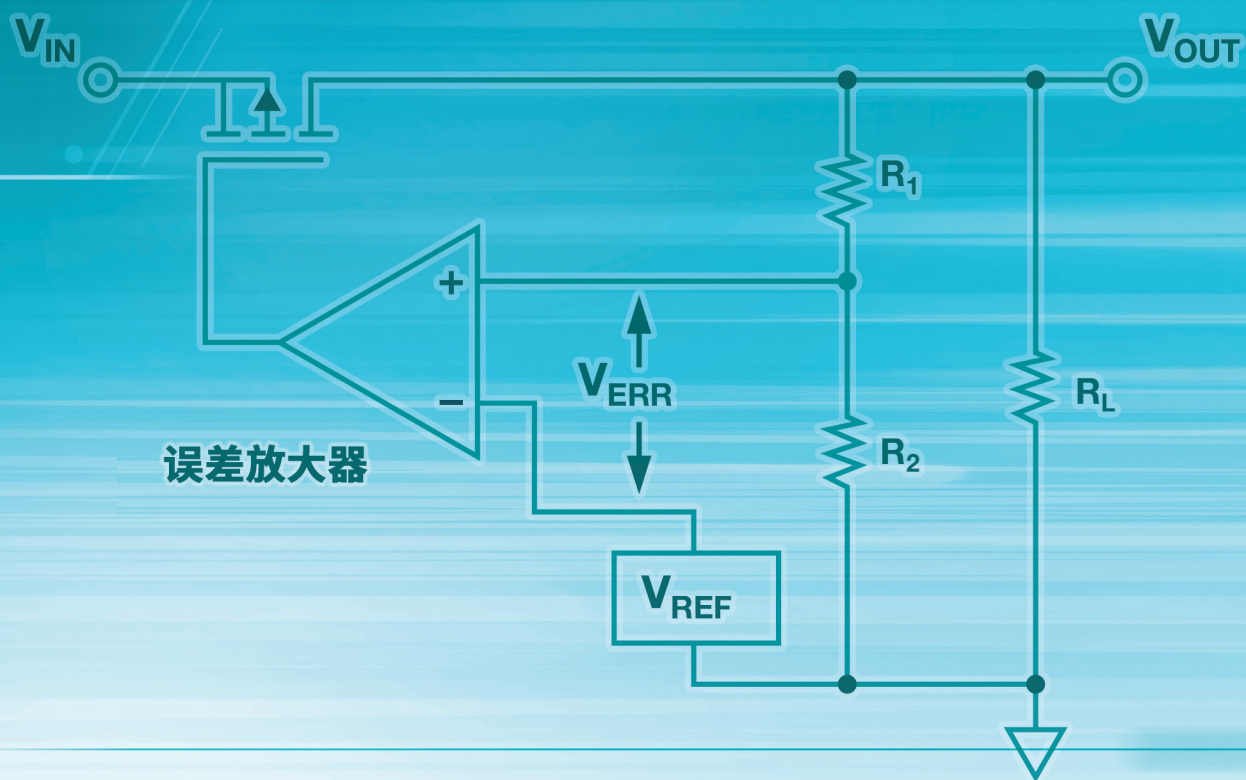


LDO 基础知识



前言

作者：Wilson Fwu

电源管理是电子系统中的的一个基本模块。智能手机、电脑和我们所熟知的绝大多数电子产品都需要这个模块去实现本身的功能。随着人们对电子产品便携性的追求，计算能力的增长，以及传感器的多样化，电源管理设计有了更高的要求。

为了满足新的电源设计上的更高的要求，我们不能以为只要有了一个性能良好的电压轨，就不需要考虑其他部分的电源设计。我们在电源设计中最应该考虑哪些问题？为一个已知的负载供电时，电源的哪个参数至关重要？如何通过已知信息推断电源在各种不同条件下的性能？本电子书将帮您解决上述问题。

使用低压降稳压器 (LDO) 是在维持小的输出输入电压差的情况下，把一个较高电压输入，转换为一个略低的稳定输出电压的常见方法。在大多数情况下，LDO 都易于设计和使用。然而，目前的主流应用通常包括多个模拟和数字系统，我们将根据这些系统的本身特性以及工作条件来选择最适合这个应用的 LDO。

本电子书旨在全面概述您需要了解和查找的关于 LDO 的基础知识。书每一章内容最初都是发布在 [“LDO 基础知识”系列博客](#) 中，您也可以 [在 TI E2E™ 社区阅读该系列博客](#)。本电子书中的结构简短、内容扼要但易于理解。如果您想要更深入的了解相关内容，您也可以观看 [LDO 培训门户网站上的配套视频](#)。

如果对本电子书所讨论的主题有任何疑问，请在 TI E2E™ 社区中的 [电源管理论坛](#) 进行咨询。

目录

前言

第 1 章. 压降

第 2 章. 电容器与电容

第 3 章. 热性能

第 4 章. 静态电流

第 5 章. 电流限制

第 6 章. 防止出现反向电流

第 7 章. 电源抑制比

第 8 章. 噪声

相关资源

第 1 章：压降

作者：Aaron Paxton

低压降稳压器 (LDO) 的典型特性必然是压降。毕竟，其名称及其缩写由此而来。

从根本上来讲，压降描述的是正常稳压所需的 V_{IN} 和 V_{OUT} 之间的最小差值。但是考虑到各种因素之后，它会迅速发生细微的变化。压降对于实现高效运行及生成余量有限的电压轨至关重要，下文将对此进行详细介绍。

什么是压降？

压降电压 V_{DO} 是指为实现正常稳压，输入电压 V_{IN} 必须高出所需输出电压 $V_{OUT(nom)}$ 的最小压差。请参见**公式 1**：

$$V_{IN} \geq V_{OUT(nom)} + V_{DO} \quad (1)$$

如果 V_{IN} 低于此值，线性稳压器将以压降状态工作，不再调节所需的输出电压。在这种情况下，输出电压 $V_{OUT(dropout)}$ 将等于 V_{IN} 减去压降电压的值 (**公式 2**)：

$$V_{OUT(dropout)} = V_{IN} - V_{DO} \quad (2)$$

以调节后电压为 3.3V 的 TPS799 等 LDO 为例：当输出 200mA 电流时，TPS799 的最大压降电压指定为 175mV。只要输入电压为 3.475V 或更高，就不会影响调节过程。但是，输入电压降至 3.375V 将导致 LDO 以压降状态工作并停止调节，如图 1 所示。

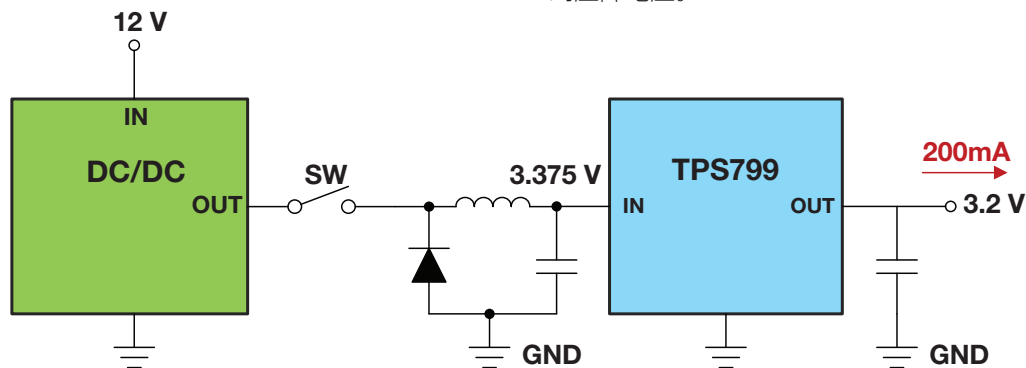


图 1：在压降状态下工作的 TPS799。

虽然应将输出电压调节为 3.3V，但 TPS799 没有保持稳压所需的余量电压。因此，输出电压将开始跟随输入电压变化。

决定压降的因素是什么？

压降主要由 LDO 架构决定。

为说明原因，让我们来了解一下 P 沟道金属氧化物半导体 (PMOS) 和 N 沟道 MOS (NMOS) LDO，并对比其工作情况。

PMOS LDO

图 2 所示为 PMOS LDO 架构。为调节所需的输出电压，反馈回路将控制漏-源极电阻 R_{DS} 。随着 V_{IN} 逐渐接近 $V_{OUT(nom)}$ ，误差放大器将驱动栅-源极电压 V_{GS} 负向增大，以减小 R_{DS} ，从而保持稳压。

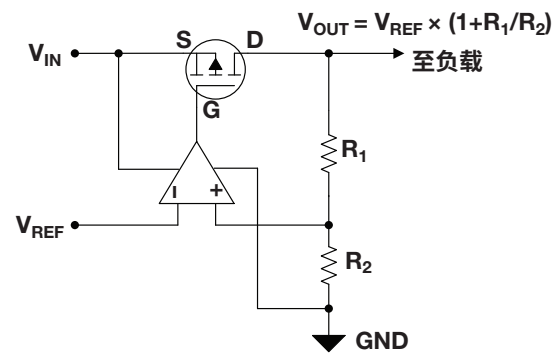


图 2：PMOS LDO。

但是，在特定的点，误差放大器输出将在接地端达到饱和状态，无法驱动 V_{GS} 进一步负向增大。

R_{DS} 已达到其最小值。将此 R_{DS} 值与输出电流 I_{OUT} 相乘，将得到压降电压。

请记住，随着 V_{GS} 负向增大，能达到的 R_{DS} 值越低。通过提升输入电压，可以使 V_{GS} 值负向增大。因此，PMOS 架构在较高的输出电压下具有较低的压降。图 3 展示了此特性。

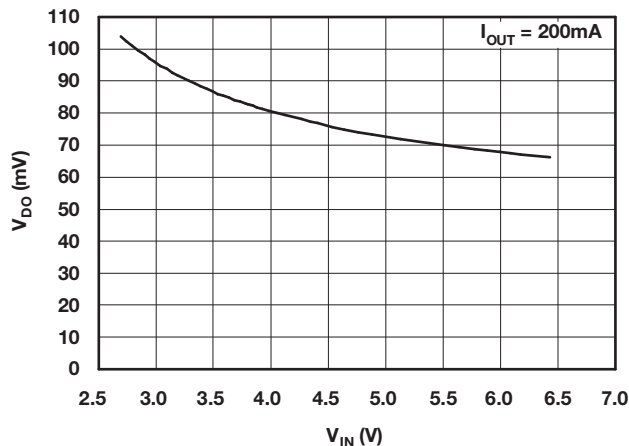


图 3: TPS799 的压降电压与输入电压关系图。

如图 3 所示，TPS799 的压降电压随输入电压（也适用于输出电压）增大而降低。这是因为随着输入电压升高 V_{GS} 会负向增大。

NMOS LDO

NMOS 架构如图 4 所示，反馈回路仍然控制 R_{DS} 。但是，随着 V_{IN} 接近 $V_{OUT(nom)}$ ，误差放大器将增大 V_{GS} 以降低 R_{DS} ，从而保持稳压。

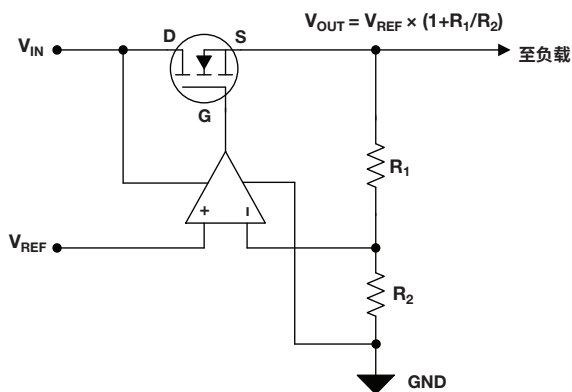


图 4: NMOS LDO。

在特定的点， V_{GS} 无法再升高，因为误差放大器输出在电源电压 V_{IN} 下将达到饱和状态。达到此状态时， R_{DS} 处于最小值。将此值与输出电流 I_{OUT} 相乘，会获得压降电压。

不过这也会产生问题，因为误差放大器输出在 V_{IN} 处达到饱和状态，随着 V_{IN} 接近 $V_{OUT(nom)}$ ， V_{GS} 也会降低。这有助于防止出现超低压降。

偏置 LDO

很多 NMOS LDO 都采用辅助电压轨，即偏置电压 V_{BIAS} ，如图 5 所示。

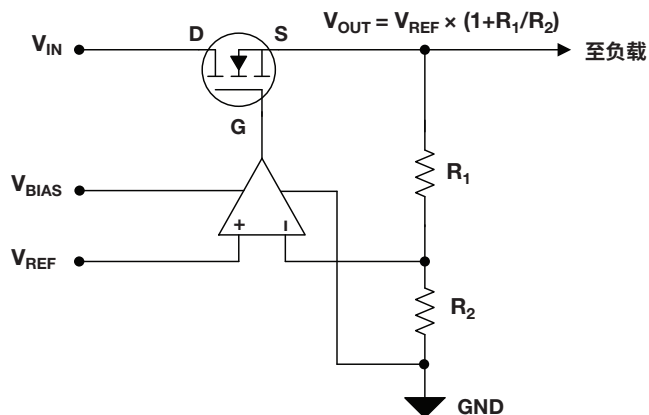


图 5: 带偏置电压轨的 NMOS LDO。

此电压轨用作误差放大器的正电源轨，并支持其输出一直摆动到高于 V_{IN} 的 V_{BIAS} 。这种配置能够使 LDO 保持较高 V_{GS} ，从而在低输出电压下达到超低压降。

有时并未提供辅助电压轨，但仍然需要在较低的输出电压下达到低压降。在这种情况下，可以用内部电荷泵代替 V_{BIAS} ，如图 6 所示。

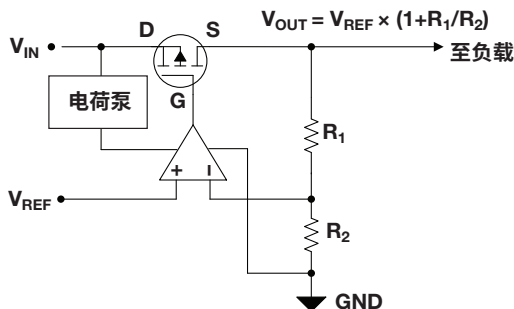


图 6: 带内部电荷泵的 NMOS LDO。

电荷泵将提升 V_{IN} ，以便误差放大器在缺少外部 V_{BIAS} 电压轨的情况下仍可以生成更大的 V_{GS} 值。

其他因素

除了架构之外，压降还会受到其他一些因素的影响，如表 1 所示。

因素	对压降的影响
PMOS LDO	当 V_{OUT} 升高时 V_{DO} 下降
带偏置的 NMOS LDO	当 V_{OUT} 升高时 V_{DO} 下降
导通元件尺寸	当导通元件尺寸增大时 V_{DO} 下降
输出电流	当 I_{OUT} 升高时 V_{DO} 升高
温度	当 T_J 升高时 V_{DO} 升高
输出精度	当容差增大时 V_{DO} 升高

表 1：影响压降的因素。

很显然，压降并不是一个静态值。虽然这些因素会提高选择 LDO 的复杂程度，但同时，还能帮助您根据特定的条件选择最适合的 LDO。

第 2 章：电容器与电容

作者：Wilson Fwu

为了让 LDO 正常工作，需要配备输出电容器。将 LDO 用于实际应用时，如何选择适当的输出电容器是一个常见的问题。因此，让我们来探讨一下选择输出电容器时需要考虑的各种事项及其对 LDO 的影响。

什么是电容器？

电容器是用于储存电荷的器件，其中包含一对或多对由绝缘体分隔的导体。电容器通常由铝、钽或陶瓷等材料制成。各种材料的电容器在系统中使用时具有各自的优缺点，如表 1 所示。陶瓷电容器通常是理想的选择，因为其电容变化最小，而且成本较低。

电容器材料	优点	缺点
铝	<ul style="list-style-type: none">• 常常用作低通滤波器。• 电容较高。	<ul style="list-style-type: none">• 极化。• 尺寸大。• 等效串联电阻 (ESR) 值大。• 可能出现过热。• 使用寿命有限。• 泄漏电流大。• 极化。
钽	<ul style="list-style-type: none">• 尺寸小。• 使用寿命长。• 泄漏电流小。	<ul style="list-style-type: none">• 极化。
陶瓷	<ul style="list-style-type: none">• 非极化。• 尺寸非常小。• ESR 值极小。• 成本低。• 容差低。• 热稳定性高。	<ul style="list-style-type: none">• 选择大电容时受限。• 直流偏置降额。

表 1：不同材料电容器的优缺点。

什么是电容？

电容器是用于储存电荷的器件，而电容是指储存电荷的能力。在理想情况下，电容器上标注的值应与其提供的电容量完全相同。但我们并未处于理想情况下，不能只看电容器上标注的值。稍后您将发现电容器的电容可能只有其额定值的 10%。这可能是由于直流电压偏置降额、温度变化降额或制造商容差造成的。

直流电压降额

考虑到电容器的动态特性（以非线性方式存储和耗散电荷），有些极化现象在不施加外部电场的情况下也可能会出现；这就是所谓的“自发极化”。自发极化是由材料的不活跃电场引起的，不活跃电场为电容器提供初始电容。对电容器施加外部直流电压会生成电场，生成的电场会反转初始极化，然后将剩余的有源偶极子“锁定”或极化到位。极化与电介质内电场的方向有关。

如图 1 所示，锁定的偶极子不会对交流电压瞬变作出反应；因此，有效电容低于施加直流电压前的值。

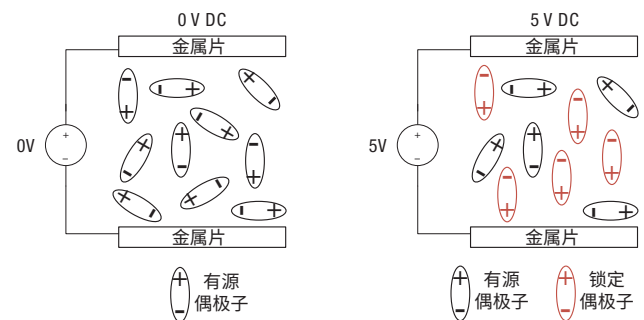


图 1：直流电压降额。

图 2 显示了对电容器施加电压所产生的影响以及产生的电容。请注意，外壳尺寸较大时损失的电容较小；这是因为外壳尺寸越大，导体之间存在的电介质越多，而这会降低电场强度并减少锁定的偶极子数。

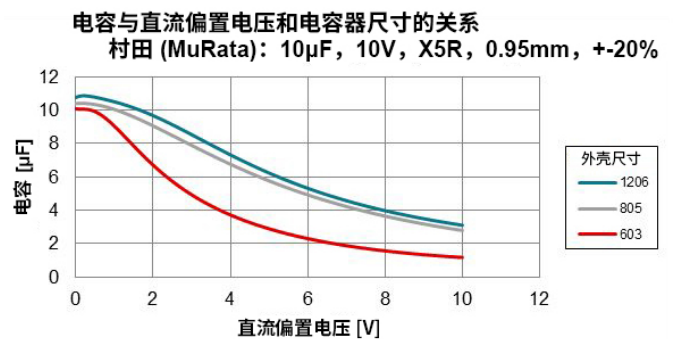


图 2：电容与直流偏置电压和电容器尺寸的关系。

温度降额

与所有电子器件类似，电容器的额定温度高于其额定性能对应的温度。这种温度降额通常会使用电容器的电容低于电容器上标注的数值。**表 2** 为电容器温度系数额定值解码表。

第一个字符： 低温		第二个字符： 高温		第三个字符： 最大温度变化	
字符	温度 (°C)	字符	温度 (°C)	字符	变化 (%)
Z	10	2	45	A	±1.0
Y	-30	4	65	B	±1.5
X	-55	5	85	C	±2.2
		6	105	D	±3.3
		7	125	E	±4.7
		8	150	F	±7.5
		9	200	P	±10
				R	±15
				S	±22
				T	+22, -33
				U	+22, -56
				V	+22, -82

表 2：陶瓷电容器编码表。

大多数 LDO 结温范围通常为 -40°C 到 125°C 。根据此温度范围，X5R 或 X7R 电容器是理想选择。

如图 3 所示，温度对电容的影响远小于直流偏置降额所产生的影响，直流偏置降额可使电容值降低 90%。

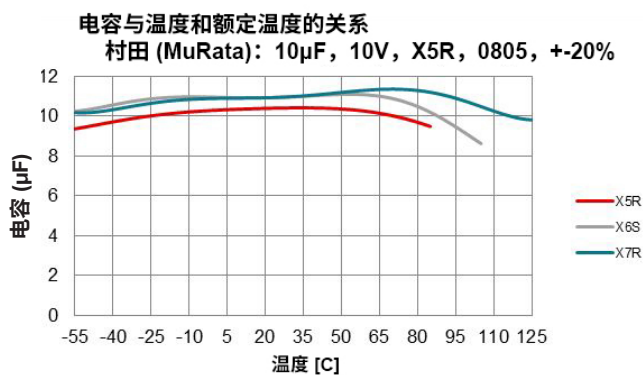


图 3：电容与温度和温度系数的关系。

制造商容差

由于实际电容器的特性处于非理想状态，电容值本身可能会根据电容器材料和尺寸的不同而发生变化。生产电容器和其他无源电子元件的公司将制定通用标准，规定所生产元件的电容值容差范围。为便于说明，在计算电容时我们将使用 $\pm 20\%$ 作为制造容差。

实际应用

常见的 LDO 应用可能是从 3.6V 电池获得输入电压，然后将其降低，为微控制器 (1.8V) 供电。在本例中，我们使用 $10\mu\text{F}$ X7R 陶瓷电容器，0603 封装。0603 封装是指电容器的尺寸： $0.06\text{in} \times 0.03\text{in}$ 。

我们来确定一下此应用中上述电容器的实际电容值：

- 直流偏置降额：从制造商提供的电容器直流偏置特性图表 (图 2) 可以看出，直流偏置电压为 1.8V 时，电容值为 $7\mu\text{F}$ 。
- 温度降额：基于 X7R 编码，如果在 125°C 的环境温度下应用此电容器，电容值会另外下降 15%，此时的新电容值为 $5.5\mu\text{F}$ 。
- 制造商容差：考虑到 $\pm 20\%$ 的制造商容差，最终的电容值为 $3.5\mu\text{F}$ 。

可以看出，在上述条件下应用电容器时， $10\mu\text{F}$ 电容器的实际电容值为 $3.5\mu\text{F}$ 。电容值已降低至标称值的 65% 左右。显然，上述所有条件并非对任何应用都适用，但务必要了解将电容器用于实际应用时电容值的范围。

尽管 LDO 和电容器乍看起来似乎很简单，但还有其他因素决定着 LDO 正常工作所需的有效电容。

第 3 章：热性能

作者：Wilson Fwu

若将热性能纳入考量，可以进一步提高应用的性能。低压降稳压器 (LDO) 的特性是通过将多余的功率转化为热量来实现稳压，因此，该集成电路非常适合低功耗或 V_{IN} 与 V_{OUT} 之差较小的应用。考虑到这一点，选择采用适当封装的适当 LDO 对于最大程度地提高应用性能至关重要。这一点正是令设计人员感到棘手之处，因为最小的可用封装并不总能符合所需应用的要求。

选择 LDO 时要考虑的最重要特性之一是其热阻 ($R_{\theta JA}$)。 $R_{\theta JA}$ 呈现了 LDO 采用特定封装时的散热效率。 $R_{\theta JA}$ 值越大，表示此封装的散热效率越低，而值越小，表示器件散热效率越高。

封装尺寸越小， $R_{\theta JA}$ 值通常越大。例如， [TPS732](#) 根据封装不同而具有不同的热阻值：小外形晶体管 (SOT)-23 (2.9mm x 1.6mm) 封装的热阻为 205.9°C/W，而 SOT-223 (6.5mm x 3.5mm) 封装的热阻为 53.1°C/W。这意味着 TPS732 每消耗 1W 功率，温度就会升高 205.9°C 或 53.1°C。这些值可参见器件数据表的“热性能信息”部分，如 [表 1](#) 所示。

热性能信息

热指标 ⁽¹⁾⁽²⁾	TPS732 ⁽³⁾			单位
	DRB [SON]	DCQ [SOT223]	DBV [SOT23]	
	8 个引脚	6 个引脚	5 个引脚	
$R_{\theta JA}$ 结至环境热阻	58.3	53.1	205.9	°C/W
$R_{\theta JC(top)}$ 结至外壳（顶部）热阻	93.8	35.2	119	
$R_{\theta JAB}$ 结至电路板热阻	72.8	7.8	35.4	
Ψ_{JT} 结至顶部特性参数	2.7	2.9	12.7	
Ψ_{JB} 结至电路板特性参数	25	7.7	34.5	
$R_{\theta JC(bot)}$ 结至外壳（底部）热阻	5	不适用	不适用	

表 1：不同封装对应的热阻。

建议的工作条件

	最小值	标称值	最大值	单位
V_{IN} 输入电源电压范围	1.7		5.5	V
I_{OUT} 输出电流	0		250	mA
T_J 工作结温	-40		125	°C

表 2：建议的工作结温。

是否选择了适合的封装？

建议的 LDO 工作结温介于 -40°C 至 125°C 之间；同样，可以在器件数据表中查看这些值，如 [表 2](#) 所示。

这些建议的温度表示器件将按数据表中“电气特性”表所述工作。可以使用 [公式 1](#) 确定哪种封装将在适当的温度下工作。

$$T_J = T_A + (R_{\theta JA} \times P_D) \quad (1)$$

$$P_D = [(V_{IN} - V_{OUT}) \times I_{OUT}] + (V_{IN} \times I_{ground})$$

其中 T_J 为结温， T_A 为环境温度， $R_{\theta JA}$ 为热阻（取自数据表）， P_D 为功耗， I_{ground} 为接地电流（取自数据表）。

下面给出了一个简单示例，使用 TPS732 将 5.5V 电压下调至 3V，输出电流为 250mA，采用 SOT-23 和 SOT-223 两种封装。

$$P_D = [(5.5V - 3V) \times 250mA] + (5.5V \times 0.95mA) = 0.63W$$

$$SOT - 23: T_J = 25^\circ C + (205.9^\circ C/W \times 0.63W) = 154.72^\circ C$$

$$SOT - 223: T_J = 25^\circ C + (53.1^\circ C/W \times 0.63W) = 58.45^\circ C$$

热关断

结温为 154.72°C 的器件不仅超过了建议的温度规范，还非常接近热关断温度。关断温度通常为 160°C；这意味着器件结温高于 160°C 时会激活器件内部的热保护电路。此热保护电路会禁用输出电路，使器件温度下降，防止器件因过热而受到损坏。

当器件的结温降至 140°C 左右时，会禁用热保护电路并重新启用输出电路。如果不降低环境温度和/或功耗，器件可能会在热保护电路的作用下反复接通和断开。如果不降低环境温度和/或功耗，则必须更改设计才能获得适当的性能。

一种比较明确的设计解决方案是采用更大尺寸的封装，因为器件需要在建议的温度下工作。

下文介绍了有助于最大程度地减少热量的一些提示和技巧。

增大接地层、 V_{IN} 和 V_{OUT} 接触层的尺寸

当功率耗散时，热量通过散热焊盘从 LDO 散出；因此，增大印刷电路板 (PCB) 中输入层、输出层和接地层的尺寸将会降低热阻。如图 1 所示，接地层通常尽可能大，覆盖 PCB 上未被其他电路迹线占用的大部分区域。该尺寸设计原则是由于许多元件都会生成返回电流，并且需要确保这些元件具有相同的基准电压。最后，接触层有助于避免可能会损害系统的压降。大的接触层还有助于提高散热能力并最大限度地降低迹线电阻。增大铜迹线尺寸和扩大散热界面可显著提高传导冷却效率。

在设计多层 PCB 时，采用单独的电路板层（包含覆盖整个电路板的接地层）通常是个不错的做法。这有助于将任何元件接地而不需要额外迹线。元件引脚通过电路板上的孔直接连接到包含接地平面的电路板层。

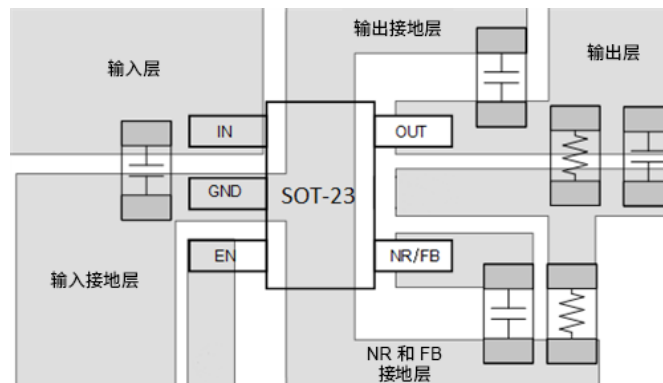


图 1: SOT-23 封装的 PCB 布局。

安装散热器

散热器会降低 $R_{\theta JA}$ ，但会增大系统尺寸、增加系统成本。选择散热器时，底板的尺寸应与其所连接的器件的尺寸相似。这有助于在散热器表面均匀散热。如果散热器尺寸与其所连接器件表面的尺寸不尽相同，热阻会增大。

考虑到封装的物理尺寸，SC-70 (2mm × 1.25mm) 和 SOT-23 (2.9mm × 1.6mm) 等封装通常不与散热器搭配使用。另一方面，可以将晶体管外形 (TO)-220 (10.16mm × 8.7mm) 和 TO-263 (10.16mm × 9.85mm) 封装与散热器搭配使用。

图 2 显示了四种封装之间的差异。

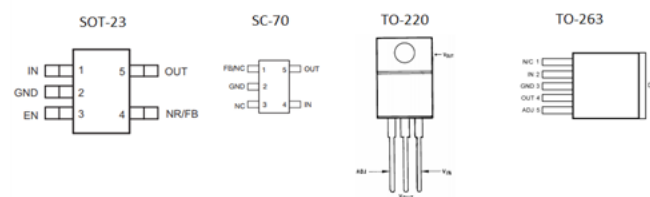


图 2: 封装差异。

可以在输入电压侧串联电阻，以便分担一些功耗；图 3 所示为相关示例。该技术的目标是使用电阻将输入电压降至可能的最低水平。

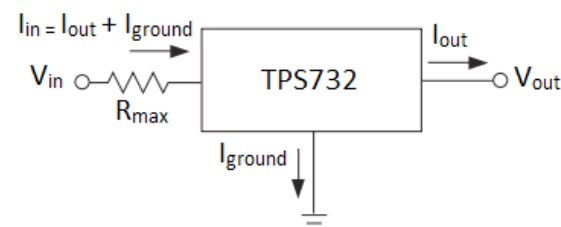


图 3: 串联连接的电阻。

由于 LDO 需要处于饱和状态以进行适当调节，可以通过将所需的输出电压和压降相加来获得最低输入电压。公式 2 表示了 LDO 的这两种属性的计算方式：

$$V_{IN} - [(I_{OUT} + I_{ground}) \times R_{max}] = V_{OUT} + V_{dropout}$$

$$R_{max} = \frac{V_{IN} - V_{OUT} - V_{dropout}}{I_{OUT} + I_{ground}} \quad (2)$$

使用 TPS732 示例中的条件（输出 250mA 电流，将 5.5V 调节至 3V），可以使用公式 3 计算电阻的最大值以及该电阻消耗的最大功率：

$$P_{D(R_{max})} = (I_{OUT} + I_{ground})^2 \times R_{max} \quad (3)$$

选择适合的电阻，确保不会超过其“额定功耗”。此额定值表示在不损坏自身的情况下电阻可以将多少瓦功率转化为热量。

因此，如果 $V_{IN} = 5.5V$ 、 $V_{OUT} = 3V$ 、 $V_{DROPOUT} = 0.15V$ （取自数据表）、 $I_{OUT} = 250mA$ 且 $I_{GROUND} = 0.95mA$ （取自数据表），则：

$$R_{max} = \frac{5.5V - 3V - 0.15V}{250mA + 0.95mA} = 9.36\Omega$$

$$P_{D(R_{max})} = (250mA + 0.95mA)^2 \times 9.36\Omega = 0.59W$$

布局

如果 PCB 上的其他发热器件与 LDO 的距离非常近，这些器件可能会影响 LDO 的温度。为避免温度上升，请确保将 LDO 放在尽可能远离发热器件的位置。

对于特定应用，可以通过许多方法实现高效、尺寸适当且成本低的散热解决方案。关键在于早期设计阶段为确保所有选件都可用而需要考虑的各种注意事项。对于散热而言，选择适合的元件并不是一项简单的任务，但选用适合的器件和技术将有助于设计过程成功完成。

第 4 章：静态电流

作者：Wilson Fwu



当您拿起几乎没用过的电子设备，却发现电池电量几乎或完全耗尽时，该令人多么恼火！如果您的设备只是处于待机或休眠状态，出现这种情况可能是因为存在很小但很重要的一种参数：静态电流。

什么是静态电流？

静态的定义为“非活动或休眠的状态或阶段”。因此，静态电流 I_Q 是系统处于待机模式且在轻载或空载条件下所消耗的电。静态电流通常会与关断电流相混淆，关断电流是指设备处于关闭状态但系统仍与电池相连的情况下所消耗的电。不过，这两种参数在任何电池电流消耗低的设计中都很重要。

静态电流适用于大多数集成电路 (IC) 设计，其中放大器、升降压转换器和低压降稳压器 (LDO) 都会影响消耗的静态电流量。当 LDO 完全运行时，可采用公式 1 计算其功耗：

$$P_D = (V_{IN} - V_{OUT}) \times I_{OUT} + (V_{IN} \times I_Q) \quad (1)$$

例如，如果需要使用静态电流为 0.05mA 的 LDO，在输出电流为 200mA 的情况下将 4.2V 电压降至 1.8V，在公式 1 中输入上述数字所得的功耗 (P_D) 为：

$$P_D = (4.2-1.8) \times .2 + (4.2 \times .00005)$$
$$P_D = 480.21mW$$

当应用切换至待机模式或进入轻载状态时，静态电流对功耗的影响将显著增大。继续之前的示例，如果 I_{OUT} 显著降低（例如 100 μ A），则 P_D 将为：

$$P_D = (4.2-1.8) \times .0001 + (4.2 \times .00005)$$
$$P_D = .45mW$$

在此示例中，静态电流几乎贡献了 50% 的功耗。

您可能会想，“这并没有浪费太多电量”。但对于大部分时间都处于待机或关机模式的应用，情况会怎么样呢？智能手表、健身追踪器、甚至手机中的一些模块常常会处于上述一种状态。对于健身追踪器而言，若显示屏未一直处于运行状态，则意味着其系统始终处于待机模式，等待被唤醒。这表示用于稳压的 LDO 的静态电流将对电池寿命产生重大影响。

空间限制和电池寿命

随着消费趋势继续向小型和轻型消费产品的方向发展，工程师面临着在保持或延长电池寿命的同时减小电池尺寸的挑战。大多数情况下，电池是设计中最大且最重的部件；但是，您并不希望缩小电池的物理尺寸，因为这可能会减少电池容量、缩减电池寿命。因此，所有其他板载器件都必须尽可能采用小尺寸。

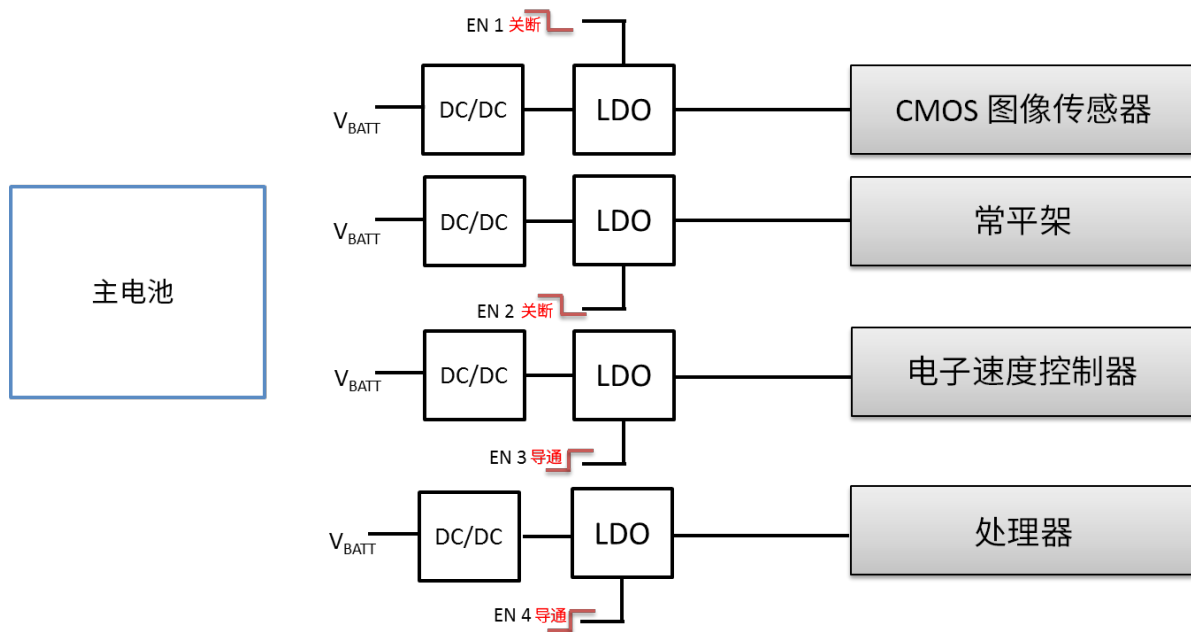


图 1：无人机模块整体框图。

您是否担心会因为尺寸而牺牲性能？答案当然是“不”。TI 提供的 LDO 具有峰值功率性能和小巧的尺寸，因为不需要较高的热阻即可实现低功耗。TPS7A05 就是最好的例子。它采用 $0.65\text{mm} \times 0.65\text{mm}$ 晶圆级芯片尺寸，间距为 0.35mm ，静态电流为 $1\mu\text{A}$ 。该产品不仅是尺寸最小的 LDO 之一，同时还是市场上静态电流最低的器件之一。TPS7A05 还提供 $1\text{mm} \times 1\text{mm}$ 正方扁平无引脚 (QFN) 封装，供不需要 $0.65\text{mm} \times 0.65\text{mm}$ 尺寸的设计师使用。此器件和类似的 LDO 能让您在尺寸和性能方面达到两全其美。

为成功助力

如果您希望延长电池寿命，配备使能或关断引脚是另一个简单的解决方案。智能手表、健身追踪器、手机甚至无人机都可以采用此解决方案延长电池寿命。在此处提及的所有消费类电子产品中，无人机处于待机模式的时间非常短，因为它们通常只会在飞行前后处于空闲状态。通过关闭与飞行所不需要的模块相连的 LDO，也可以延长电池寿命。这类模块的示例包括互补金属氧化物半导体 (CMOS) 图像传感器和常平架（如图 1 所

示）等，因为只有当用户要录制视频或拍摄图片时才会使用这些模块。然后，电池上将消耗 LDO 的关断电流（通常为几百纳安），此电流甚至低于 LDO 的静态电流。最终，将为用户延长无人机的飞行时间。

LDO 还特别适用于 CMOS 图像传感器和常平架，因为这两个模块都对噪声非常敏感。到达图像传感器和常平架的任何噪声都将影响无人机拍摄的视频或图片的质量、分辨率和稳定性。

此理念同样适用于手机的摄像头，此模块通常也不会经常开启，但仍需要干净的无噪声电压轨以保持图像质量。

尽管电池寿命极大程度上取决于运行时的负载条件，但静态电流低的 LDO 是一种简单的解决方案，能够延长任何受电池驱动的设备运行时间。这种小型器件不仅仅会影响消费类电子产品；它们在建筑和工厂自动化等工业应用中同样会产生重大影响。因此，虽然设计师有时会忽略静态电流和关断电流，但它们最终可能会对运行了数秒、数分钟、数小时或甚至数天的应用产生重大影响。现在，您已了解了静态电流的重要性，请确保在计算功耗时始终将其纳入考量范围。

第 5 章：电流限制

作者：Jose Gonzalez Torres

在一些外部条件和情况下，LDO 可能会出现意外的高流耗。如果此高电流传输到其他正被供电的电子系统，会对大多数电子系统以及主机电源管理电路造成损害。选择具有电流限制和内部短路保护的 LDO，将有助于防止产生这种不良影响，并在设计整体电源管理模块时提供额外保护。

什么是电流限制功能，该功能如何运作？

LDO 中的电流限制定义为，建立所施加电流的上限。与恒流源不同，LDO 按需输出电流，同时还会控制调节的总功率。电流限制通过用于控制 LDO 内输出级晶体管的内部电路实现；见图 1。这是一种典型的 LDO 限流电路，由于达到限值后该电路会突然停止输出电流，通常被称为“砖墙”电流限制。此内部电路中，LDO 测量反馈的输出电压，同时测量输出电流相对于内部基准 (IREF) 的缩放镜像。

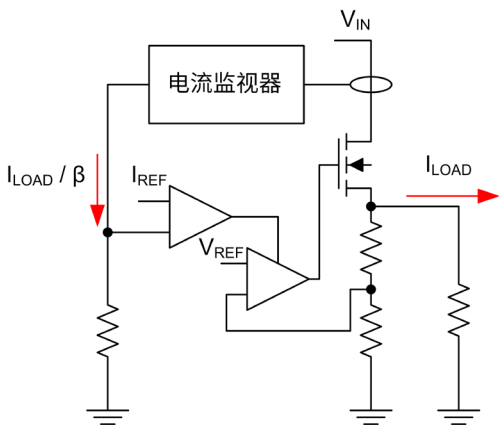


图 1: LDO 内部限流结构。

砖墙电流限制

在砖墙电流限制中，已定义电流上限，LDO 会逐渐增大供应电流，直至达到电流限制。一旦超过电流限制，输出电压不再进

行调节，并由负载电路的电阻 (R_{LOAD}) 和输出电流限制 (I_{LIMIT}) 确定 (公式 1)：

$$V_{OUT} = I_{LIMIT} \times R_{LOAD} \quad (1)$$

只要结温处于可接受的范围 ($T_J < 125^\circ\text{C}$) 内时，热阻 (θ_{JA}) 允许正常的功耗，传输晶体管就继续此操作并耗散功率。当 V_{OUT} 过低且达到温度上限时，热关断功能将断开器件，保护器件免受永久性损害。器件温度降低后，它将重新接通，并且可以继续稳压调节。这在可能出现短路的情况下尤为重要，因为 LDO 会继续将 V_{OUT} 调节至 0V。

例如，TI 的 [TPS7A16](#) 可以在宽电压范围内限制高电流输出。

图 2 所示为 30V 输入条件下限流功能的行为示例。可以看出，一旦超过电流限制，LDO 继续以限值输出电流，但不再将 V_{OUT} 调节至 3.3V。一旦超过 105mA 的热限制，将启动热关断功能。

该限流功能有助于对镍镉和镍氢单单元电池充电，因为这两种电池都需要恒定的电流供应。电池电压在电池充电时会发生变化，TPS7A16 等 LDO 有助于将恒定电流保持在限值 (I)。

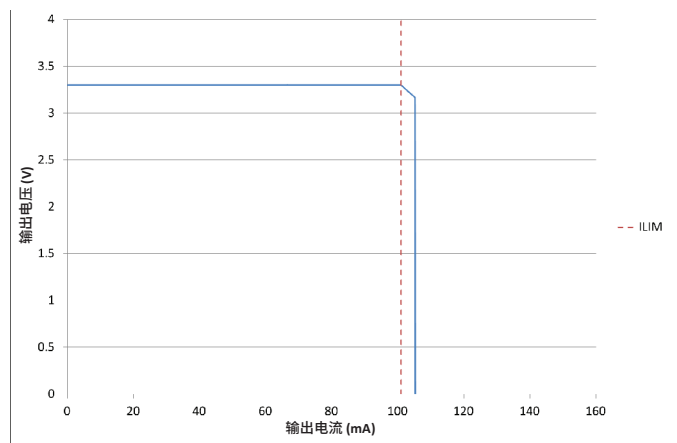


图 2: TPS7A16 砖墙电流限制 (30V_{IN}、3.3V_{OUT}、VSON、25°C)。

折返电流限制

折返电流限制与标准上限限制非常相似。但折返电流限制的主要目的是限制总功耗，即在 V_{OUT} 降低且 V_{IN} 保持稳定的同时，线性降低输出电流限制，将输出晶体管保持在安全功耗限制范围内。

TLV717P 等器件具有折返电流限制功能，并从中受益，因为此类器件主要采用热阻更高的超小型封装。TLV717P 输出电流限制的行为如图 3 所示。从图中可以看出，由于将 V_{IN} 指定为 $V_{OUT} + 0.5V$ ，25°C 时允许的最大功耗为 150mW。超过电流限制且 V_{OUT} 开始降低后（假设 R_{LOAD} 恒定）， I_{OUT} 和功耗均降低。这会稍稍增加消耗恒定电流的非欧姆器件的复杂性，并会触发锁定状态，在该状态下，用电器件会继续降低 V_{OUT} ，而 LDO 会继续降低 I_{OUT} 。

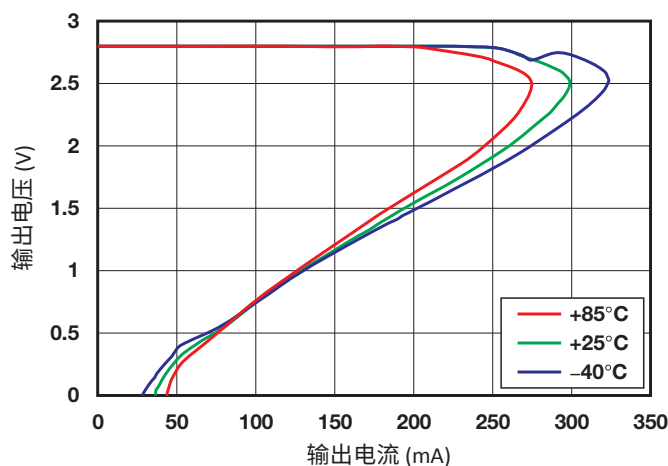


图 3: TLV717P 输出电流与 V_{OUT} 的关系。

只要可能存在短路或过载等有害条件，务必要防止将这种不良影响传递给其他敏感的电子系统。受保护的 LDO 可以提供许多功能，有助于增强任何设计的可靠性。

第 6 章：防止出现反向电流

作者：Mark Sellers

在大多数低压降稳压器 (LDO) 中，电流沿特定方向流动，电流方向错误会产生重大问题！反向电流是指从 V_{OUT} 流向 V_{IN} 而不是从 V_{IN} 流向 V_{OUT} 的电流。这种电流通常会穿过 LDO 的体二极管，而不会流过正常的导电通道，有可能引发长期可靠性问题甚至会损坏器件。

LDO 主要包括三个组成部分（见图 1）：带隙基准、误差放大器和导通场效应晶体管 (FET)。在典型应用中，导通 FET 与任何标准 FET 一样，在源极和漏极之间传导电流。用于产生 FET 体的掺杂区（称为块体）与源极相连；这会减小阈值电压变化量。

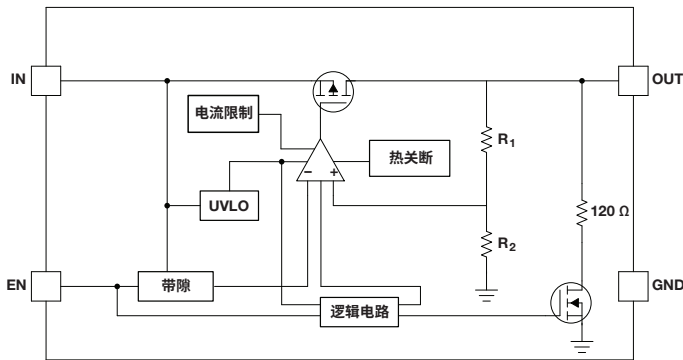


图 1: LDO 功能方框图。

将块体与源极相连有一个缺点，即会在 FET 中形成寄生体二极管，如图 2 所示。此寄生二极管被称为体二极管。在这种配置中，当输出超过输入电压与寄生二极管的 V_{FB} 之和时，体二极管将导通。流经该二极管的反向电流可能会使器件温度升高、出现电迁移或门锁效应，从而导致器件损坏。

在设计 LDO 时，务必要将反向电流以及如何防止出现反向电流纳入考量。有四种方法可以防止反向电流：其中两种在应用层实施，另外两种在集成电路 (IC) 设计过程中实施。

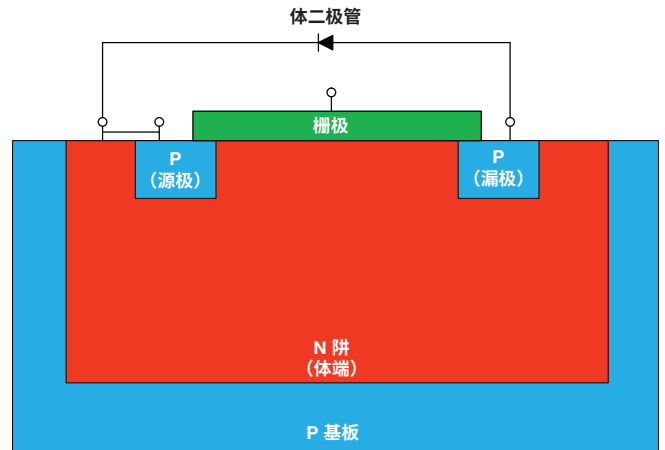


图 2: P 沟道金属氧化物半导体 (PMOS) FET 的截面图。

使用肖特基二极管

如图 3 所示，在输出和输入之间使用肖特基二极管可以在输出电压超过输入电压时防止 LDO 中的体二极管导通。您必须使用肖特基二极管，肖特基二极管的正向电压较低，而传统二极管的正向电压与肖特基二极管相比要高得多。在正常工作中，肖特基二极管会进行反向偏置，不会传到任何电流。此方法的另一项优势是，在输出和输入之间放置肖特基二极管后，LDO 的压降电压不会增大。

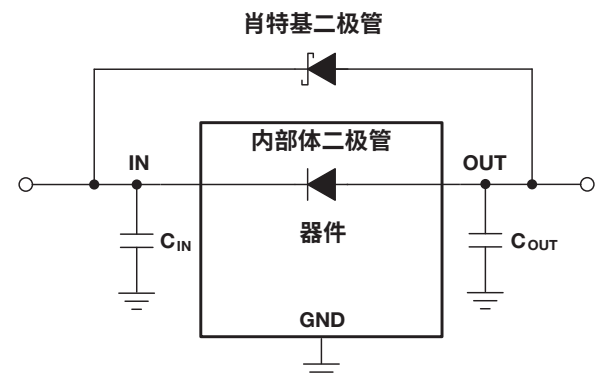


图 3: 使用肖特基二极管防止出现反向电流。

在 LDO 之前使用二极管

如图 4 所示，此方法在 LDO 之前使用二极管以防电流流回到电源。这是一种防止出现反向电流的有效方法，但它也会增大防止 LDO 出现压降所需的必要输入电压。置于 LDO 输入端的二极管在反向电流条件下会变为反向偏置状态，不允许任何电流流过。此方法与下一种方法类似。

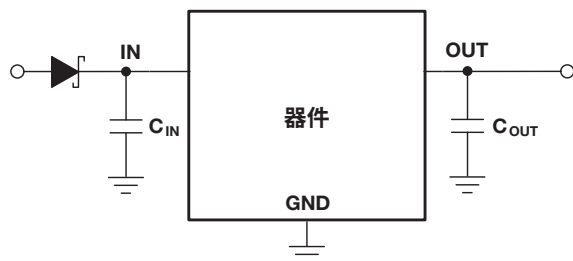


图 4：在 LDO 之前使用二极管以防出现反向电流。

额外增加一个 FET

设计有阻止反向电流功能的 LDO 通常会额外增加一个 FET，以此帮助防止反向电流。如图 5 所示，两个 FET 的源级背靠背放置，以便体二极管面对面放置。现在，当检测到反向电流条件时，其中一个晶体管将断开，电流将无法流过背靠背放置的二极管。

此方法最大的缺点之一是使用此架构时压降电压基本上会翻倍。为降低压降电压，需要增大金属氧化物半导体场效应晶体管 (MOSFET) 的尺寸，因此将增大解决方案的整体尺寸。应用于汽车中的 LDO（如 TI 的 [TPS7B7702-Q1](#)）使用此方法防止出现反向电流。

将 MOSFET 的块体连接到 GND

此方法是最不常见的反向电流保护实施方式，但仍然非常有效，因为它省去了 MOSFET 的体二极管。此方法将 MOSFET 的块体与 GND 相连（图 6），而无需连接到源级，避免形成寄生体二极管。

TI 的 [TPS7A37](#) 采用此方法实施反向电流保护。它的一项优势是将 MOSFET 的块体连接到 GND 端不会增大 LDO 的压降。

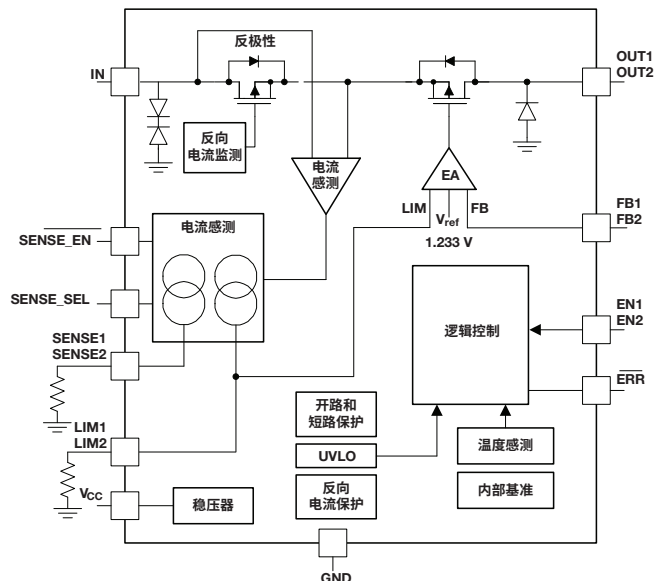
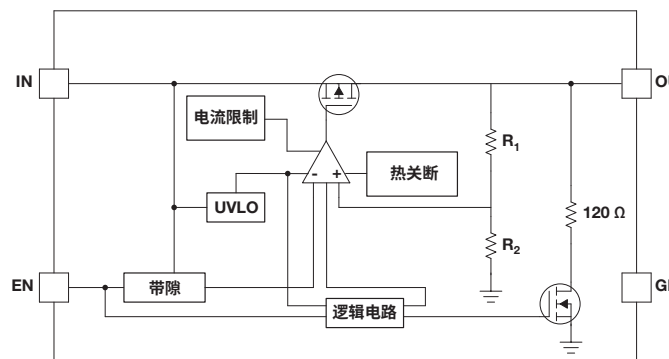


图 5：背靠背放置 FET 来防止出现反向电流。



注：R₂ = 550 kΩ，R₁ = 可调节。

图 6：将 FET 的块体连接到 GND。

当应用中需要反向电流保护时，请查找能够提供必要保护等级的 LDO 拓扑。如果具有反向电流保护的 LDO 无法满足所有系统要求，请考虑使用二极管实施反向电流保护。

第 7 章：电源抑制比

作者：Aaron Paxton

低压降稳压器 (LDO) 最受欢迎的优势之一是，能够衰减开关模式电源生成的电压纹波。这对于数据转换器、锁相环 (PLL) 和时钟等信号调节器件而言尤为重要，因为含有噪声的电源电压会影响这类器件的性能。电源抑制比 (PSRR) 仍然常被误认为是单个静态值，下面让我们讨论一下什么是 PSRR，以及影响它的因素有哪些。

什么是 PSRR?

PSRR 是一个常见技术参数，在许多 LDO 数据表中都会列出。它规定了特定频率的交流元件从 LDO 输入衰减到输出的程度。公式 1 将 PSRR 表示为：

$$PSRR(dB) = 20 \log \frac{V_{ripple(in)}}{V_{ripple(out)}} \quad (1)$$

公式 1 表明衰减程度越高，以分贝表示的 PSRR 值将越大。

(某些供应商采用负号来表示衰减，而大多数供应商，包括 TI 在内，却并非如此。)

在数据表的电气特性表中，常常可以找到在 120Hz 或 1kHz 频率下规定的 PSRR。但是，单独使用此参数可能无法确定给定的 LDO 是否满足具体的滤波要求。下面，对原因进行具体说明。

确实适合应用的 PSRR

图 1 所示为将 12V 电压轨调节至 4.3V 的直流/直流转换器。后面连接了 [TPS717](#)，这是一款 PSRR 值较高的 LDO，用于调节 3.3V 电压轨。4.3V 电压轨上因开关生成的纹波为 $\pm 50mV$ 。LDO 的 PSRR 将确定在 TPS717 的输出端剩余的纹波量。

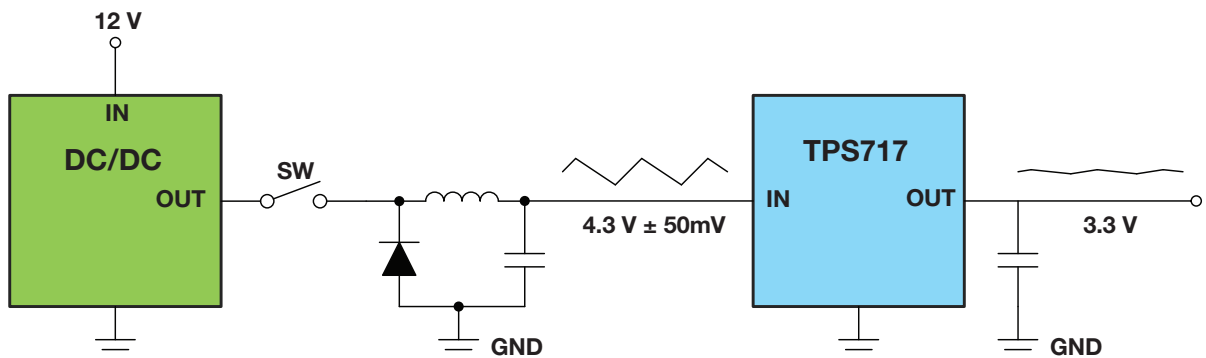


图 1：使用 LDO 过滤开关噪声。

为确定衰减程度，首先必须了解出现纹波的频率。假设此示例中对应的频率为 1MHz，因为此值正好处于常见开关频率范围的中间。可以看到，在 120Hz 或 1kHz 下指定的 PSRR 值对此分析没有任何帮助。相反，您必须参考 **图 2** 中的 PSRR 图。

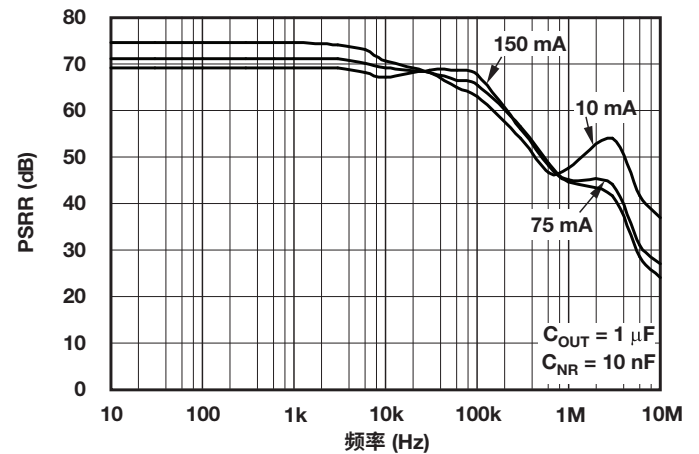


图 2： $V_{IN} - V_{OUT} = 1V$ 时 TPS717 的 PSRR 曲线。

在以下条件下，1MHz 时的 PSRR 指定为 45dB。

- $I_{OUT} = 150mA$
- $V_{IN} - V_{OUT} = 1V$
- $C_{OUT} = 1\mu F$

假设这些条件与具体的应用条件相符。在此情况下，45dB 相当于 178 的衰减系数。可以预计，输入端的 $\pm 50mV$ 纹波在输出端将被降至 $\pm 281\mu V$ 。

更改条件

但是，假设您更改了条件并决定将 $V_{IN} - V_{OUT}$ 减小到 250mV，以便更有效地进行调节。那么，您需要参考图 3 中的曲线。

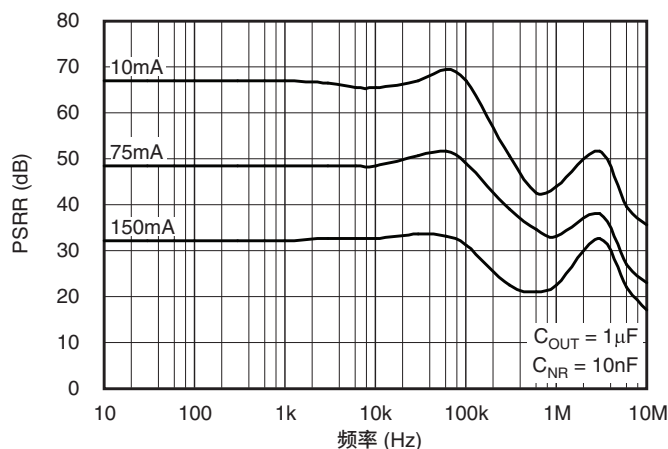


图 3: $V_{IN} - V_{OUT} = 0.25V$ 时 TPS717 的 PSRR 曲线。

可以看到，如果保持所有其他条件不变，1MHz 时的 PSRR 减小到 23dB，即衰减系数为 14。这是因为互补金属氧化物半导体 (CMOS) 导通元件进入三极管（或线性）区，即，随着 $V_{IN} - V_{OUT}$ 的值接近压降电压，PSRR 开始降低。（请记住，压降电压是输出电流及其他因素的函数。因此，较低的输出电流会降低压降电压，有助于提高 PSRR。）

更改输出电容器的电容值也会产生影响，如图 4 所示。

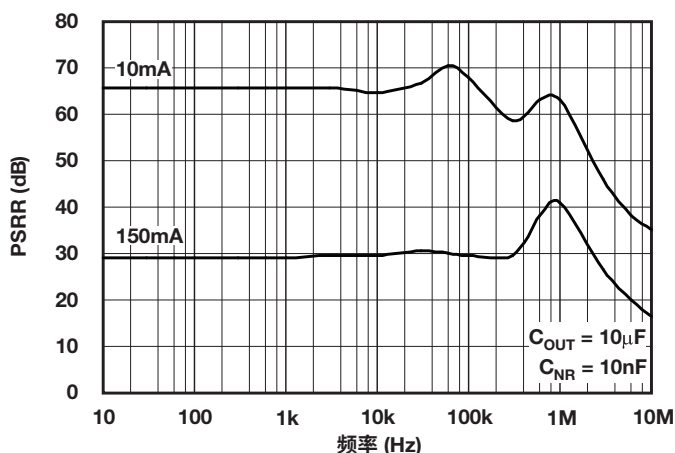


图 4: $V_{IN} - V_{OUT} = 0.25V$, $C_{OUT} = 10\mu F$ 时 TPS717 的 PSRR 曲线。

将输出电容器的电容值从 $1\mu F$ 提高到 $10\mu F$ 时，尽管 $V_{IN} - V_{OUT}$ 的值仍然为 250mV，1MHz 时的 PSRR 将增大到 42dB。曲线中的高频峰已向左移动。这是由于输出电容器的阻抗特性导致的。通过适当调整输出电容值，可以调整或增大衰减程度，以便与特定开关噪声频率保持一致。

调整所有参数

仅靠调整 $V_{IN} - V_{OUT}$ 和输出电容，就可以提高特定应用的 PSRR。但影响 PSRR 的因素并不仅限于这两项。表 1 概述了对其产生影响的多个因素。

参数	PSRR		
	低频 ($\leq 1kHz$)	中频 (1kHz - 100kHz)	高频 ($>100kHz$)
$V_{IN} - V_{OUT}$	+++	+++	++
输出电容器 (C_{OUT})	无影响	+	+++
降噪电容器 (C_{NR})	+++	+	无影响
前馈电容器 (C_{FF})	++	+++	+
印刷电路板 (PCB) 布局	+	+	+++

表 1: 影响 PSRR 的因素。

现在，希望您更为熟悉可供您使用的各种方法，帮助您设计有效的 LDO 滤波器。

第 8 章：噪声

作者：Aaron Paxton

要获得干净的直流电源，使用低压降稳压器 (LDO) 过滤由开关模式电源生成的纹波电压并不是需要考量的唯一事项。由于 LDO 为电子器件，它们本身会产生一定量的噪声。要生成不会影响系统性能的干净电源轨，选择低噪声 LDO 并采取措施降低内部噪声是不可缺少的环节。

识别噪声

理想的 LDO 将生成没有交流元件的电压轨。可惜的是，LDO 本身也会向其他电子器件一样产生噪声。图 1 所示为这种噪声在时域中的表现。

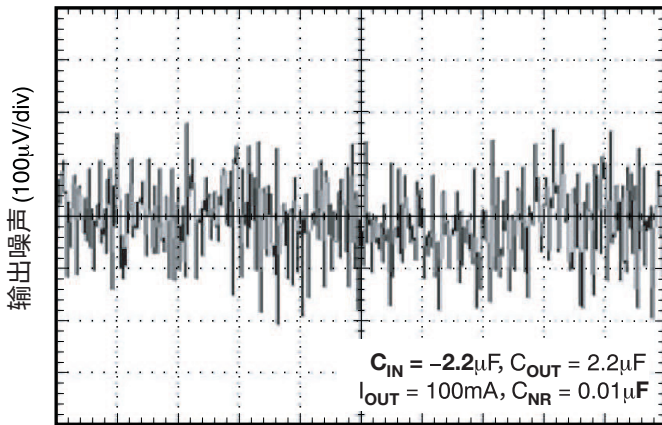


图 1：含噪声电源的示波器截图。

在时域中执行分析十分困难。因此，可通过两种主要方法来查看噪声：跨频率查看噪声和查看积分值形式的噪声。

可以使用频谱分析仪识别 LDO 输出端各种交流元件产生的噪声。图 2 绘制了 1A 低噪声 LDO (即 [TPS7A91](#)) 的输出噪声。

从不同曲线中可以看到，输出噪声（以每平方根赫兹的微伏数表示 [$\mu\text{V}/\text{Hz}$]）集中在频谱的低频端。此噪声主要来自内部基准电压，但也有一部分来自误差放大器、场效应晶体管 (FET) 和电阻分压器。

跨频率查看输出噪声有助于确定所关注频率范围的噪声分布。例如，音频应用设计师关注的是人耳的可闻频率（20Hz 到 20kHz），在此范围内，电源噪声可能会降低声音质量。

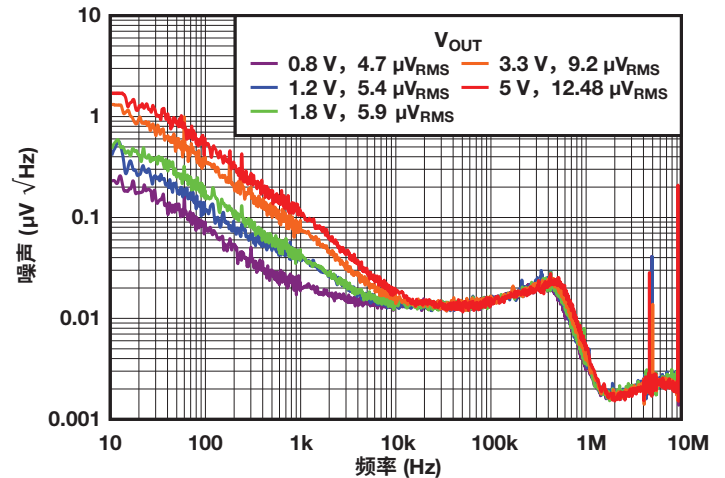


图 2：TPS7A91 的噪声频谱密度与频率和 V_{OUT} 的关系。

数据表一般会提供单一的积分噪声值以与其他产品进行对比。输出噪声的积分范围通常为 10Hz 到 100kHz，并以微伏均方根值 (μV_{RMS}) 表示。（供应商还会在 100Hz 到 100kHz 范围内甚至是自定义频率范围内对噪声进行积分。在选定频率范围内积分有助于屏蔽不希望的噪声属性，因此，除了查看积分噪声值之后，务必要查看噪声曲线。）图 2 显示了与各种曲线对应的积分噪声值。德州仪器 (TI) 提供 LDO 的产品组合，其积分噪声值可低至 $3.8\mu\text{V}_{\text{RMS}}$ 。

降噪

除了选择具有低噪声特性的 LDO，还可以应用一些技术来确保 LDO 具有最低的噪声特性。这些技术涉及到降噪电容器和前馈电容器的使用。

降噪电容器

TI 产品组合中的许多低噪声 LDO 都具有名为“NR/SS”的特殊引脚，如图 3 所示。

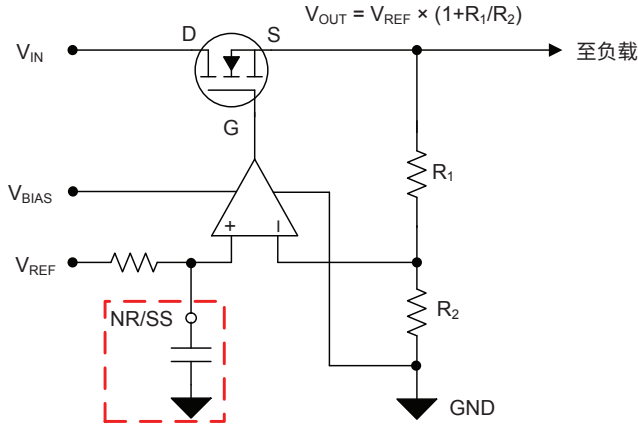


图 3: 具有 NR/SS 引脚的 N 沟道金属氧化物半导体 (NMOS) LDO。

此引脚具有双重功能：可用于过滤内部电压基准产生的噪声并能降低 LDO 启动或使能期间的转换率。

在此引脚上添加电容器 ($C_{NR/SS}$) 将形成具有内部电阻的阻容 (RC) 滤波器，帮助分流由电压基准生成的不需要的噪声。由于电压基准是生成噪声的主要因素，增大电容有助于将此低通滤波器的截止频率左移。图 4 显示了此电容器对输出噪声产生的影响。

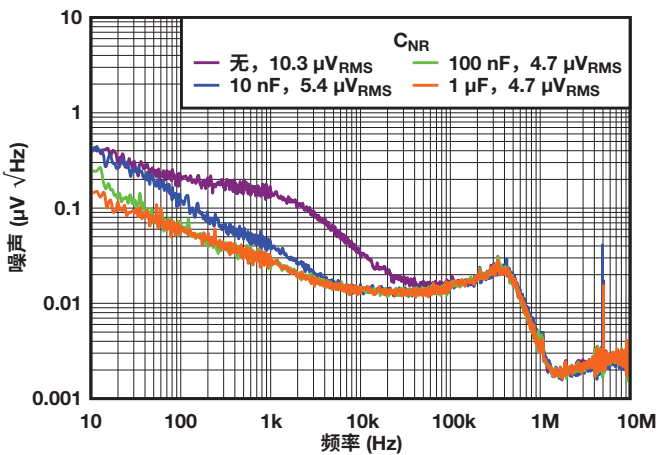


图 4: TPS7A91 的噪声频谱密度与频率和 $C_{NR/SS}$ 的关系。

如图 4 所示， $C_{NR/SS}$ 的值越大，降噪效果越好。但是，在某些点上，增大电容不会再降低噪声。其余噪声来自误差放大器、FET 等。

添加电容器还会在启动期间引入 RC 延迟，导致输出电压以较慢的速率斜升。当输出端或负载上存在大容量电容并且需要减小浪涌电流时，此方法十分有利。

公式 1 将浪涌电流表示为：

$$I_{inrush} = (C_{OUT} + C_{LOAD}) \frac{dV}{dt} \quad (1)$$

为减小浪涌电流，必须降低输出电容或转换率。幸运的是，使用 $C_{NR/SS}$ 可降低转换率，如图 5 中的 TPS7A85 启动特性所示。

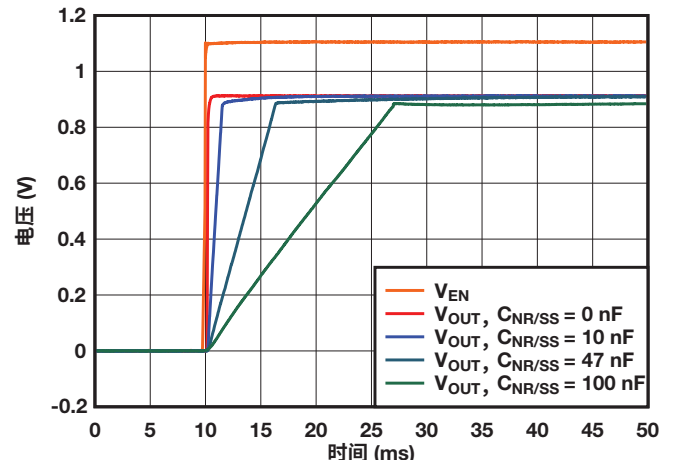


图 5: TPS7A85 启动时的电压与 $C_{NR/SS}$ 的关系。

如图所示，增大 $C_{NR/SS}$ 值会延长启动时间，从而防止浪涌电流出现尖峰，并且可能会触发电流限制事件。

降低输出噪声的另一个方法是使用前馈电容器 (C_{FF})。

前馈电容器

前馈电容器是与电阻分压器的顶部电阻并联放置的可选电容器，如图 6 所示。

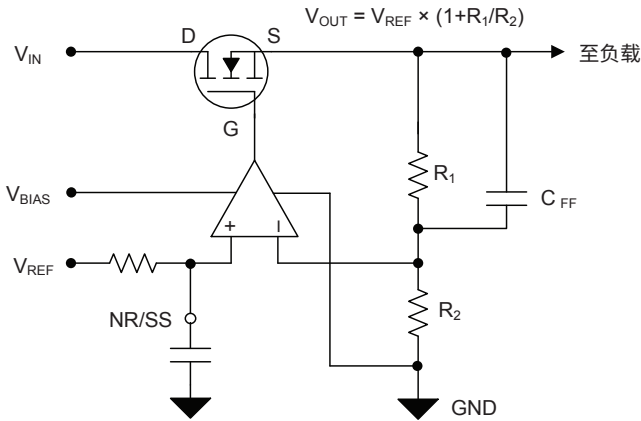


图 6：使用前馈电容器的 NMOS LDO。

与添加降噪电容器 (CNR/SS) 非常类似，添加前馈电容器也会产生多种效果。其中最重要的一项是能够改善噪声性能、稳定性、负载响应和电源抑制比 (PSRR)。此外，值得注意的是，使用前馈电容器只有在使用可调 LDO 时才可行，因为电阻网络位于外部。

改善噪声性能

在稳压过程中，LDO 的误差放大器使用电阻网络 (R_1 和 R_2) 提高基准电压的增益（与同相放大器非常类似），以便相应地驱动 FET 的栅极。基准的直流电压将按因数 $1 + R_1/R_2$ 增大。但是，考虑到误差放大器的带宽，可以预计在基准电压交流元件的某些部分也会放大。

通过与顶部电阻并联放置电容器，将为特定频率范围引入分流功能。换句话说，可以将该频率范围内的交流元件保持在单位增益范围内，其中 R_1 模拟短路。（请记住，该频率范围将由所使用的电容器的阻抗特性确定。）

从图 7 可以看出，通过使用不同的 C_{FF} 值，可以降低 TPS7A91 的噪声。

与顶部电阻并联放置 100nF 电容器后，可以将噪声从 $9\mu V_{RMS}$ 降至 $4.9\mu V_{RMS}$ 。

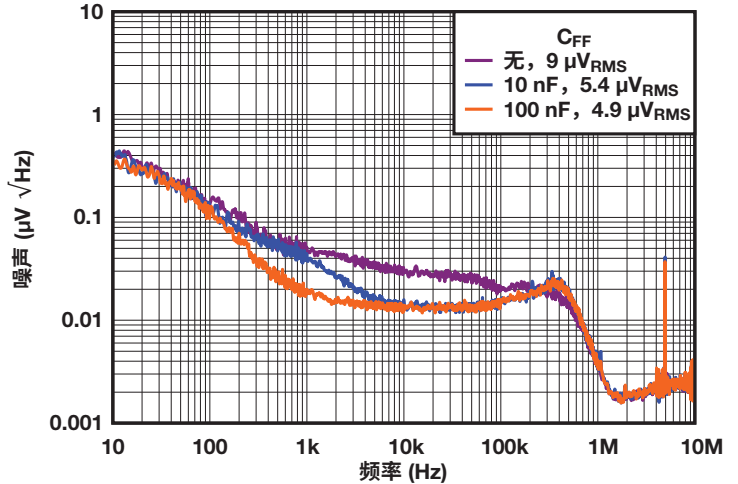


图 7：TPS7A91 噪声与频率和 C_{FF} 值的关系。

改善稳定性和瞬态响应

添加 C_{FF} 还会在 LDO 反馈回路中引入零点 (Z_{FF}) 和极点 (P_{FF})，可分别通过公式 1 和 2 进行计算：

$$Z_{FF} = 1 / (2 \times \pi \times R_1 \times C_{FF}) \quad (1)$$

$$P_{FF} = 1 / (2 \times \pi \times R_1 // R_2 \times C_{FF}) \quad (2)$$

将零点置于出现单位增益的频率之前可以提高相位裕度，如图 8 所示。

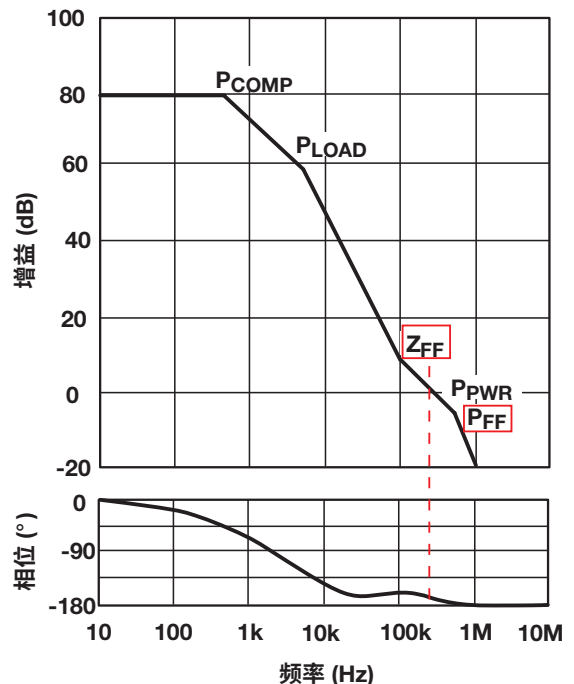


图 8：仅使用前馈补偿的典型 LDO 的增益/相位图。

从图中可以看到，没有 Z_{FF} 时，单位增益将提前在 200kHz 左右出现。增加零点后，出现单位增益的频率略微右移（约 300kHz），相位裕度也有所提高。由于 P_{FF} 位于单位增益频率的右侧，因此它对相位裕度的影响微乎其微。

增加的相位裕度在 LDO 改善的负载瞬态响应中非常明显。通过增加相位裕度，LDO 输出将减少振铃并更快稳定。

提高 PSRR

根据零点和极点的位置，还可以从策略上缩减增益衰减幅度。

图 8 显示了从 100kHz 开始零点对增益衰减的影响。通过增大频段的增益，还能够改善该频段的环路响应，从而使该特定频率范围的 PSRR 提高。请参见图 9。

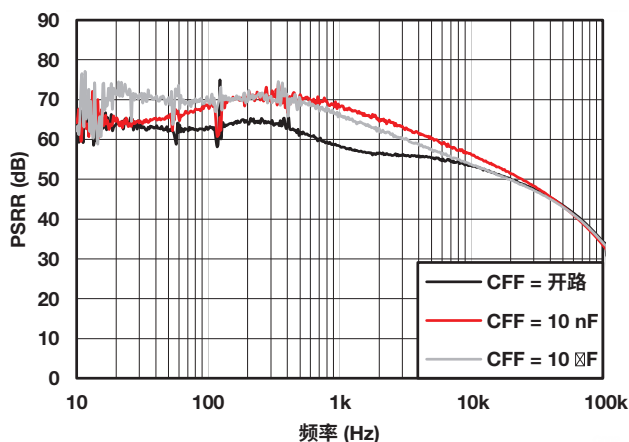


图 9: [TPS7A8300](#) PSRR 与频率和 C_{FF} 值的关系。

如图所示，增大 C_{FF} 电容会使零点左移，从而在较低频率范围内改善环路响应和相应的 PSRR。

当然，必须选择 C_{FF} 的值以及 Z_{FF} 和 P_{FF} 的相应位置，以确保稳定性。遵循数据表中规定的 C_{FF} 限制，可以防止出现不稳定性。

表 1 列出了一些经验法则，展示了 C_{NR} 和 C_{FF} 对噪声的影响程度。

参数	噪声		
	低频 ($\leq 1\text{kHz}$)	中频 ($1\text{kHz} - 100\text{kHz}$)	高频 ($>100\text{kHz}$)
降噪电容器 (C_{NR})	+++	+	无影响
前馈电容器 (C_{FF})	+	+++	+

表 1: C_{NR} 和 C_{FF} 的影响与频率的关系。

从表中可以看出，添加前馈电容器可以改善噪声性能、稳定性、负载响应和 PSRR。当然，必须慎重选择电容器以保持稳定性。当与降噪电容器配合使用时，可以大大改善交流性能。本文仅仅介绍了需要牢记的一些方法，可以帮助用户优化电源。

相关资源

- 阅读 TI 重磅新书 [《电源设计基础》](#) 系统梳理相关知识点。
- 如需咨询问题或获取帮助，请访问 TI E2E™ 社区。
- 观看 [LDO 基础知识系列视频](#) 了解更多信息。
- 阅读 [LDO 基础知识系列博客文章](#)。
- 查阅 [低压降稳压器快速参考指南](#)。
- 阅读博客文章 [《减少高速信号链电源问题》](#)
- 阅读下列应用报告：
 - [“低压降稳压器运行和性能技术评审”](#)
 - [“如何测定 LDO 噪声”](#)
 - [“将前馈电容器与低压降稳压器搭配使用的优缺点”](#)

重要声明： 本档中介绍的德州仪器 (TI) 公司及其子公司的产品和服务的销售均遵循 TI 标准销售条款与条件。建议客户在下发订单前获取与 TI 产品和服务相关的最新信息，验证这些信息是否完整且是最新的。TI 不对任何应用协助、客户应用或产品设计、软件性能或者专利侵权承担任何责任。TI 发布与其他任何公司的产品和服务相关的信息，不能构成从 TI 获得使用这些产品或服务的许可、授权或认可。

Platform bar 和 E2E 是德州仪器 (TI) 的商标。
其他所有商标均为其各自所有者所有。

重要声明和免责声明

TI 均以“原样”提供技术性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证其中不含任何瑕疵，且不做任何明示或暗示的担保，包括但不限于对适销性、适合某特定用途或不侵犯任何第三方知识产权的暗示担保。

所述资源可供专业开发人员应用TI 产品进行设计使用。您将对以下行为独自承担全部责任：(1) 针对您的应用选择合适的TI 产品；(2) 设计、验证并测试您的应用；(3) 确保您的应用满足相应标准以及任何其他安全、安保或其他要求。所述资源如有变更，恕不另行通知。TI 对您使用所述资源的授权仅限于开发资源所涉及TI 产品的相关应用。除此之外不得复制或展示所述资源，也不提供其它TI 或任何第三方的知识产权授权许可。如因使用所述资源而产生任何索赔、赔偿、成本、损失及债务等，TI 对此概不负责，并且您须赔偿由此对TI 及其代表造成的损害。

TI 所提供产品均受TI 的销售条款 (<http://www.ti.com.cn/zh-cn/legal/termsofsale.html>) 以及ti.com.cn上或随附TI产品提供的其他可适用条款的约束。TI提供所述资源并不扩展或以其他方式更改TI 针对TI 产品所发布的可适用的担保范围或担保免责声明。

邮寄地址：上海市浦东新区世纪大道 1568 号中建大厦 32 楼，邮政编码：200122
Copyright © 2019 德州仪器半导体技术（上海）有限公司