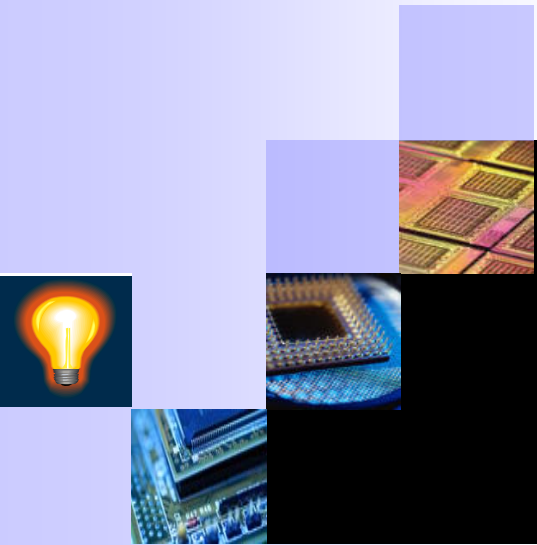




# Sigrity 直流分析 (PowerDC) 基础

2010-06-21

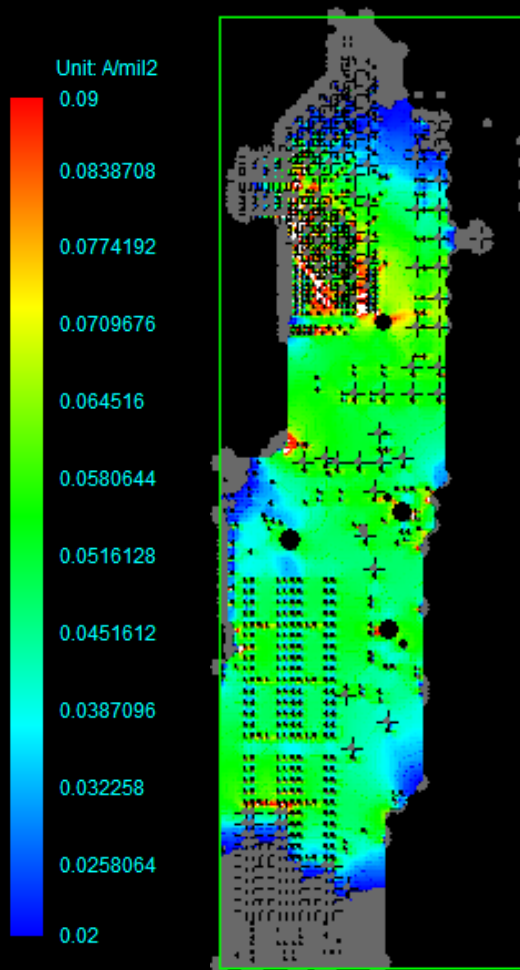
# Agenda

- **1: PowerDC**直流分析综述
- **2: 后仿真中的直流分析**
- **3: 前仿真中的直流分析**
- **4: PCB**中的直流分析
- **5: Package**中的直流分析
- **6: 寻找最优 VRM 感应线位置**

# 1. PowerDC直流分析综述

# 冒烟？冒火

## ——忽略直流问题带来的严重后果



**Temperature Rise = 300c**



# 直流（DC）分析

- 当前的系统设计核心供电电压越来越小，总的工作电流和布线密度则越来越大，导致的直流问题日益突出。
- 如果不考虑直流问题，那么一旦直流压降（**IR Drop**）超标，板上器件将由于电源的过压或欠压而不能正常工作。
- 如果不考虑直流问题，那么一旦I/O网络上的电阻过大，将导致有用信号的衰减非常严重。
- 如果不考虑直流问题，那么一旦板上的某些区域电流密度太大，将会引起局部的温度持续升高甚至烧毁。
- 如果不考虑直流问题，**Package**的**Layout**工程师将无法知道 **via, bump**和**ball**的数目具体该定为多少，无法判断流过它们的电流是否超标。
- 目前，常见的直流分析主要包括**IR Drop**分析，电阻分析和电流密度分析。

# IR Drop分析的重要性

- **IR Drop**其含义为直流工作时由直流电阻造成的电压降，而此时的压降可直接由  $I * R$  的乘积得到因而得名
  
- **ASIC芯片的正常工作需要持续稳定的电压源**
  - 芯片厂商一般允许电压可以在一定范围内波动；
  - 电源的波动实际是由 DC损耗和 AC噪声 这两部分构成的；
  - **IR Drop**的容限通常为供电电压的 5%（或更低）；
  - 如果总的容限为常数，那么降低了 DC损耗将为 AC噪声留出更大的设计余量
  
- **各种设计中的不利因素使DC IR Drop问题加剧**
  - 核心供电电压持续减小：**1.2V**供电变得司空见惯；
  - 器件的工作电流持续增大，使 **IR Drop**也有不断增大的趋势；
  - 层数变少和高密度布线使电源网络的布线空间受到压缩和限制；
  - 过孔周围的反焊盘使原来完整的电源平面变得支离破碎；
  - 越来越复杂的PCB结构使非常有经验的工程师也难以靠手工完成 **IR Drop**的计算
  
- **IR Drop是一个系统级的问题**
  - 分析中有时需要考虑封装以及多个子板的整个系统级的PDN网络；
  - 需要优化系统中每个器件的电压容限，确保他们都能正常工作；
  - 有些高端系统的 **VRM**还带有电压反馈，反馈线的设计需要科学布局才能发挥最大效果

# IR Drop分析的重要性

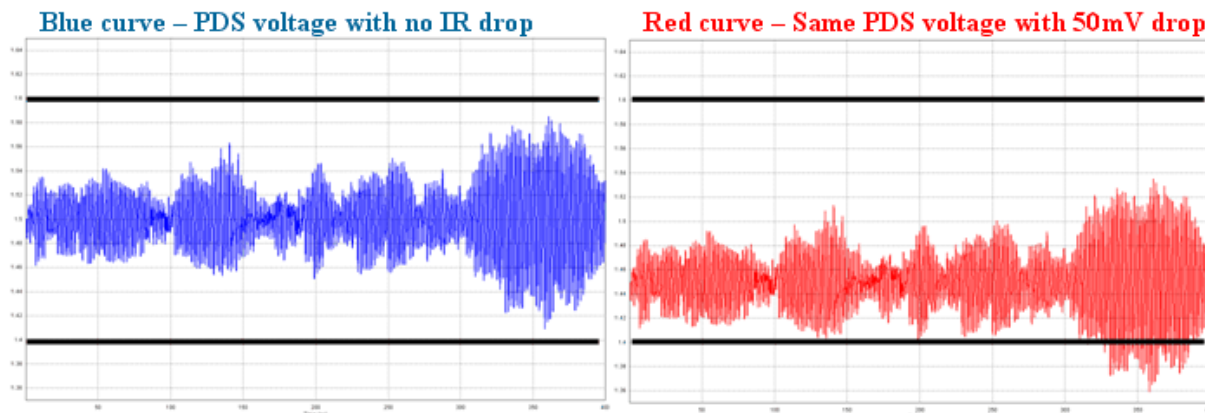


Fig1 IR Drop使系统的电压波动超标，系统不能正常工作

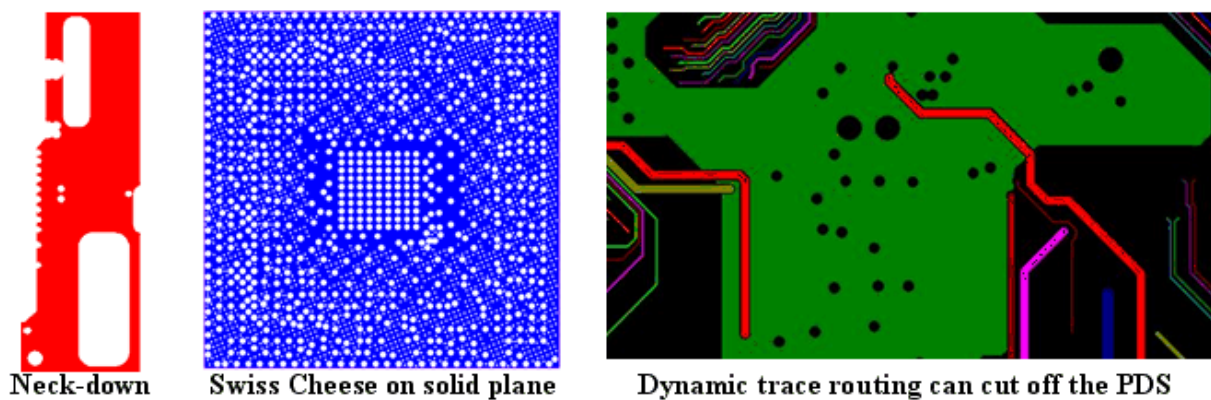


Fig2 各种设计中的不利因素使 IR Drop的问题加剧

# 电阻分析的重要性

## ■ 电阻与电源完整性（PI）

- 直流压降（IR Drop）直接与电源分配网络（PDN）上的总电阻成正比；
- 厚平面与实心的过孔有助于减小电阻值；
- 适当的电阻有助于减小谐振

## ■ 电阻与信号完整性（SI）

- I/O网络的电阻是传输线产生直流损耗的根源；
- 短而宽的走线可以减小电阻



# 电流密度分析的重要性

- 当电流通过一个狭窄区域的时候，通常会产生较大的电流密度，从而导致**PCB**板局部温度的升高。
- 电源平面上最大的电流密度区域通常称之为电流热点（**Hot Spot**），这些电流热点有可能导致严重的热可靠性问题。
- 设计人员应尽量使板上的电流密度分布均匀，尤其要避免在关键的**IC**芯片附近和高速的信号走线附近出现电流热点。

# PowerDC的算法及理论基础

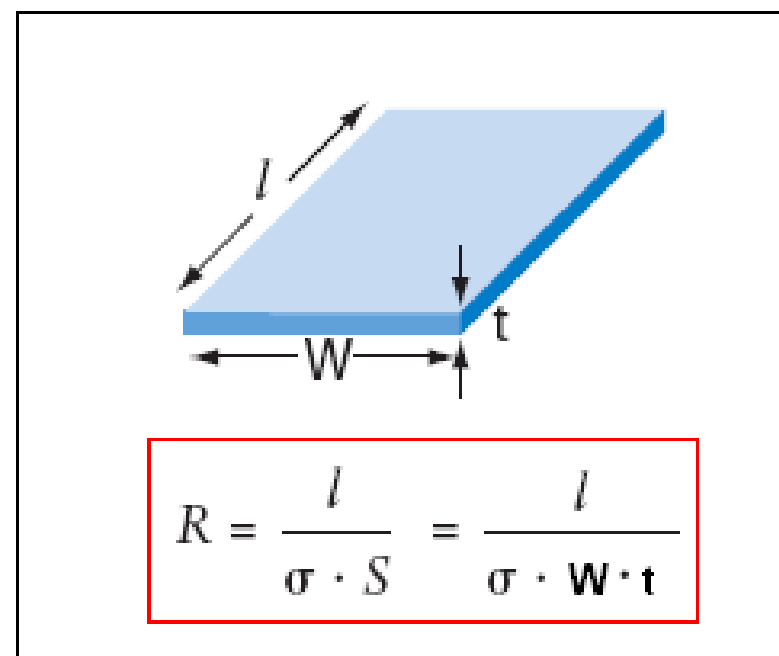
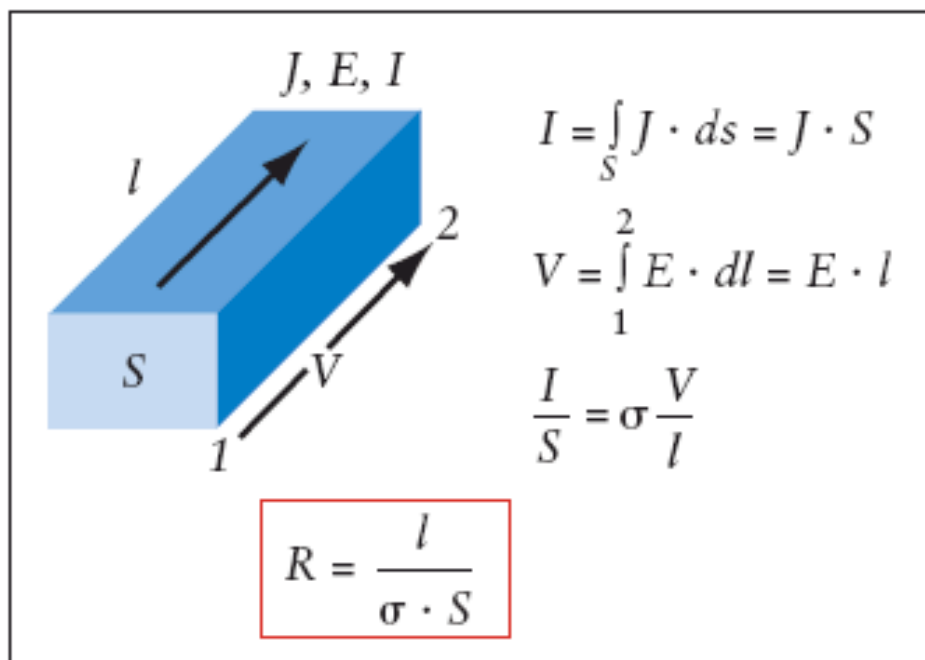
- **PowerDC**基于电磁场理论求出电源/地平面上的电压分布、电流密度的矢量分布，过孔电流和电阻。
- 全新的**FEM**仿真引擎在仿真精度和效率上有了很大的提升。其精细的三角形网格剖分比其他工具采用的矩形网格在计算结果和显示精度上要先进很多，另外特有的快速算法使工具即使在仿真大型**PCB**时也仅需数分钟的时间。

# 电路理论基础

- 电路理论是电磁场理论在低频段的近似表达方式
- 将低频近似引入到Maxwell方程中，可以得到以下结论：
  - Kirchhoff电压定律：环路中的电压代数和为0；
  - Kirchhoff电流定律：流入一个电路节点的电流代数和为0

# 电阻

- 欧姆定律定义了电阻为穿过一个导体上的电压与电流的比值，即  $R=V/I$ 。



$\sigma$  为材料的电导率，铜的电导率为  $5.8 \times 10^7 \text{ S/m}$

# 电流密度

- 自由电荷在导体中流动形成传导电流，其  $\vec{J} = \sigma \vec{E}$

- 导电媒质中的恒流电场的基本方程为

$$\nabla \times \vec{E} = 0$$

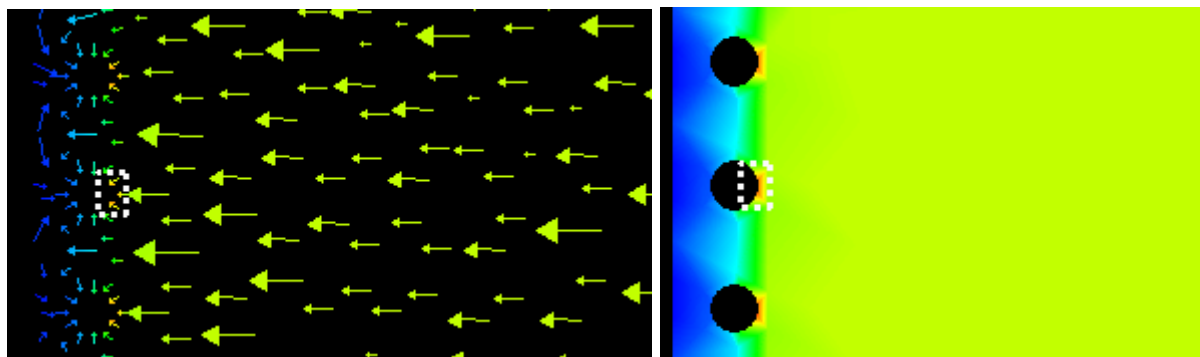
$$\vec{E} = -\nabla \varphi$$

$$\nabla \cdot \vec{J} = 0$$

$$\vec{J} = \sigma \vec{E}$$

$$\nabla^2 \varphi = 0$$

$$I = \int_s \vec{J} \cdot d\vec{s}$$



- 电源/地平面上的电流密度是矢量分布，而平面上的标量电流是没有物理意义的

# PowerDC的主要功能

- 布局布线前/后**PCB**或**IC**封装**DC**分析;
- 彩色显示**PCB**各层的电压分布、平面电流分布和过孔电流分布;
- 可仿真**Lumped to Lumped**, **Lumped to Multiple**, **Multiple to Lumped**以及**Multiple to Multiple**等各种形式的pin-to-pin电阻;
- 还可仿真多端口的阻抗网络, 并生成**DC**情况下相应的**S-param**模型和**SPICE**等效模型;
- 多子板/多封装的**IR Drop**分析;
- 流程化仿真, 指导用户快速准确的完成整个仿真, 而且用户可以定制自己特定的**Workflow**;
- 高效的有限元 (**FEM**) 算法无需用户设定**Mesh**即可得到平面上精细而平滑的每一个位置上的电压、电流值;
- 内置的**Constraint management**使仿真支持复杂设计的设计规则检查 (**DRC**);
- 生成所有的电压、电流结果表格, 并与预先设定的**Constraints**作比较;
- 将**DRC Marker**反标回**Allegro Layout**文件。

# PowerDC的典型应用

## ■ 优化 PDN网络中的关键指标

- 决定PDN层的铜厚
- 找到PDN层能满足IR Drop需求最小的宽度
- 进行快速的“what if”分析以比较不同设计的区别

## ■ 发现 PDN网络中的设计隐患

- 找到系统中所有器件过压和欠压的条件
- 指出布线中会引起额外压降的 neck down区域
- 定位布线中会引起热可靠性问题的电流分布的 “hot spots”区域
- 发现超出设计指标的 via, bump和ball电流

## ■ 优化 VRM Sense Line的设置

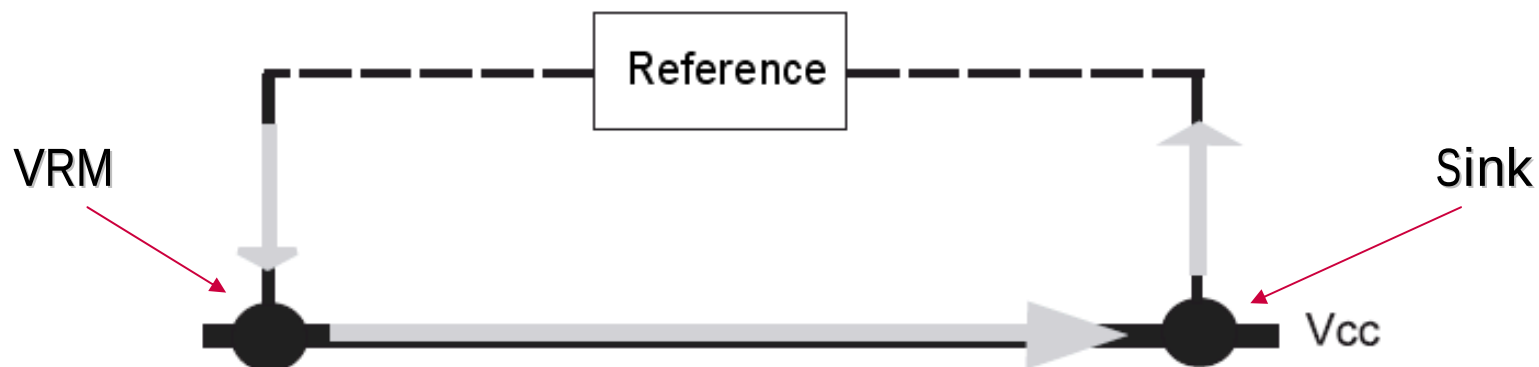
- 对多器件的系统智能选择 VRM sense line的位置
- 安全的增大 VRM的输出电压进行最可靠的补偿

## ■ 输出其他系统分析需要的结果

- 创建DC等效电阻模型
- 进行包括 PCB, IC封装和on-chip模型在内的系统级IR Drop分析
- 输出热仿真工具可用的平面和过孔的电流分布文件
- 定量的计算路径中的 loop电阻以进行对比分析和 correlation研究

# PowerDC 应用1

## (与理论计算相比)



上述案例为一个矩形的Vcc电源平面，VRM和Sink的电压观测点均参考同一个Reference节点，其中Vcc Plane的具体参数如下：

- 200mm long (L)
- 10mm wide (W)
- 5um thick (T)
- conductivity is  $5.8e7$  S/m ( $\sigma$ ).
- The two rows of vias, acting as testing points, are 0.5mm away from the plane edge.



# PowerDC 应用1

## (分析与仿真)

### 分析:

1) Vcc平面直流通路的长度为199mm (L)，过孔的长度为1um，因此过孔的DC电阻可忽略。根据平板电阻的计算公式：

$$R = L / (\sigma \times W \times T) = 0.06862 \text{ Ohms}$$

2) 假设VRM的供电电压为1V，Sink的工作电流为1A，则此Case的IR Drop =  $I \times R = 1 \times 0.06862 = 0.06862$  (V)，在Sink端的电压 Voltage =  $1V - 0.06862 \approx 0.9314$  (V)

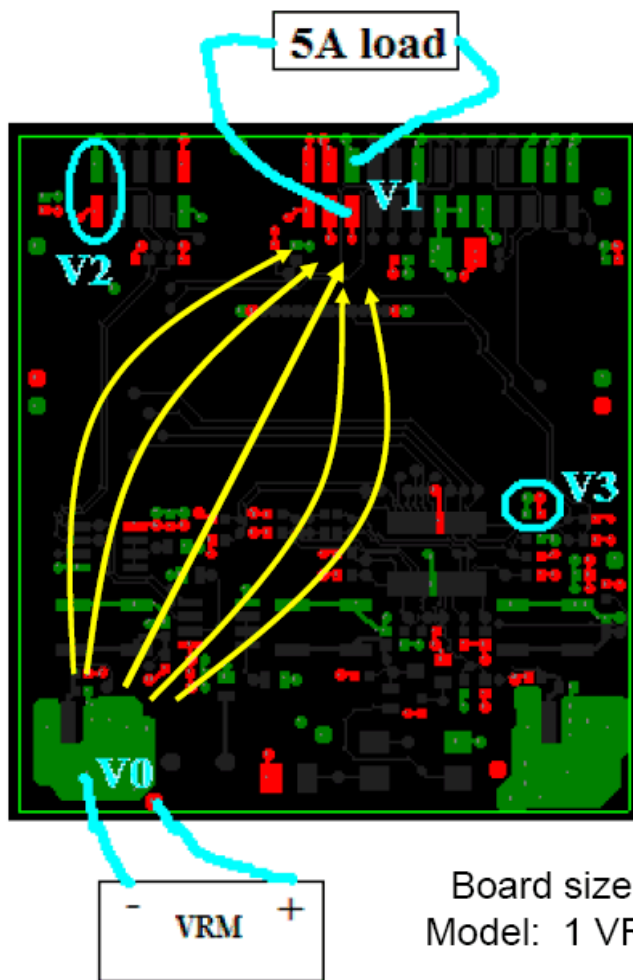
### 仿真:

1) 仿真结果如下，Sink端得到的实际电压也为0.9314V，与理论计算的结果吻合的非常好。

| Show Results -> Sink Voltage (1 of 1 Failed) |               |                      |                     |                    |                            |                      |
|----------------------------------------------|---------------|----------------------|---------------------|--------------------|----------------------------|----------------------|
| VRM Voltage                                  | Sink Voltage  | Interconnect Current | Probes Measurements | Global Via Current | Global Via Current Density | Specific Via Current |
| Sink Name                                    | Model         | Nominal Voltage (V)  | Input Tolerance (%) | Actual Voltage (V) | Margin (V)                 |                      |
| Sink                                         | Equal Voltage | 1                    | 0                   | 0.931405           | -0.0685946                 |                      |

# PowerDC 应用2

## (与Lab实测相比)



后期方便分析vdrop掉电的原因

| Location | Voltage drop (mV) |         |
|----------|-------------------|---------|
|          | Measurement       | PowerDC |
| V0-V1    | 35                | 36.1    |
| V0-V2    | 12                | 11.0    |
| V0-V3    | 9                 | 9.3     |

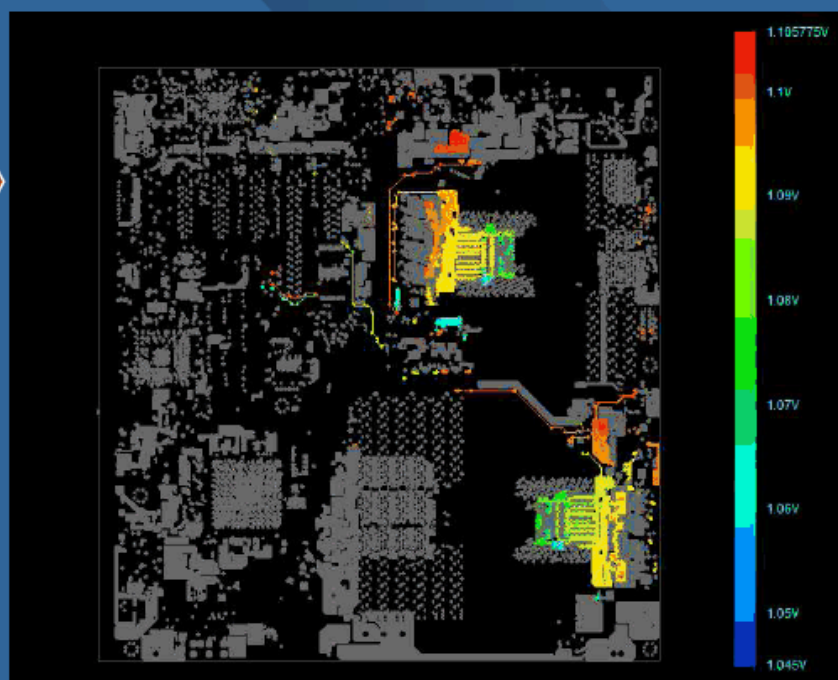
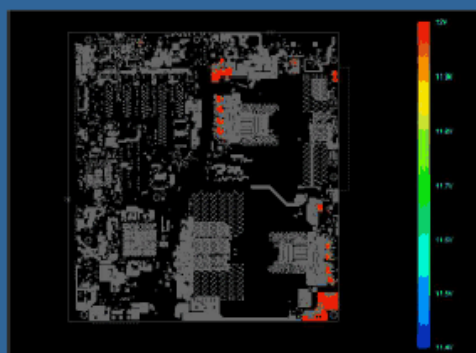
Board size = 2.28" x 2.52" 4 layers board,  
Model: 1 VRM, 1 load, 2 observation points

# PowerDC 应用3

## (Flextronics应用实例)

### DC Analysis for Power Integrity

#### Voltage Drop:



- Power DC helps us to track down the voltage distribution along the Power Delivery Path.
- Power DC helps us to generate clear table to judge the simulation result Pass or Fail.
- The whole procedure is easy and fast.

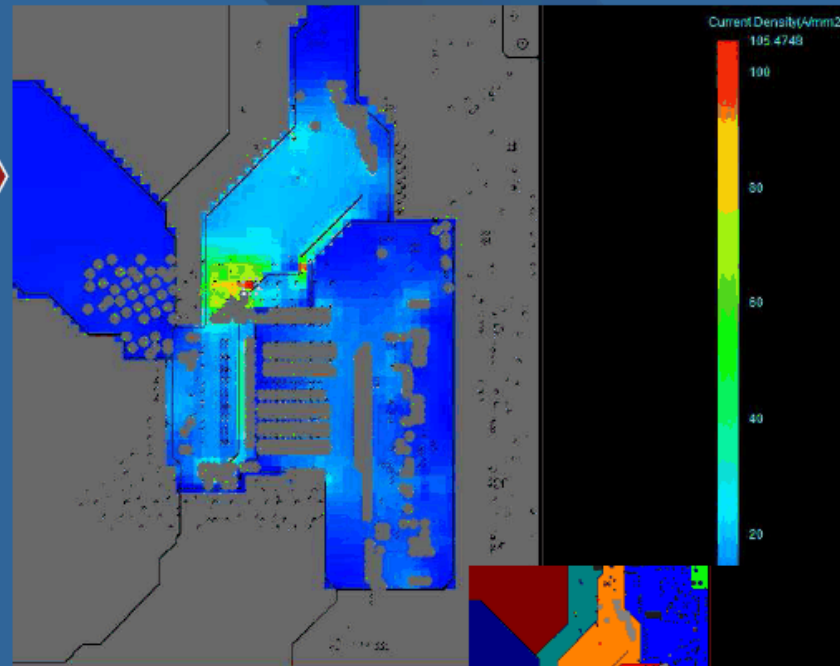
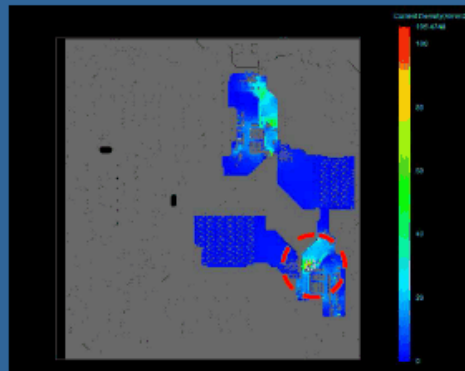
| Sink Name                 | Model         | Nominal Voltage (V) | Input Tolerance (%) | Actual Voltage (V) | Margin (V)    |
|---------------------------|---------------|---------------------|---------------------|--------------------|---------------|
| SINK_U15_PV_VCCP_CPU0_GND | Equal Current | 1.100000e+000       | 5.000000e+000       | 1.066218e+000      | 2.121827e-002 |
| SINK_U16_PV_VCCP_CPU1_GND | Equal Current | 1.100000e+000       | 5.000000e+000       | 1.068928e+000      | 2.392785e-002 |
| SINK_U15_PV_VTT_CPU0_GND  | Equal Current | 1.100000e+000       | 5.000000e+000       | 1.049691e+000      | 4.690785e-003 |
| SINK_U16_PV_VTT_CPU1_GND  | Equal Current | 1.100000e+000       | 5.000000e+000       | 1.047043e+000      | 2.042829e-003 |

# PowerDC 应用3

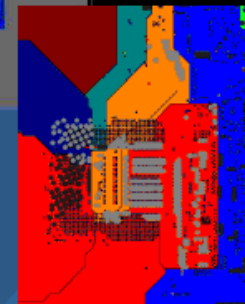
## (Flextronics应用实例)

### *DC Analysis for Power Integrity*

#### *Current Density:*

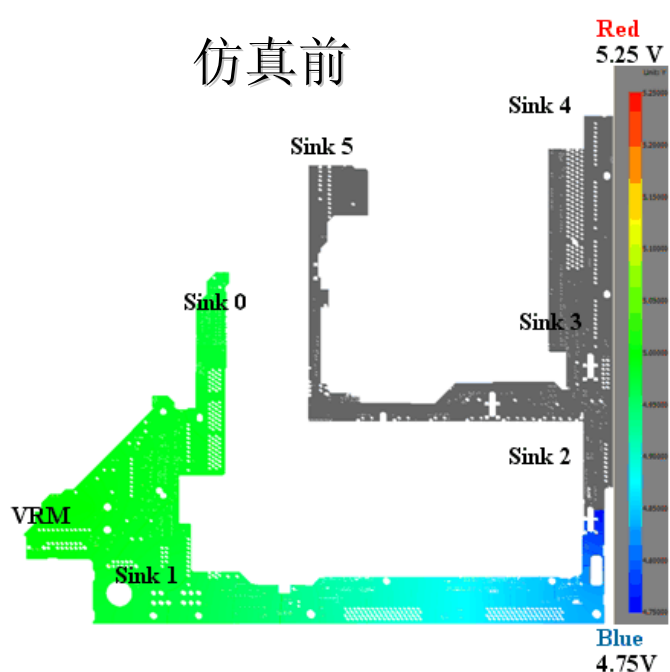


- i. Power DC helps us to find out if there's any critical location where exist a large amount of current.
- ii. By the capability of Power DC to analyze the current density distribution, we can find out if there's any redundant moat on the plane.
- iii. The whole procedure is easy and fast.

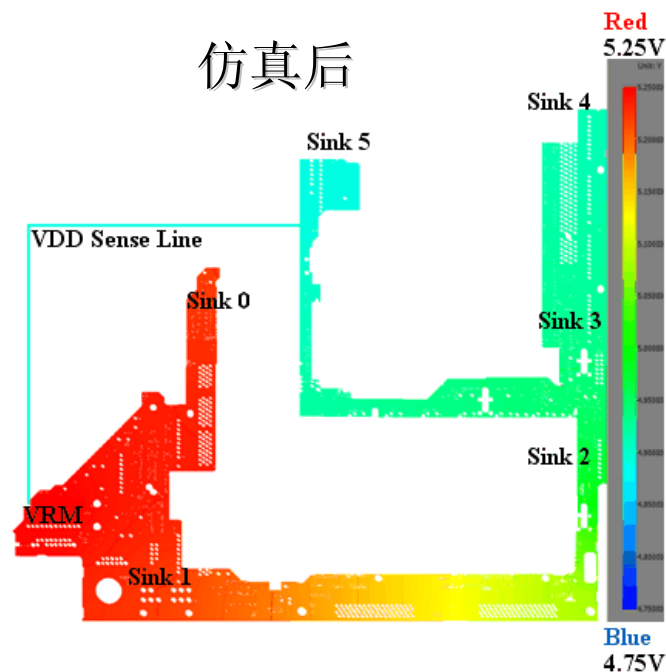


# PowerDC 应用4

## (X公司IR Drop仿真实例)



| Sink Name | Nominal Voltage (V) | Input Tolerance (V) | Actual Voltage (V) | P/F |
|-----------|---------------------|---------------------|--------------------|-----|
| Sink0     | 5.000000            | 0.250000            | 4.945234           | ✓   |
| Sink1     | 5.000000            | 0.250000            | 4.953441           | ✓   |
| Sink2     | 5.000000            | 0.250000            | 4.682120           | ✗   |
| Sink3     | 5.000000            | 0.250000            | 4.647440           | ✗   |
| Sink4     | 5.000000            | 0.250000            | 4.636497           | ✗   |
| Sink5     | 5.000000            | 0.250000            | 4.620532           | ✗   |



| Sink Name | Nominal Voltage (V) | Input Tolerance (V) | Actual Voltage (V) | P/F |
|-----------|---------------------|---------------------|--------------------|-----|
| Sink0     | 5.000000            | 0.250000            | 5.195236           | ✓   |
| Sink1     | 5.000000            | 0.250000            | 5.203441           | ✓   |
| Sink2     | 5.000000            | 0.250000            | 4.932120           | ✓   |
| Sink3     | 5.000000            | 0.250000            | 4.897440           | ✓   |
| Sink4     | 5.000000            | 0.250000            | 4.886497           | ✓   |
| Sink5     | 5.000000            | 0.250000            | 4.870558           | ✓   |

分析:

✓ 仿真前Sink2/3/4/5未能满足IR Drop的需求, 系统不能正常工作;  
仿真后采用了Sense Line的反馈, 所有的Sink位置都达到了要求。

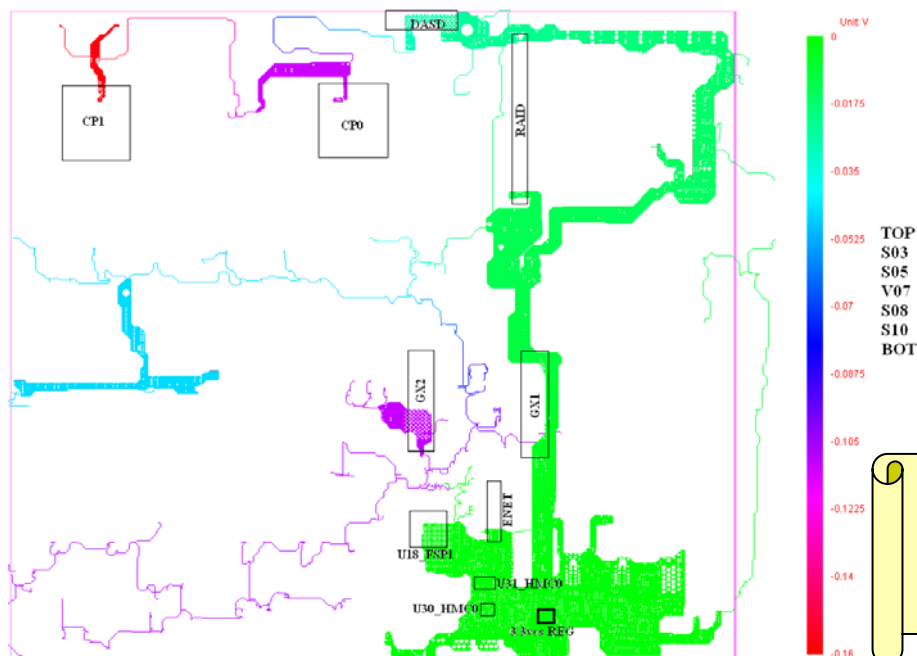
# PowerDC的优势与特色

- 业界第一个可以进行电源地平面 **IR Drop DRC**检查的工具，用户对象包括 **layout**工程师，**system** 工程师和**SI/PI**工程师。
- 可协助 **Layout**设计人员发现**PCB**板中不易发现的很多设计隐患，如：器件的过压/欠压，电流分布的**Hot Spot**，超标的 **via**、**bump**和**ball**电流，平面中的**neck-down**和**dynamic plane cut** 区域等。而这些隐患常常会导致器件不能工作甚至发生局部过热烧毁等后果。
- 内置的 **Workflow**可确保用户可以在较短的时间内就能掌握**PowerDC**的正确使用流程。最新的**DRC**反标功能使**Layout**工程师可以在后台调用**PowerDC**，并及时在**PCB**版图中将出现的**DRC**错误加以改进。
- 全新的**FEM**仿真引擎在仿真精度和效率上有了很大的提升。其精细的三角形网格剖分比其他工具采用的矩形网格在计算结果和显示精度上要先进很多，另外特有的快速算法使工具即使在仿真大型**PCB**时也仅需数分钟的时间。
- 一般的**CAD**工具只能保证电源/地网络的连通，但是却无法得知连接的好坏；而高端的**SI/PI**工具通常更适合于**AC**瞬态仿真。
- **PowerDC**拥有**Apple, Cisco, Dell, EMC**和**IBM**等**50**多家知名客户，使用**PowerDC**来分析**PCB**和**IC**封装中的直流问题已成为业界的共识。

## 2. 后仿真中的直流分析

发现设计中的潜在问题

# 低功耗的电源网络通常不进行直流分析， 但是却常常带来功能问题



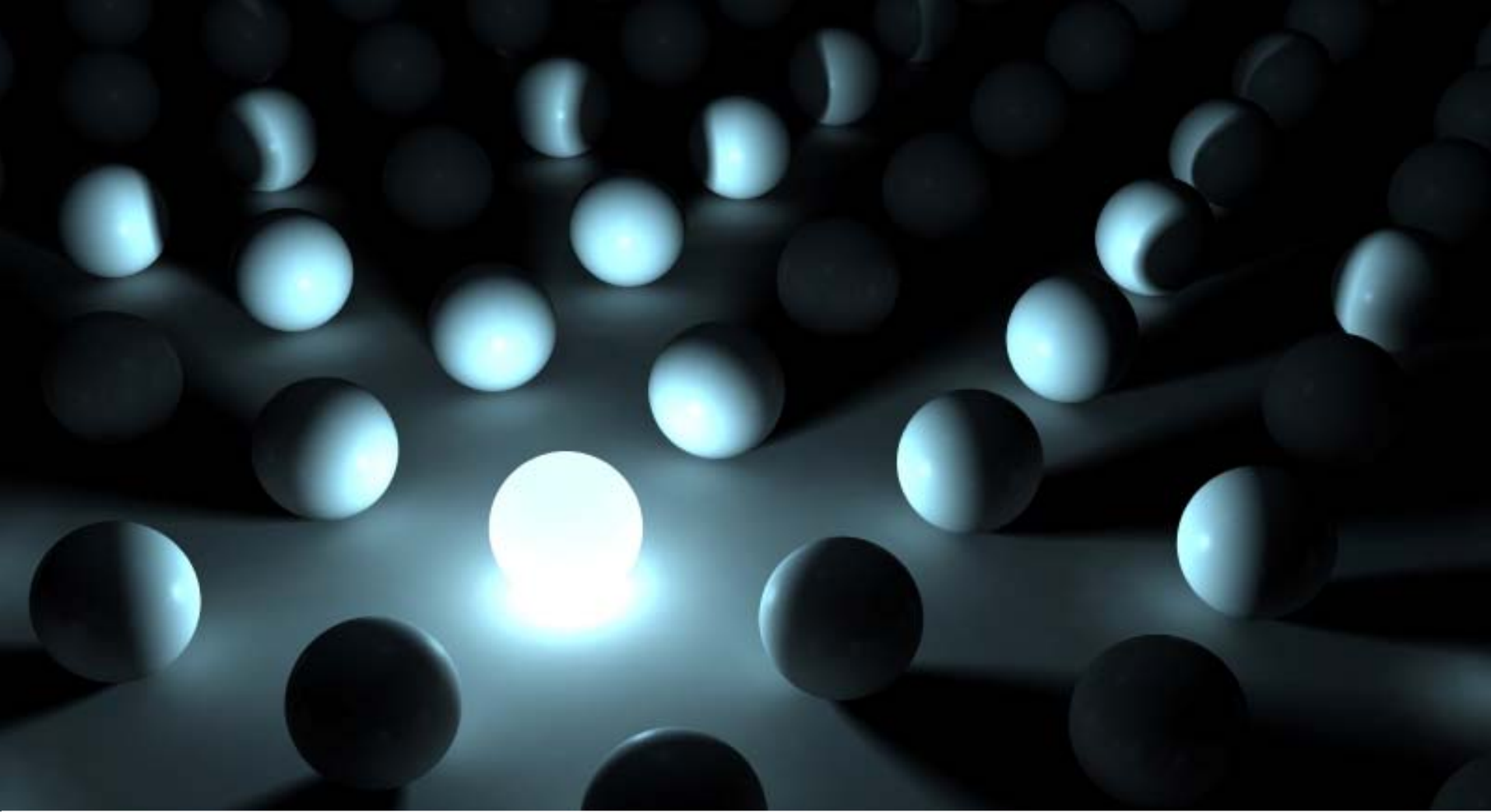
该网络由于IR Drop太严重  
使功能发生了问题

IR drop target  
is 66mV

|         |           | criteria          | 66mV (2%)       |              |
|---------|-----------|-------------------|-----------------|--------------|
| Voltage | refdes    | Breif description | Max current (A) | IR drop (mV) |
| +3.3VCS | U3_CP1    | P6                | 0.250           | -160         |
|         | U2_CP0    | P6                | 0.250           | -115         |
|         | J23_GX1   | GX CARD           | 0.218           | -113         |
|         | J24_GX2   | GX CARD           | 0.218           | -111         |
|         | J54_DASD  | DASD backplane    | 0.006           | -29          |
|         | J49_RAID  | RAID card         | 0.006           | -13          |
|         | U18_FSP1  | FSP1 chip         | 0.51            | -2.0         |
|         | J25_ENET0 | ENET card         | 0.006           | -1.4         |
|         | U31_HMC0  | HMC chip          | 0.012           | -1.2         |
|         | U30_HMC0  | HMC chip          | 0.012           | -1.0         |

← 超过指标159%





在几千个过孔中你如何才能发现具体哪个  
在实际工作时会发生问题呢？

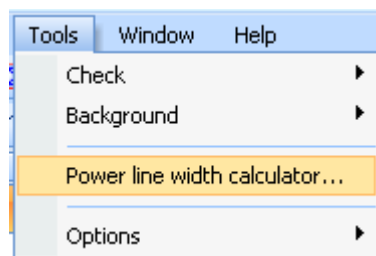
PI问题通常在仿真中容易被发现



## 3. 前仿真中的直流分析

估算电源走线的最小宽度

# 电源走线宽度计算器



Power line width calculator

Input:

IR Drop Target: 12 mV

Max Current: 2 A

Distance between VRM and SINK: 30 mm

Material Thickness: 0.034 mm

Temperature Rise on Material: 0 C

Temperature Coefficient per degree C: 0.0068

Material Conductivity at Room Temperature(201æ): 5.95e7 S/m

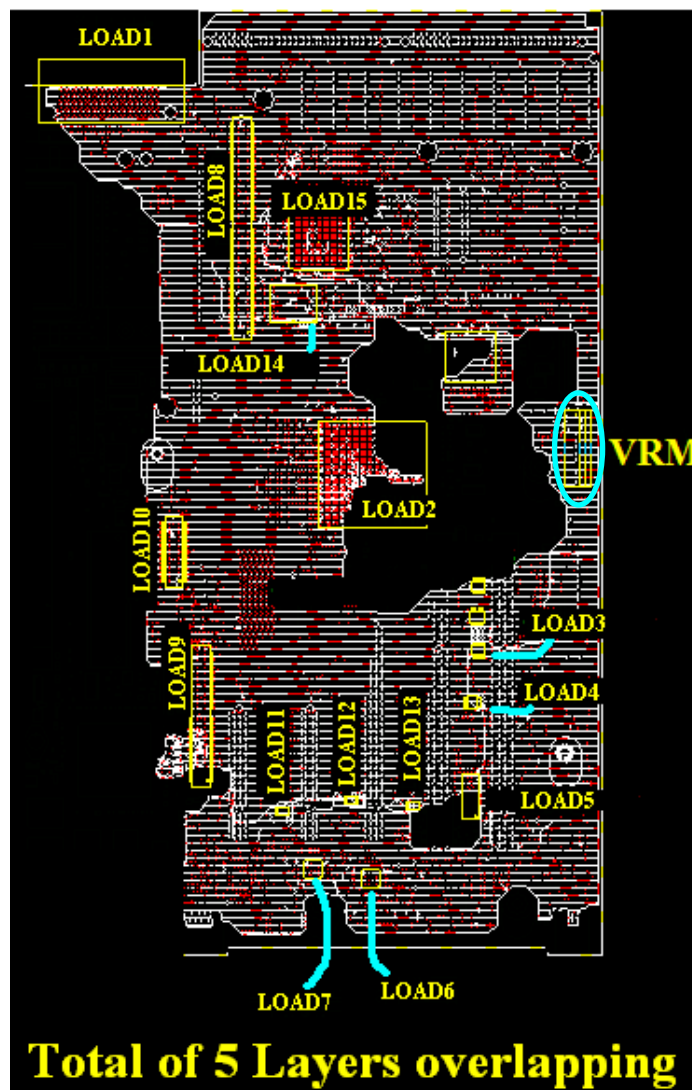
Default Calculate

Output:

Minimum Line Width: 2.47158 mm

## 4. PCB中的直流分析

# 电源平面



# 结果

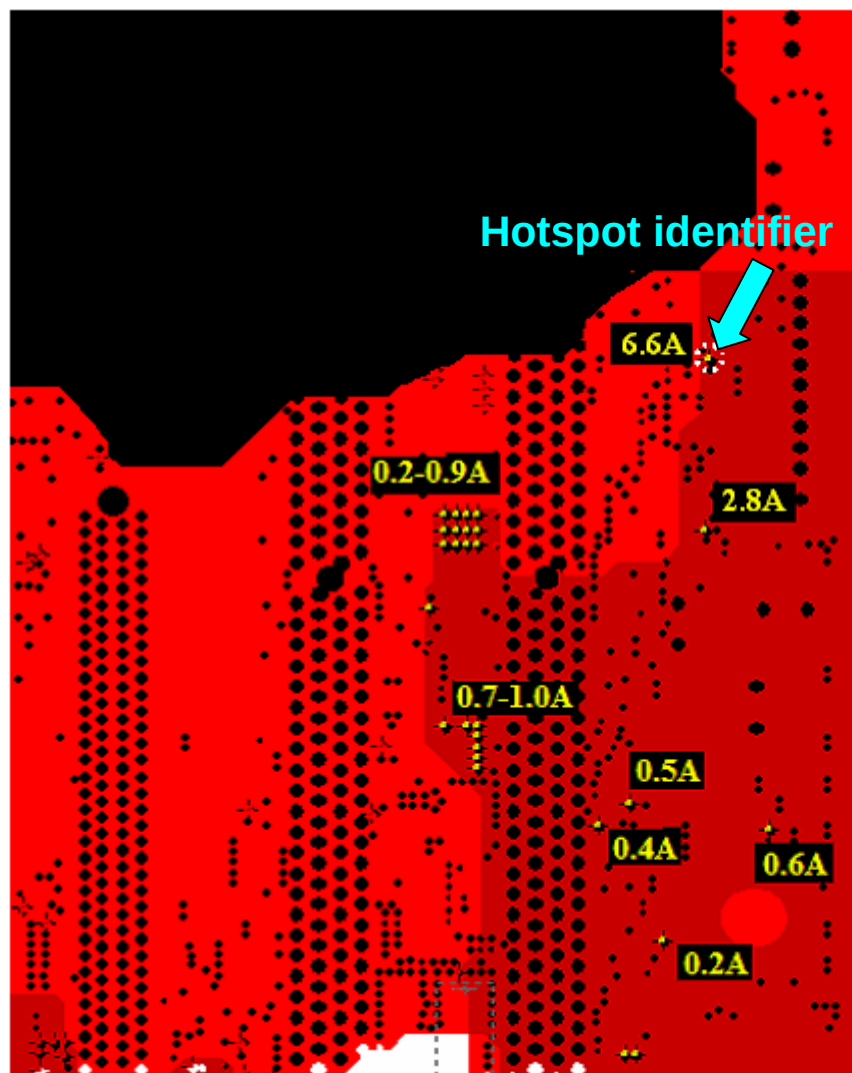
## Load current and IR drop

✓ All IR drops are below the target (2%)

### Via current violation (1A for 8milvia, 5A for 22mil via, 10A for 40mil via)

| (X,Y) unit: mil | layer    | actual current (A) | via size  | over target |
|-----------------|----------|--------------------|-----------|-------------|
| 15795, 8050     | V07->V11 | 6.6                | 8mil via  | 560 %       |
| 11489, 2126     | V07->V11 | 2.8                | 8mil via  | 180 %       |
| 15795, 7450     | TOP->V11 | 13.9               | 40mil via | 39 %        |
| 13999, 3751     | TOP->V07 | 1.2                | 8mil via  | 20 %        |

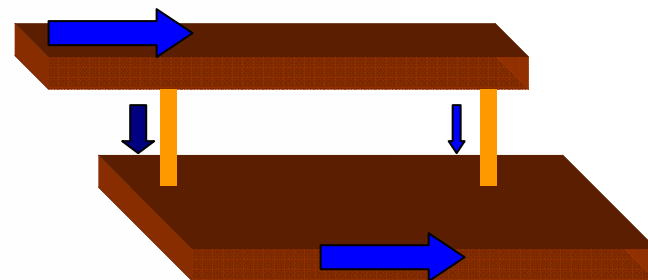
# 过孔电流



■ overlap shape  
■ Non-overlap shape

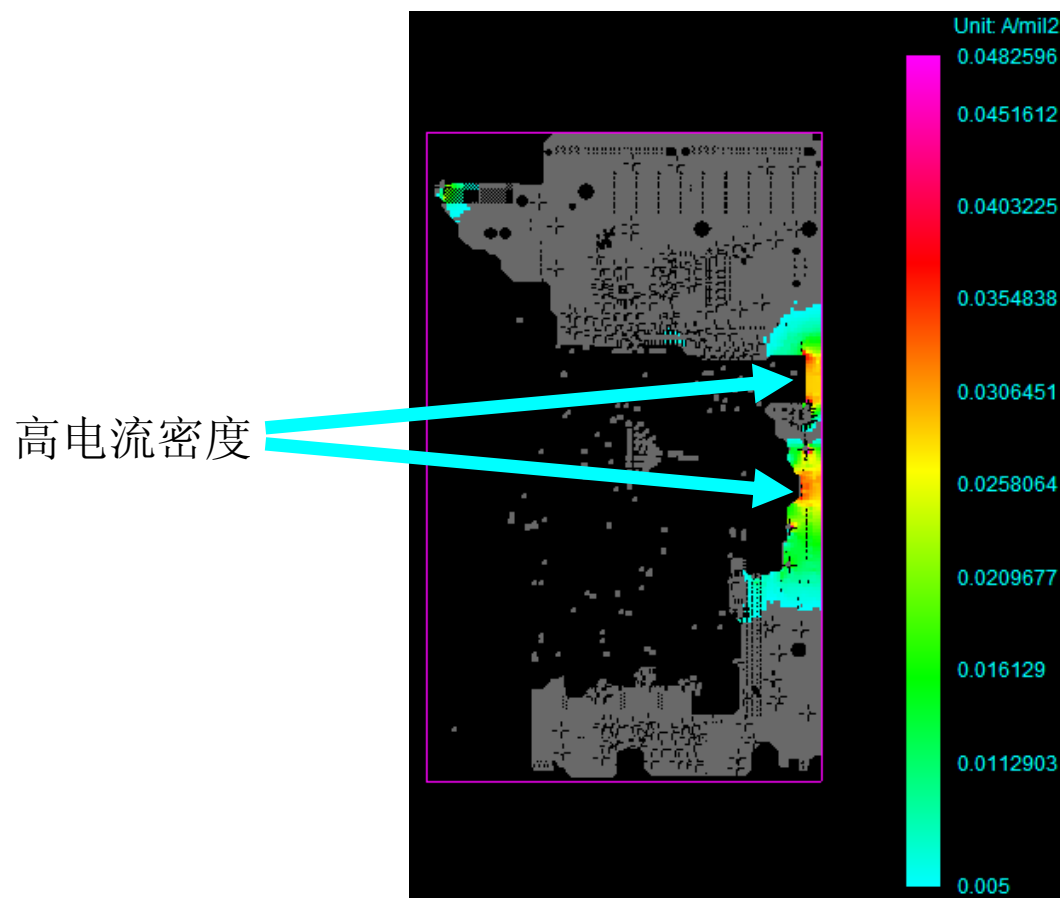
Layer V07 and V11

大量电流通过黄色过孔，贯穿2个电源平面的重叠部分。



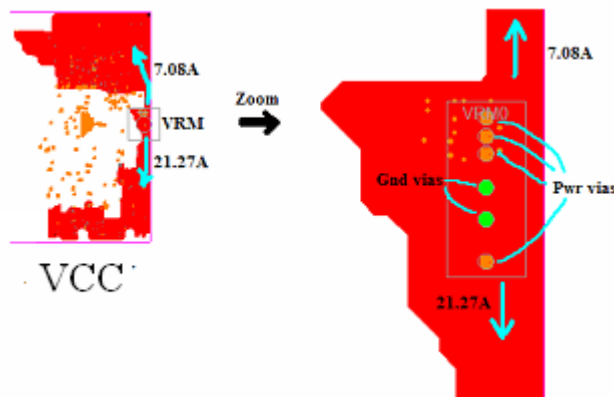


# 发现第11层上的高电流密度

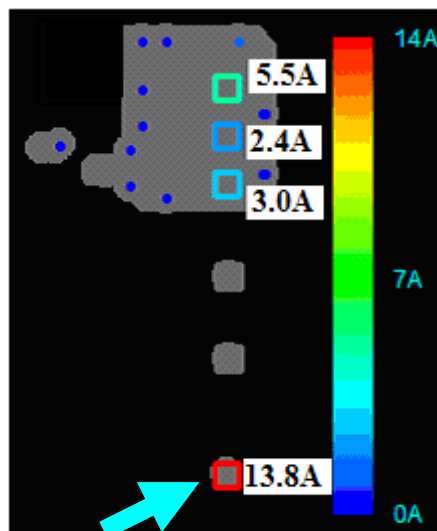


显示电流密度在 5mA/mil<sup>2</sup> 及以上的部分；小于该指标的以灰色来显示。

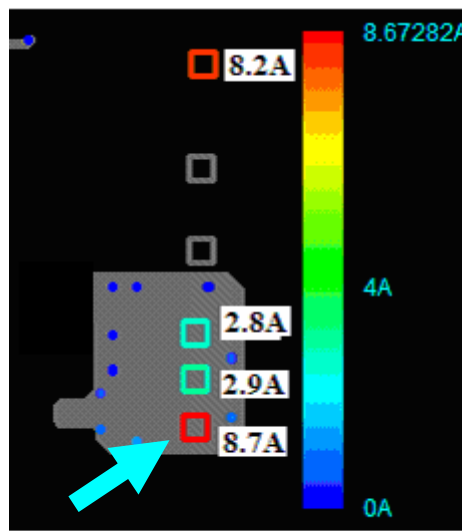
# 用what-if分析来改善设计



Original VRM pins



TOP layer view

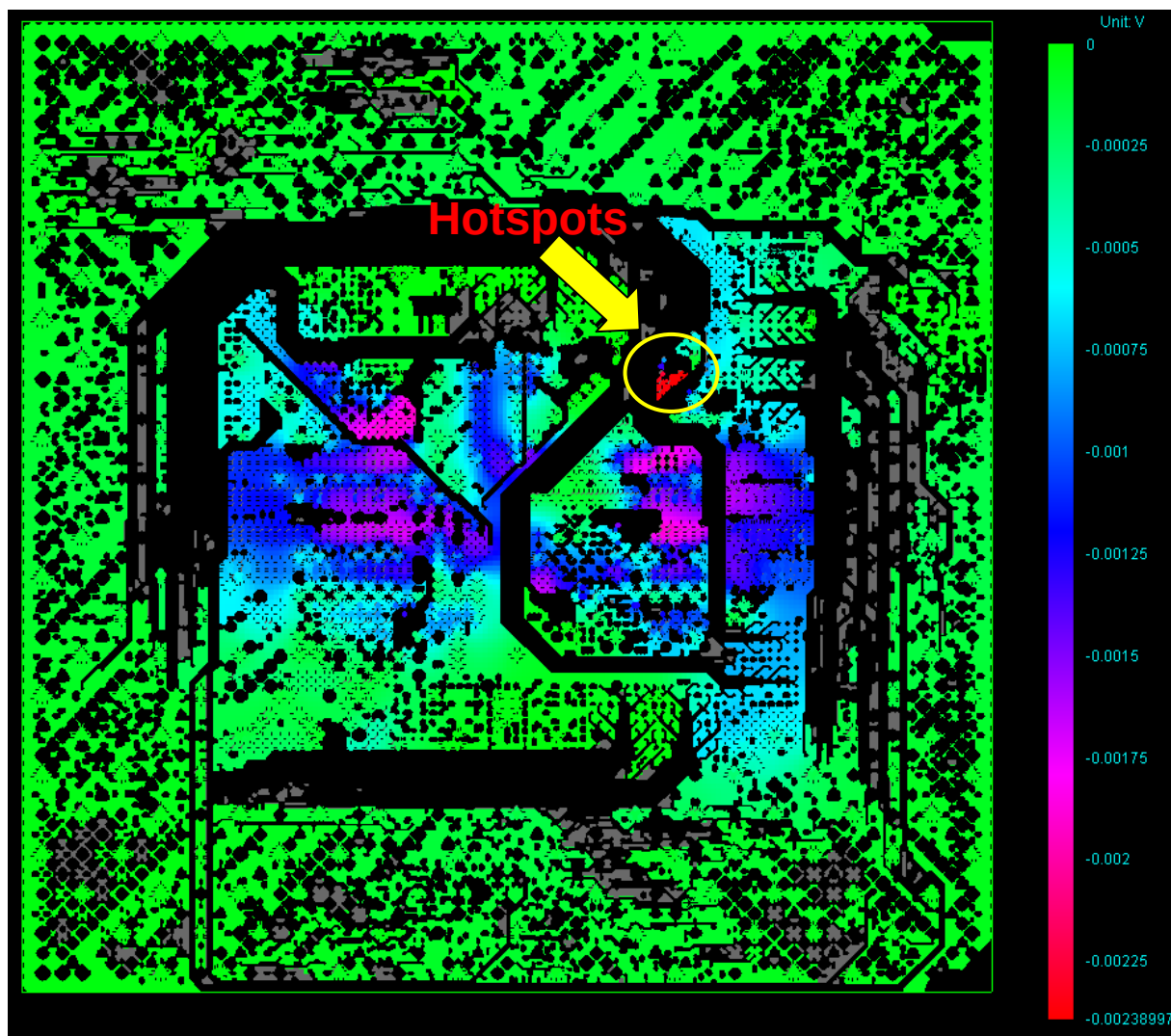


TOP layer view

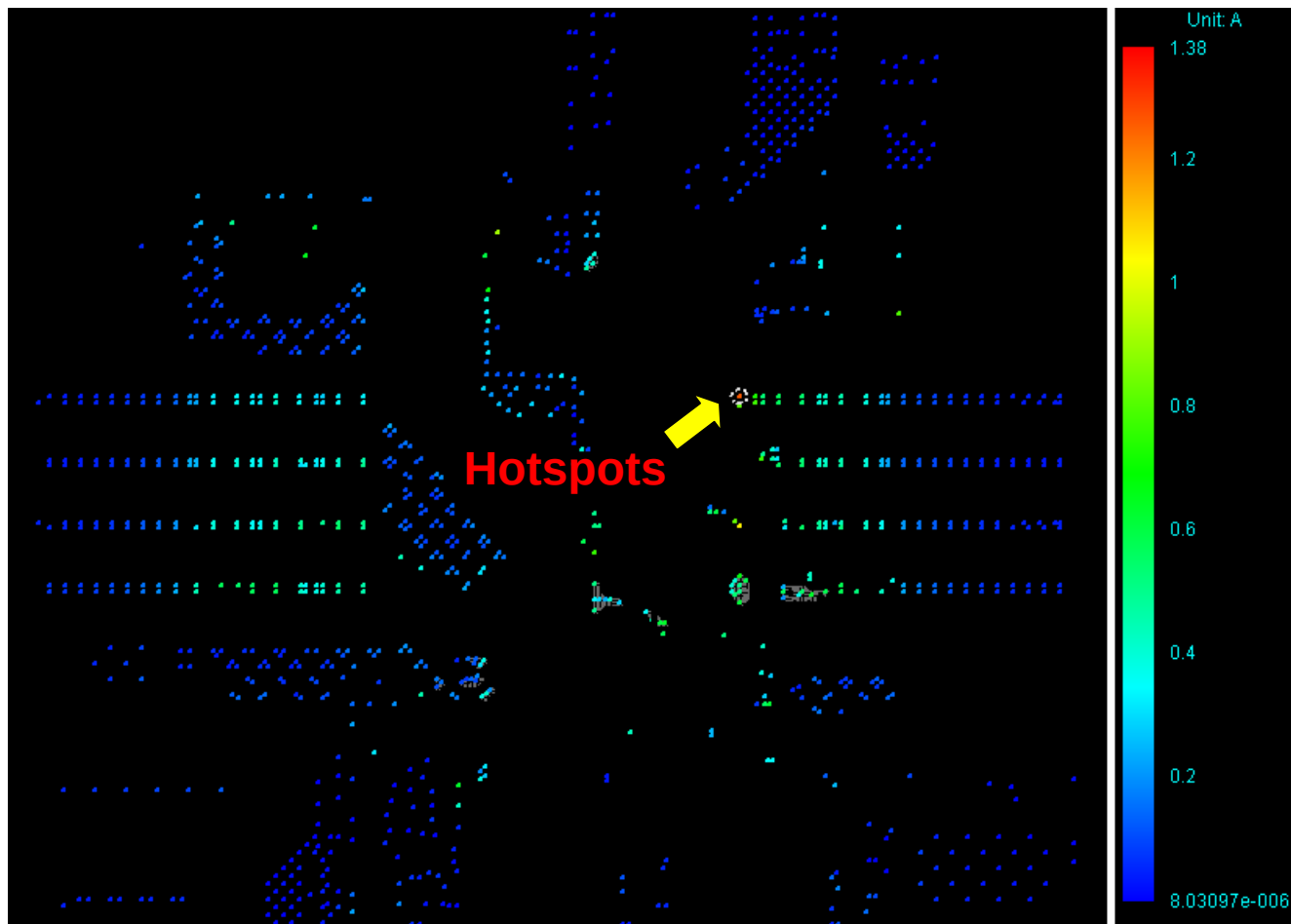
After turn the VRM 180 degree around  
(Done inside PowerDC GUI)

## 5. Package中的直流分析

# GND平面上的IR Drop分布

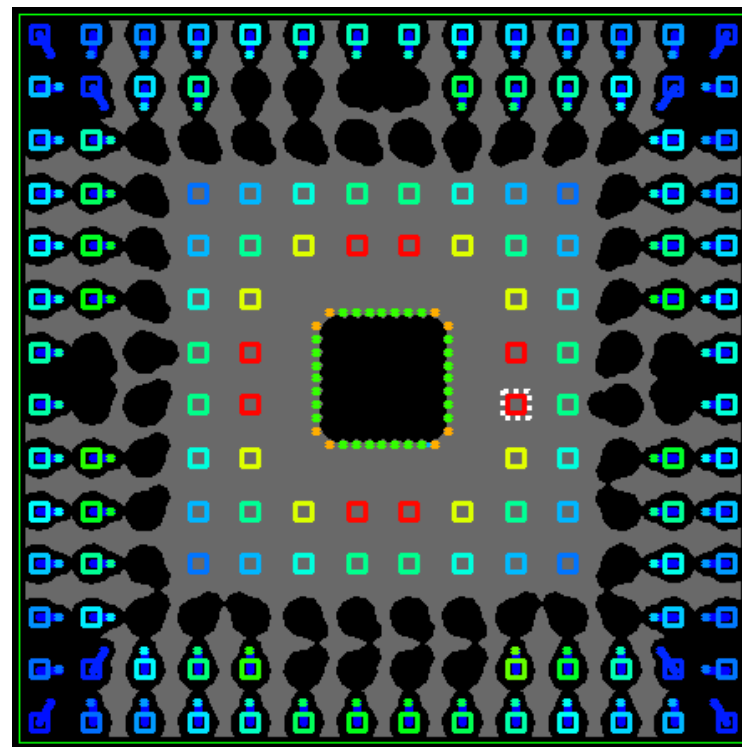


# 发现大的过孔电流



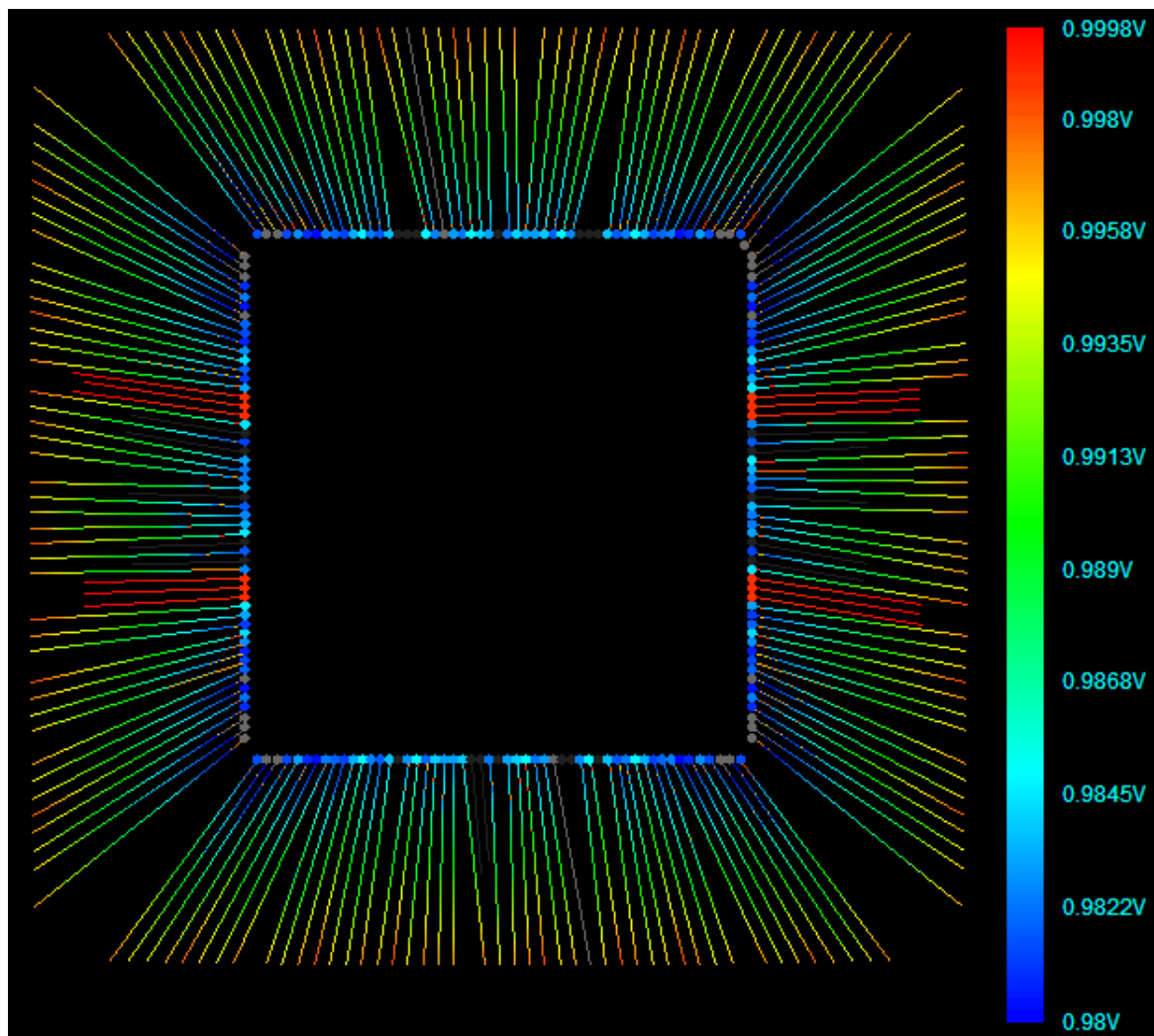
# BGA封装中的Ball电流

| Via Name                      | Maximum Current (A) | Actual Current (A) | P/F |
|-------------------------------|---------------------|--------------------|-----|
| \$Package::Via15913!!T10::VSS | 1.000000            | 1.020534           | ✗   |
| \$Package::Via15893!!U10::VSS | 1.000000            | 1.009072           | ✗   |
| \$Package::Via15940!!P16::VSS | 1.000000            | 1.000212           | ✗   |
| \$Package::Via15910!!T16::VSS | 1.000000            | 0.957192           | ✓   |
| \$Package::Via15872!!V16::VSS | 1.000000            | 0.943558           | ✓   |
| \$Package::Via15924!!R17::VSS | 1.000000            | 0.924940           | ✓   |
| \$Package::Via15938!!P18::VSS | 1.000000            | 0.920626           | ✓   |
| \$Package::Via15856!!W17::VSS | 1.000000            | 0.908344           | ✓   |
| \$Package::Via15889!!U17::VSS | 1.000000            | 0.899339           | ✓   |
| \$Package::Via15953!!N20::VSS | 1.000000            | 0.895709           | ✓   |
| \$Package::Via15922!!R19::VSS | 1.000000            | 0.879739           | ✓   |
| \$Package::Via15908!!T18::VSS | 1.000000            | 0.873693           | ✓   |
| \$Package::Via15870!!V18::VSS | 1.000000            | 0.869964           | ✓   |
| \$Package::Via15906!!T20::VSS | 1.000000            | 0.868107           | ✓   |
| \$Package::Via15854!!W19::VSS | 1.000000            | 0.857671           | ✓   |
| \$Package::Via15868!!V20::VSS | 1.000000            | 0.855979           | ✓   |
| \$Package::Via15904!!T22::VSS | 1.000000            | 0.855154           | ✓   |
| \$Package::Via15887!!U19::VSS | 1.000000            | 0.852553           | ✓   |

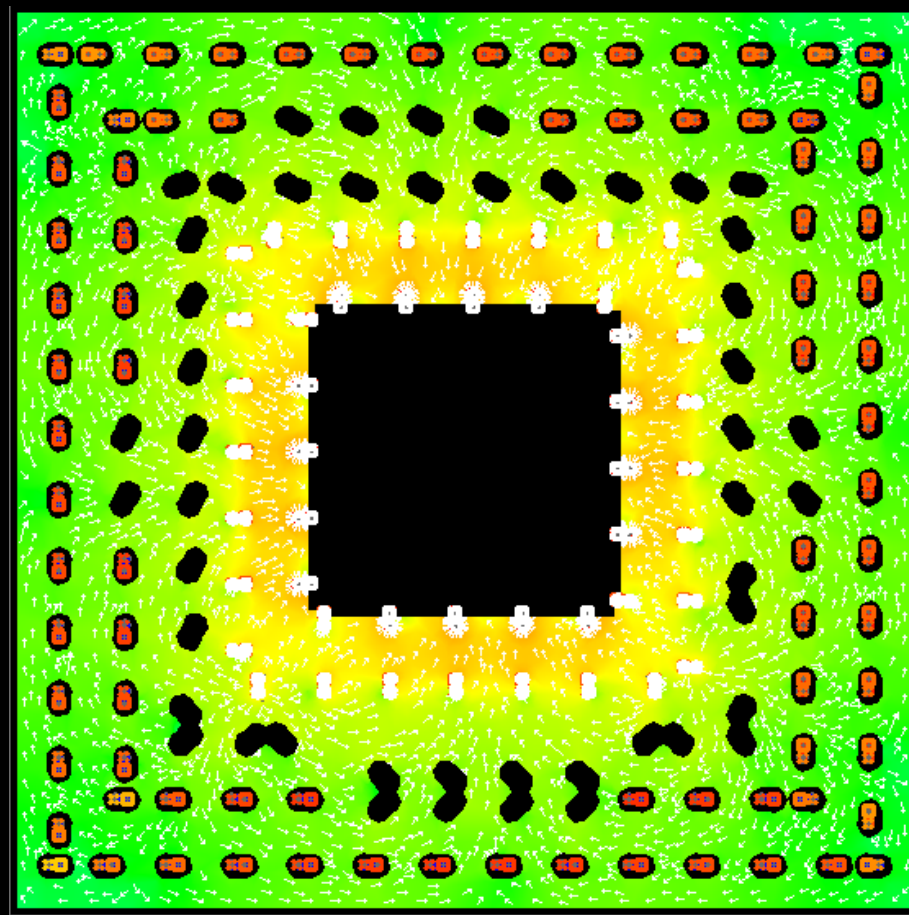
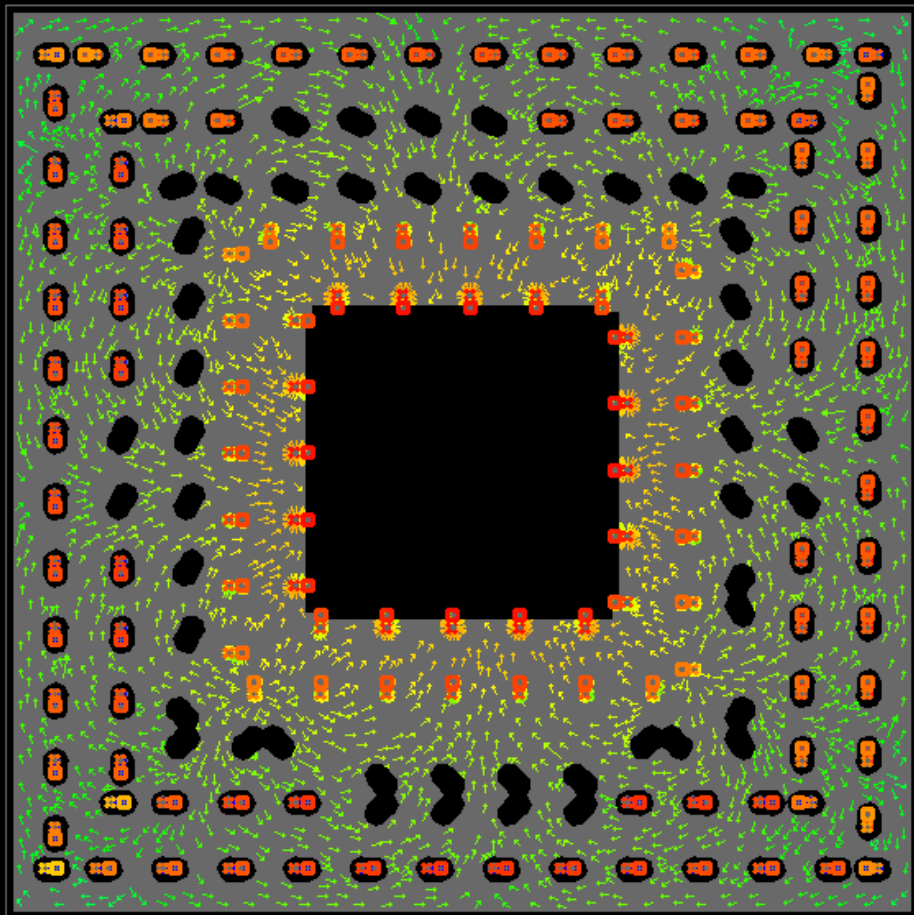


有些设计对封装的每个焊球（引脚）上的DC电流也有限制。PowerDC将在一张spreadsheet的表格中算出这些电流值，并以彩色图案显示出来，这样就能快速的找到那些超出规则的位置。

# Wirebond的直流分析

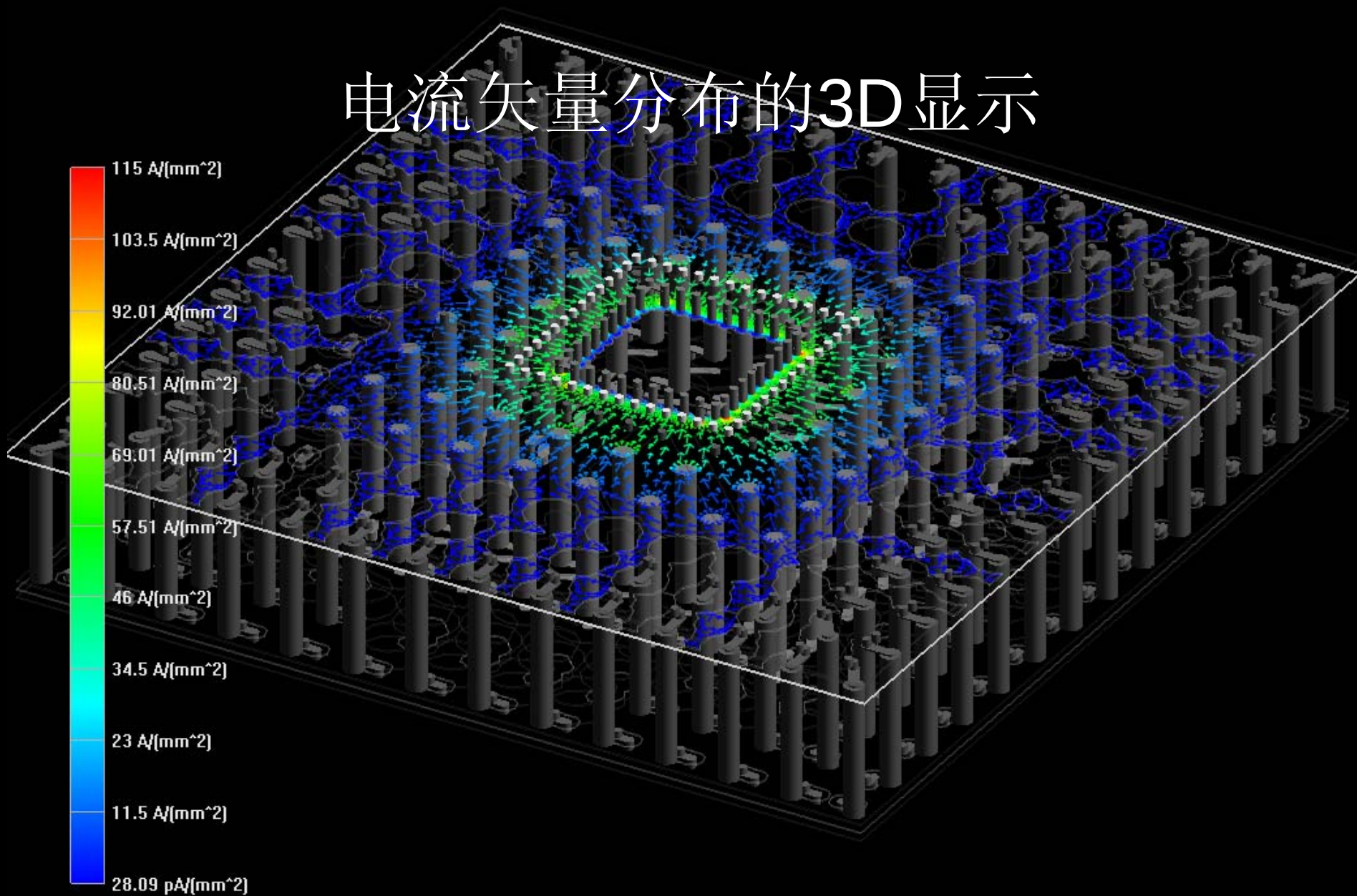


# 电流矢量分布的 2D 显示

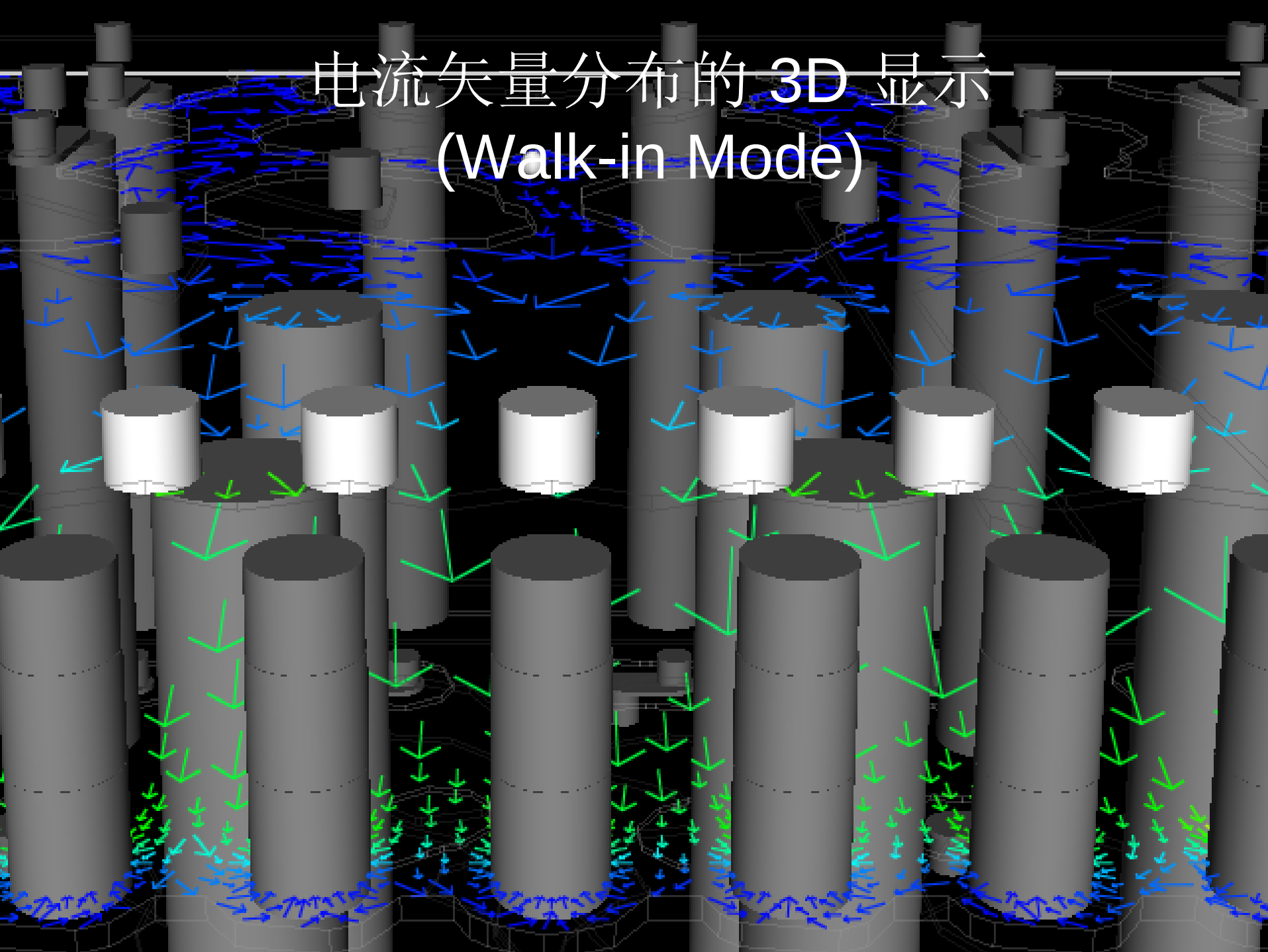




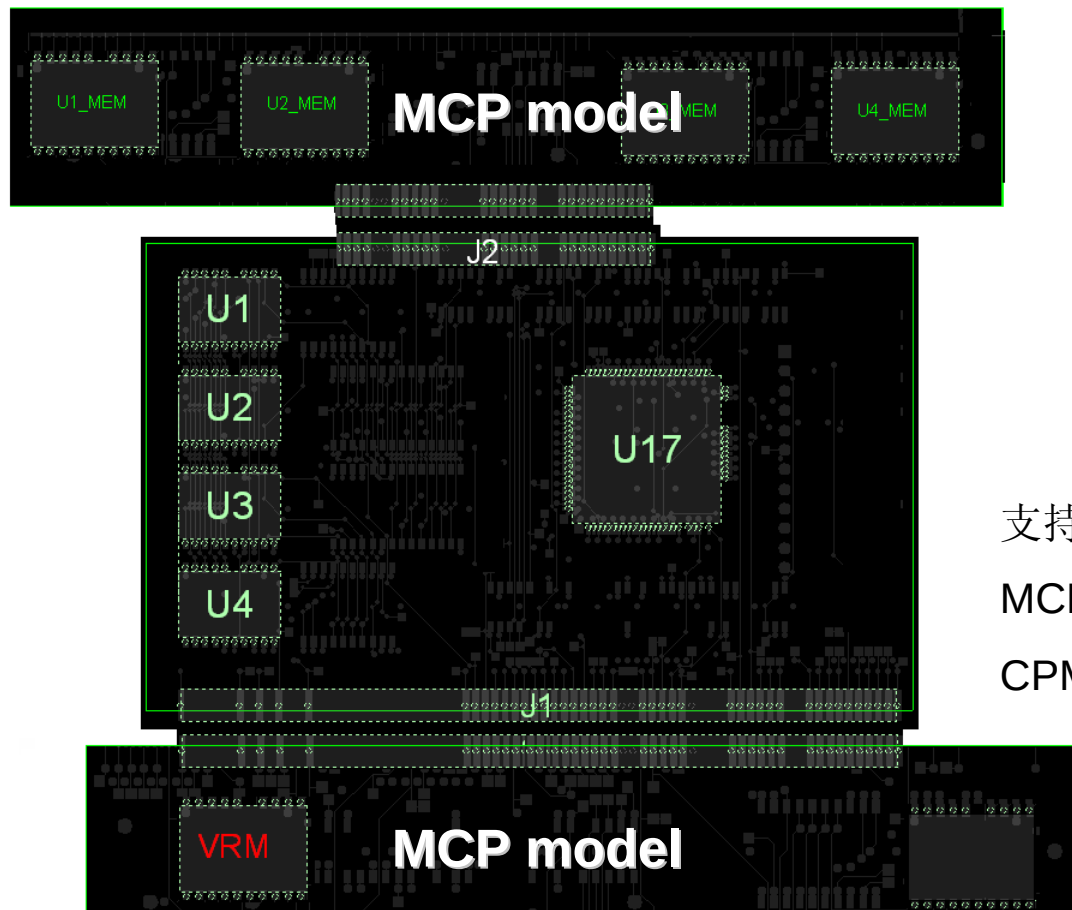
# 电流矢量分布的3D显示



# 电流矢量分布的 3D 显示 (Walk-in Mode)



# 多板分析



支持两种格式：

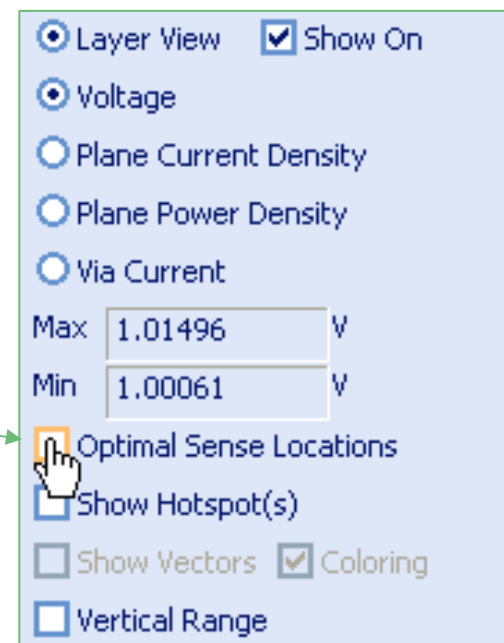
MCP = Sigrity Model Connection Protocol.

CPM = Apache Chip Power Mode

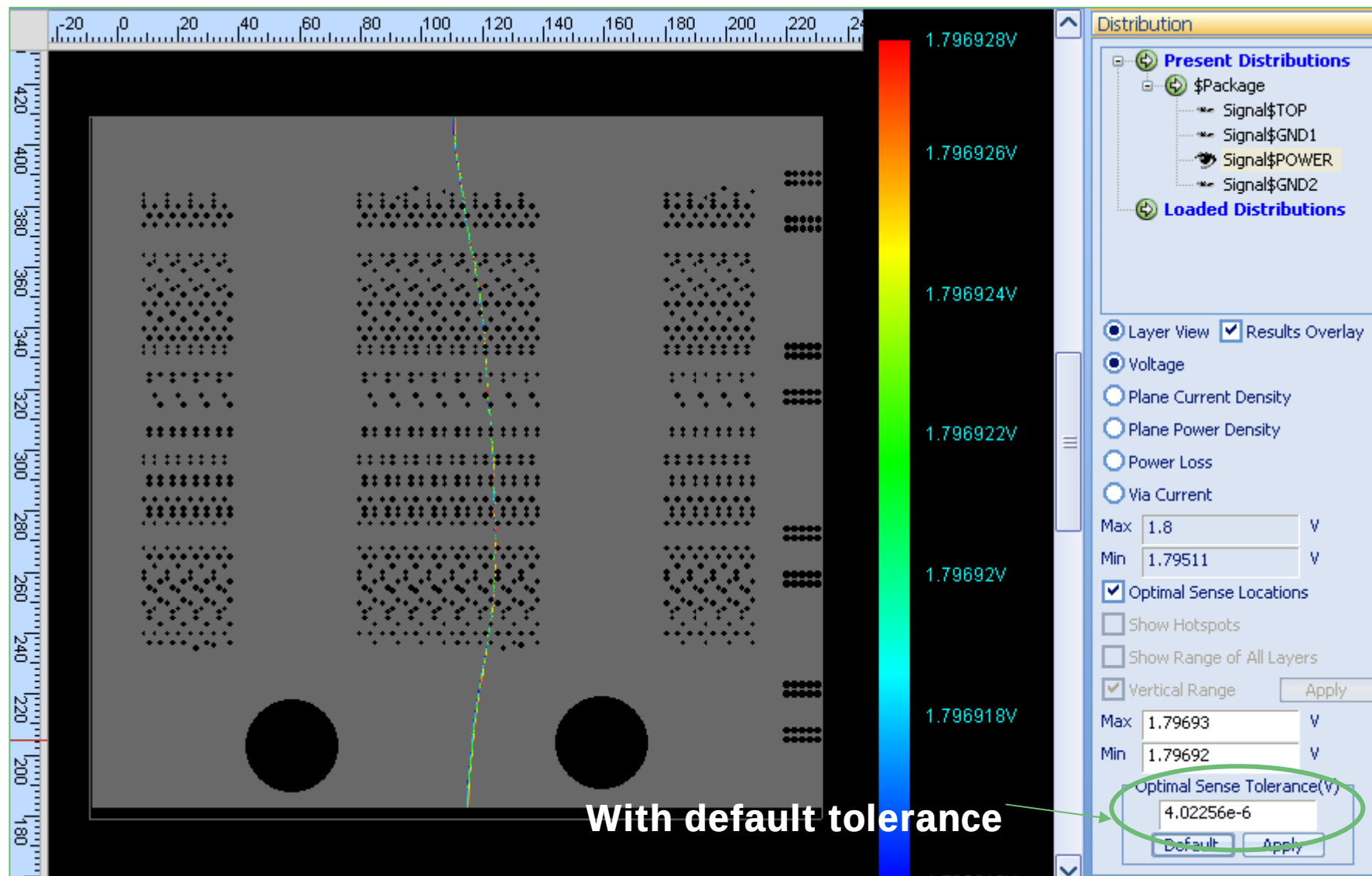
## 6. 寻找最优 VRM 感应线位置

# 最佳感应线位置

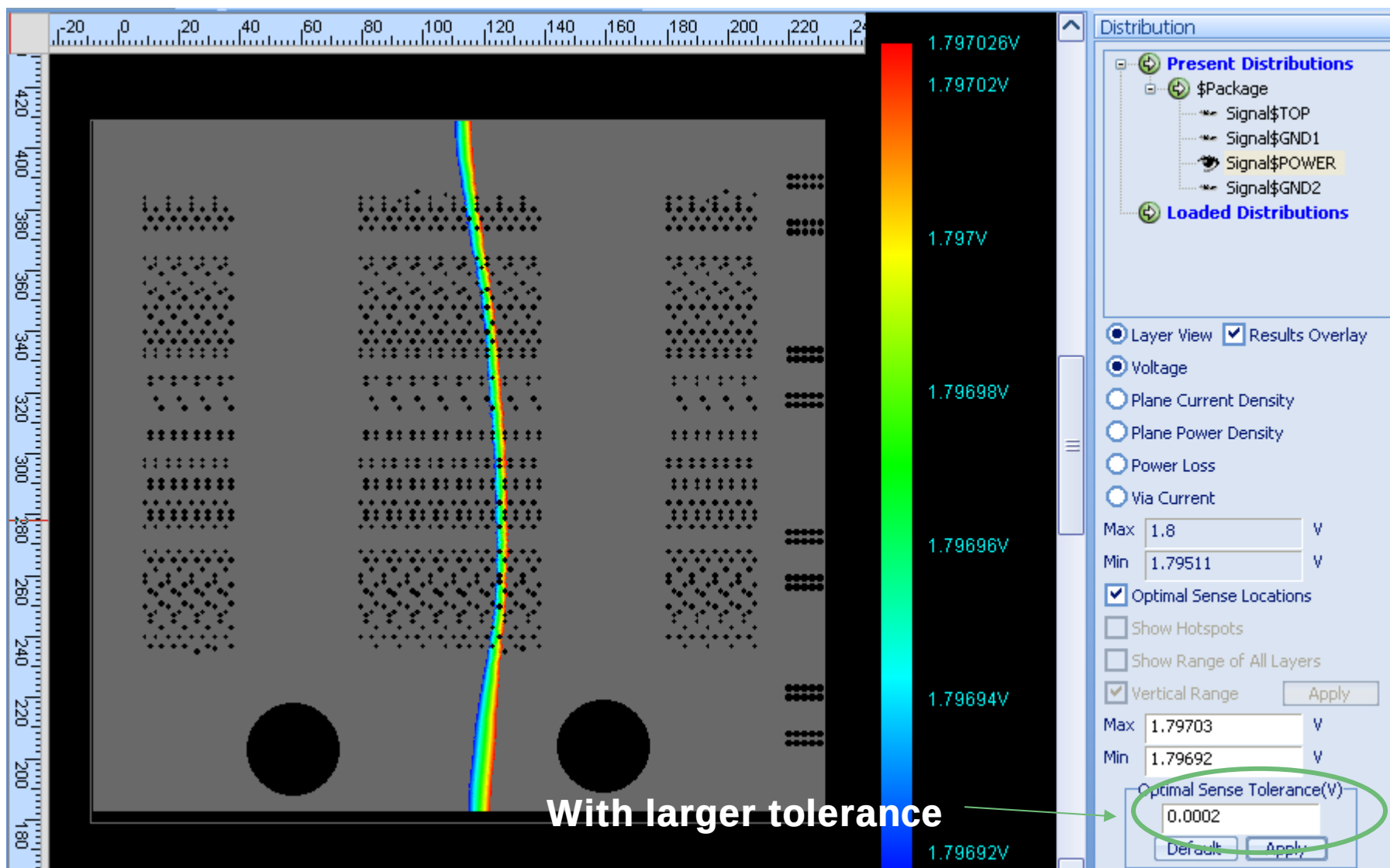
- **PowerDC**可帮助用户发现最佳的感应线位置，当
  - 只对一个电源网络进行PDC仿真时 (所有的VRM都是同一个电压值)
- 仿真后计算电压分布
- 在电压分布的菜单中，点击 ***Optimal sense locations***按钮
  - 然后尝试不同的容限观查最佳感应位置的变化
  - 容限变大时，最佳感应位置也变大



# 最佳感应线 (1)

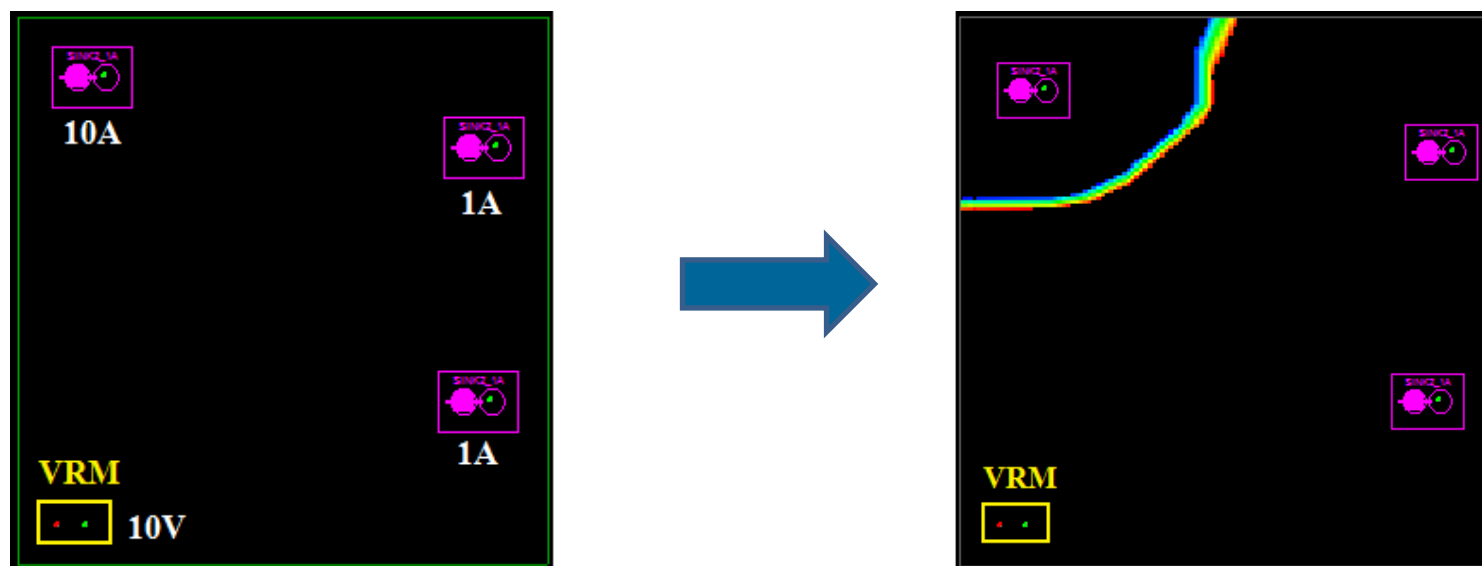


# 最佳感应线 (2)



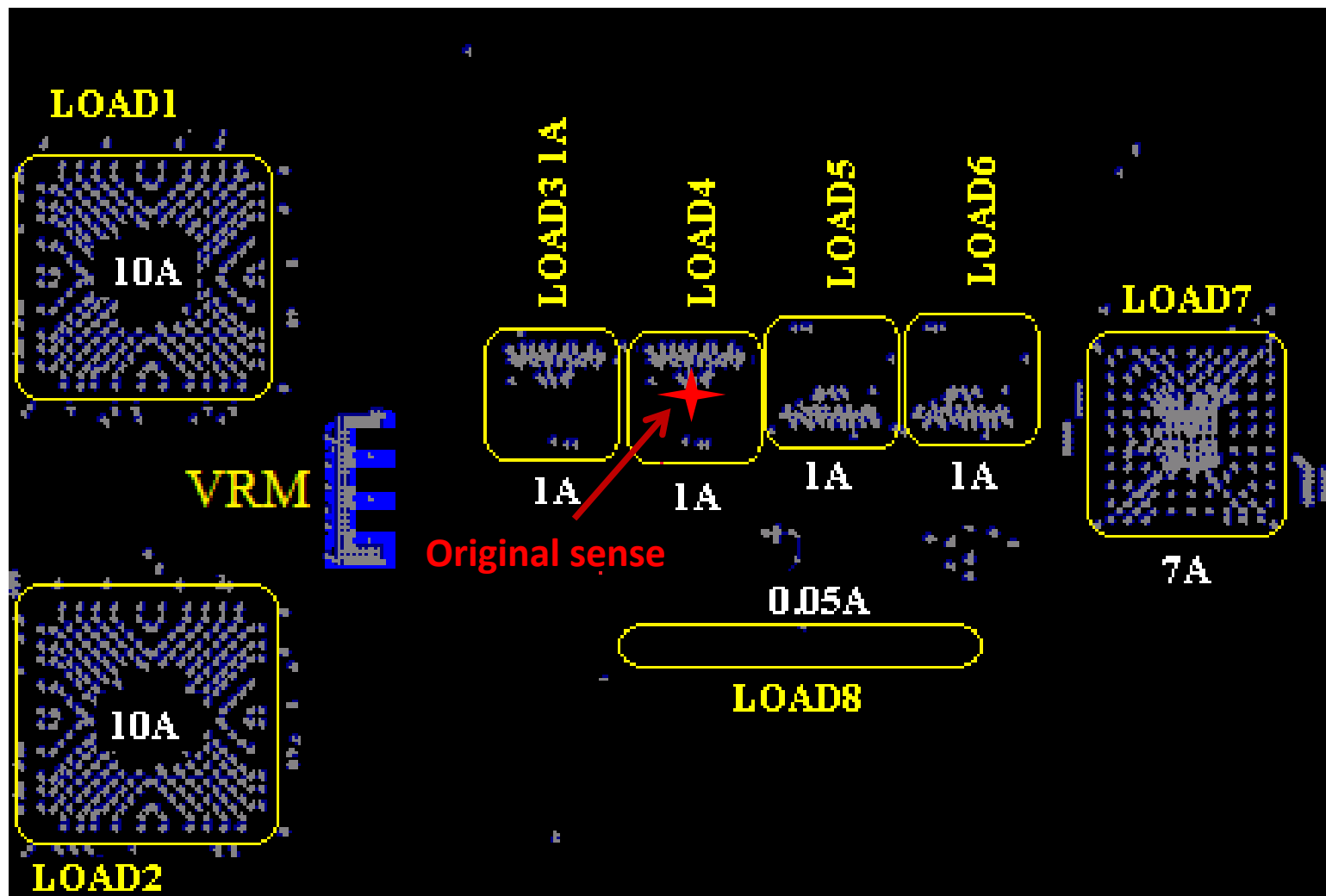
With larger tolerance

# 最佳VRM感应线位置

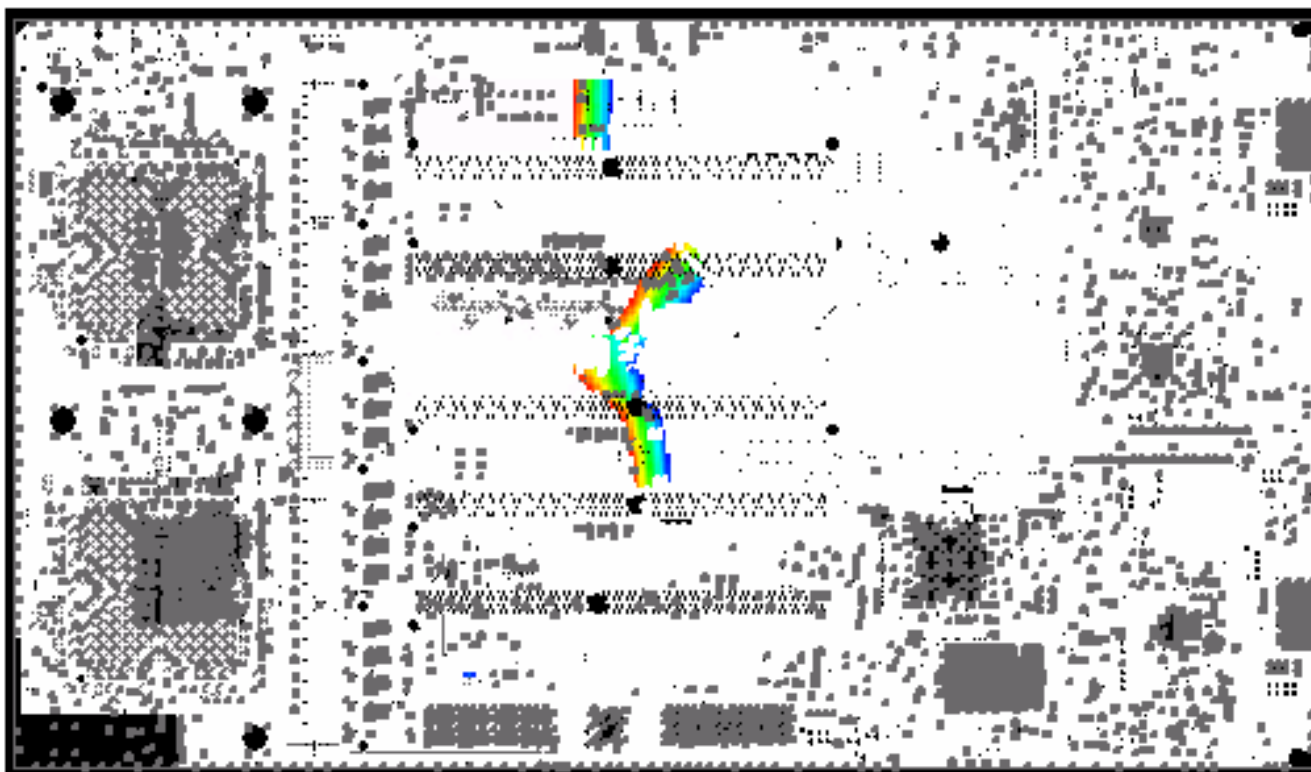




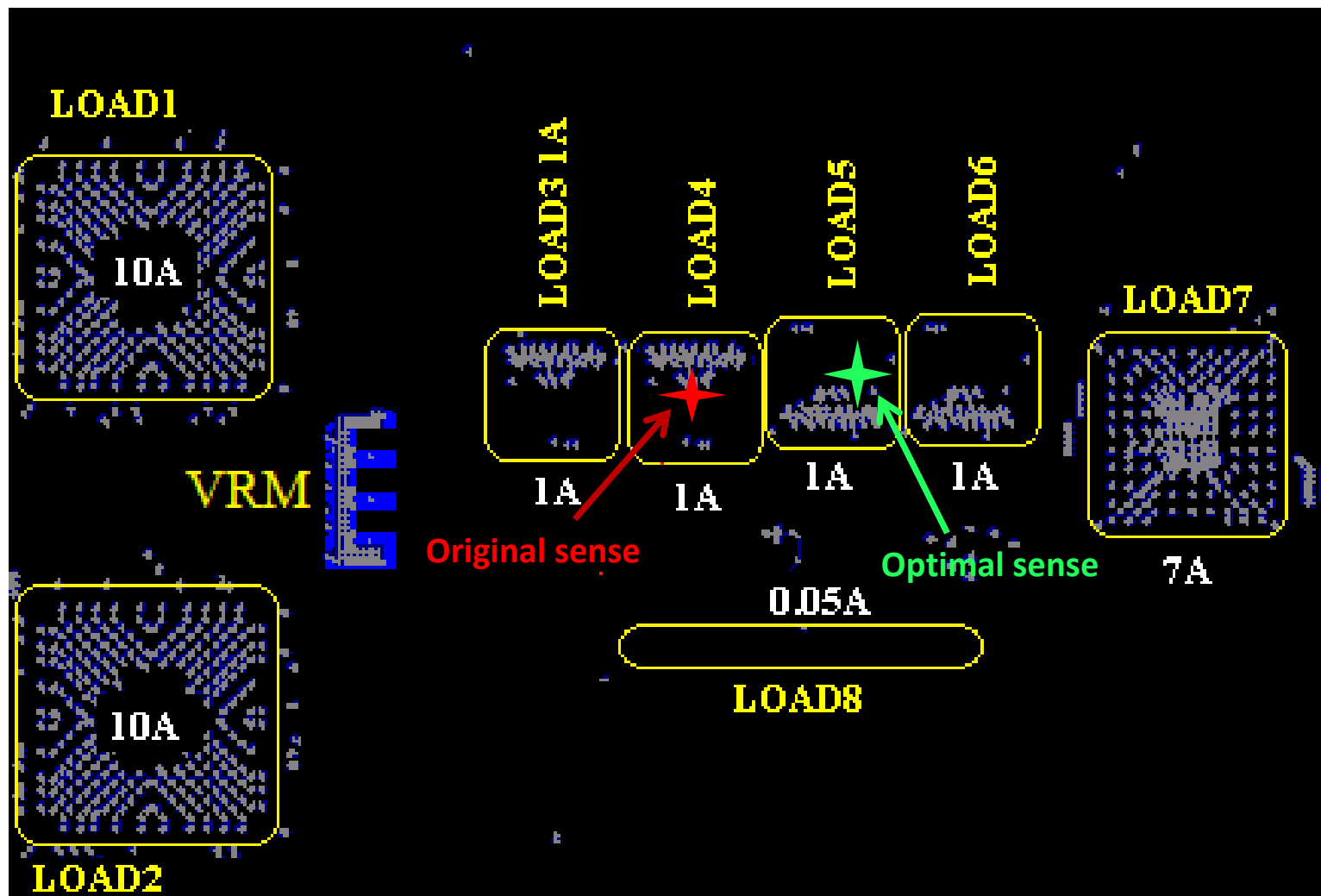
# 真实的设计



# 优化的感应线位置



# 将VRM感应线移到最佳位置



## 直流压降

|       | 初始感应线位置        | 最佳感应线位置        |
|-------|----------------|----------------|
| LOAD1 | +8.6mV         | +12.8mV        |
| LOAD2 | +10.2mV        | +14.5mV        |
| LOAD3 | +6.2mV         | +10.4mV        |
| LOAD4 | +0.6mV         | +4.8mV         |
| LOAD5 | -11.6mV        | -7.3mV         |
| LOAD6 | -5.5mV         | -1.3mV         |
| LOAD7 | <b>-22.5mV</b> | <b>-18.2mV</b> |
| LOAD8 | -20.2mV        | -15.9mV        |

直流容限 =  $\pm 2\%$  of 1.2V =  $\pm 24\text{mV}$

|        |       |       |
|--------|-------|-------|
| Margin | 1.5mV | 5.8mV |
|--------|-------|-------|

Margin Improved ? **4.3mV(18%)**

仅仅将感应线的位置移到了最佳位置，就可将直流压降的容限改善**18%**

谢谢!

**Key to the Power and Signal Integrity  
Solution for IC Packages and PCBs**