三极管的开关延迟

晶体管的开关速度即由其开关时间来表征，开关时间越短，开关速度就越快。BJT 的开关过程包含有开启和关断两个过程，相应地就有开启时间 ton 和关断时间 toff，晶体管的总开关时间就是 ton 与 toff 之和。

如何提高晶体管的开关速度？——可以从器件设计和使用技术两个方面来加以考虑。

（1）晶体管的开关时间：

晶体管的开关波形如图 1 所示。其中开启过程又分为延迟和上升两个过程，关断过程又分为存储和下降两个过程，则晶体管总的开关时间共有 4 个：延迟时间 td，上升时间 tr，存储时间 ts 和下降时间 tf；ton=td+tr， toff=ts+tf

在不考虑晶体管的管壳电容、布线电容等所引起的附加电容的影响时，晶体管的开关时间就主要决定于其本身的结构、材料和使用条件。

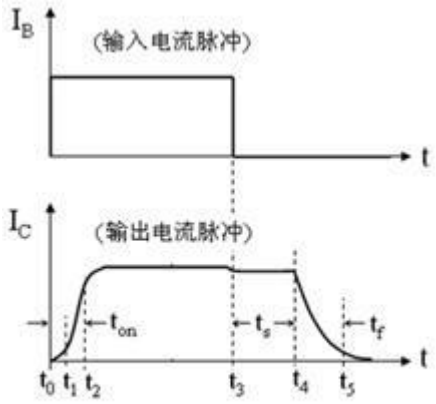

图 1　BJT 开关过程的电流波形

① 延迟时间 td：

延迟时间主要是对发射结和集电结势垒电容充电的时间常数。因此，减短延迟时间的主要措施，从器件设计来说，有如：减小发射结和集电结的面积（以减小势垒电容）和减小基极反向偏压的大小（以使得发射结能够尽快能进入正偏而开启晶体管）；而从晶体管使用来说，可以增大输入基极电流脉冲的幅度，以加快对结电容的充电速度（但如果该基极电流太大，则将使晶体管在导通后的饱和深度增加，这反而又会增长存储时间，所以需要适当选取）。

② 上升时间 tr：

上升导通时间是基区少子电荷积累到一定程度、导致晶体管达到临界饱和（即使

集电结 0 偏）时所需要的时间。因此，减短上升时间的主要措施，从器件设计来说有如：增长基区的少子寿命（以使少子积累加快），减小基区宽度和减小结面积（以减小临界饱和时的基区少子电荷量），以及提高晶体管的特征频率 fT（以在基区尽快建立起一定的少子浓度梯度，使集电极电流达到饱和）；而从晶体管使用来说，可以增大基极输入电流脉冲的幅度，以加快向基区注入少子的速度（但基极电流也不能过大，否则将使存储时间延长）。

③ 存储时间 ts：

存储时间就是晶体管从过饱和状态（集电结正偏的状态）退出到临界饱和状态（集电结 0 偏的状态）所需要的时间，也就是基区和集电区中的过量存储电荷消失的时间；。而这些过量少子存储电荷的消失主要是依靠复合作用来完成，所以从器件设计来说，减短存储时间的主要措施有如：在集电区掺 Au 等来减短集电区的少子寿命（以减少集电区的过量存储电荷和加速过量存储电荷的消失；但是基区少子寿命不能减得太短，否则会影响到电流放大系数），尽可能减小外延层厚度（以减少集电区的过量存储电荷）。而从晶体管使用来说，减短存储时间的主要措施有如：基极输入电流脉冲的幅度不要过大（以避免晶体管饱和太深，使得过量存储电荷减少），增大基极抽取电流（以加快过量存储电荷的消失速度）。

④ 下降时间 tf：

下降时间的过程与上升时间的过程恰巧相反，即是让临界饱和时基区中的存储电荷逐渐消失的一种过程。因此，为了减短下降时间，就应该减少存储电荷（减小结面积、减小基区宽度）和加大基极抽取电流。

总之，为了减短晶体管的开关时间、提高开关速度，除了在器件设计上加以考虑之外，在晶体管使用上也可以作如下的考虑：a）增大基极驱动电流，可以减短延迟时间和上升时间，但使存储时间有所增加；b）增大基极抽取电流，可以减短存储时间和下降时间。

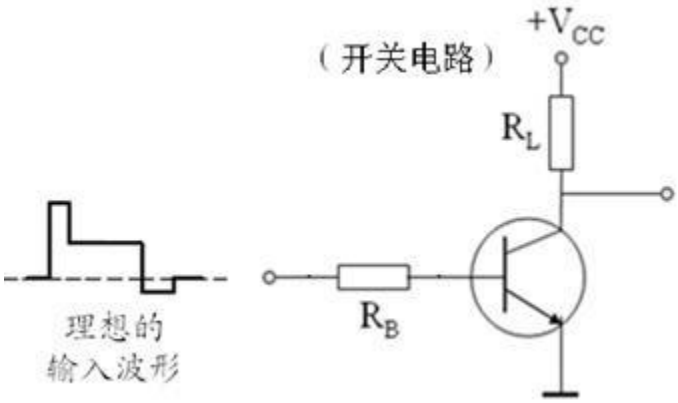

图 2

（2）晶体管的增速电容器：

在 BJT 采用电压驱动时，虽然减小基极外接电阻和增大基极反向电压，可以增大抽取电流，这对于缩短存储时间和下降时间都有一定的好处。但是，若基极外接电阻太小，则会增大输入电流脉冲的幅度，将使器件的饱和程度加深而反而导致存储时间延长；若基极反向电压太大，又会使发射结反偏严重而增加延迟时间，所以需要全面地进行折中考虑。可以想见，为了通过增大基极驱动电流来减短延迟时间和上升时间的同时、又不要增长存储时间和产生其它的副作用，理想的基极输入电流波形应该是如图 2 所示阶梯波的形式，这样的阶梯波输入即可克服上述矛盾，能够达到提高开关速度的目的。

实际上，为了实现理想的基极电流波形，可以方便地采用如图 3 所示的基极输入回路（微分电路），图中与基极电阻 RB 并联的 CB 就称为增速电容器。在基极输入回路中增加一个增速电容器之后，虽然输入的电流波形仍然是方波，但是通过增速电容器的作用之后，所得到的实际基极输入电流波形就变得很接近于理想的基极电流波形了，于是就可以减短开关时间、提高开关速度。

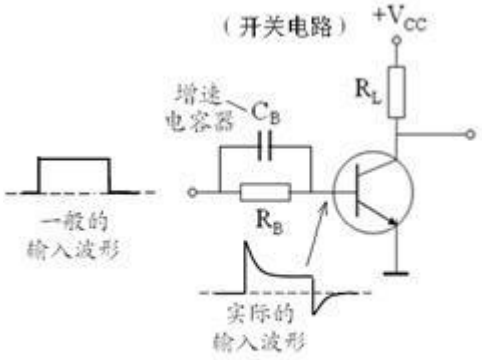

图 3　有增速电容器的开关电路