

# 功率MOSFET的封装失效分析

唐穗生

汕头华汕电子器件有限公司, 广东 汕头 515041

摘要: 在半导体器件的生产工艺过程中, MOSFET器件的芯片结构不同于普通晶体管, 而且, MOSFET器件对后道装配的要求也较高, 文中从生产实际出发, 对功率MOSFET器件在测试中出现的不良品进行了分析, 并对其失效机理和影响因素进行了探讨, 最后提出了相应的改进措施。

关键词: MOSFET; 封装; 失效机理

## 0 引言

与传统的双极型晶体管相比, 在实现同样功能的电子线路时, 使用MOSFET的电路则更加简单, 外围器件的数量大大减少, 成本降低, 体积也会大大缩小。另一方面, MOSFET是电压控制器件, 其输入电阻特别高, 控制电流非常小, 因而能够大大降低产品功耗, 节约能源。目前, 功率MOSFET已广泛应用于电脑、精密控制、开关电源和各种电力电子产品中。但是, 由于芯片结构上的差异, 功率MOSFET的后道封装比普通晶体管具有一定的难度, 而且产品质量容易产生波动, 生产过程的控制要求也更高。为此, 本文就TO-22封装的功率MOSFET产品在装配测试中出现的失效模式进行了初步的分析, 探讨了造成产品失效的主要因素。

## 1 产品失效模式

表1给出了一种75A产品的测试结果。从表1可以看出, 造成该批产品成品率较低的主要不良项目为热学参数 $\Delta V_{DS}$ 偏高和EAS(单脉冲能量雪崩)测试短路。

表1 75A产品的测试结果

测试 入数	良品 出数	成品 率	主要不良项目			
			$\Delta V_{DS}$ -High	比例	EAS Short	比例
9579	8533	89.08%	539	5.63%	417	4.33%

收稿日期: 2007-11-02

## 2 失效分析

### 2.1 $\Delta V_{DS}$ 不良

$\Delta V_{DS}$ 是一定偏置条件下 $V_{DS}$ 的变化值, 是考核产品在应用过程中散热能力的重要指标。在测试上, 主要用来考核产品装配过程中芯片和载芯片(框架)之间的结合情况。而在产品结构上, 通常是采用软焊料作为芯片粘合的介质, 图1所示是芯片装配结构图。假设不考虑芯片本身与框架因素的影响,  $\Delta V_{DS}$ 的大小取决于装配后的焊料层状况, 主要体现在以下三个方面:

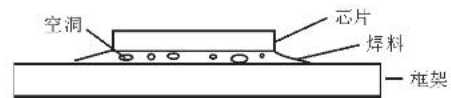


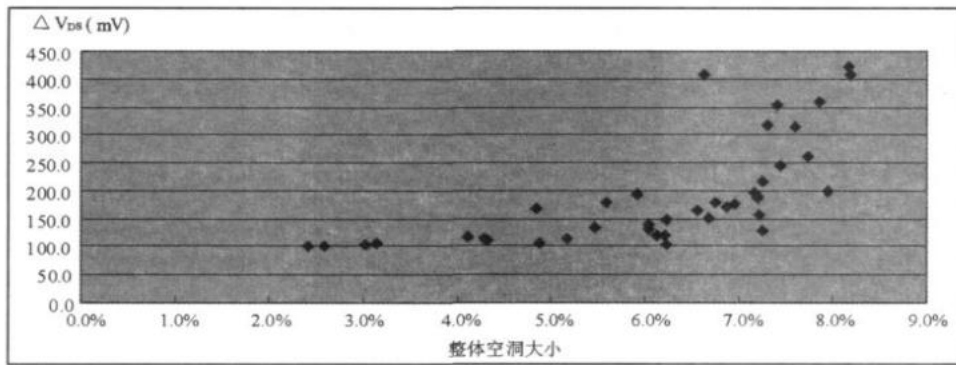
图1 芯片装配结构

- ① 芯片与焊料之间的接触;
- ② 焊料层的导热状况;
- ③ 焊料层与框架之间的接触。

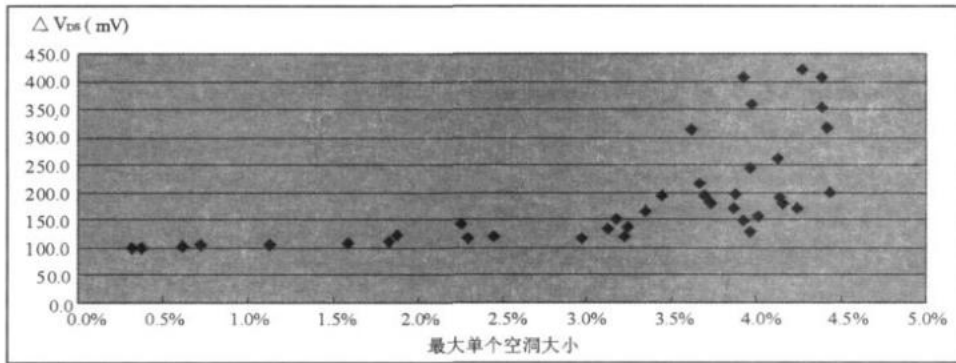
从不良品的解剖结果来看, 芯片与焊料、焊料层与框架之间的润湿、粘合都没有问题, 所以, 可以不考虑它们对 $\Delta V_{DS}$ 的影响。而使用X-RAY设备对不良品进行检查发现, 焊料层中存在有较大空洞。

为确定空洞对 $\Delta V_{DS}$ 的影响, 笔者对不良品和合格品的空洞与 $\Delta V_{DS}$ 之间的关系进行了比较。其结果如图2所示。

从图2可以看出, 整体空洞和单个空洞的大小对 $\Delta V_{DS}$ 都有明显的影响。当整体空洞或最大单



(a) 整体空洞大小与  $\Delta V_{DS}$  的关系



(b) 最大单个空洞大小与  $\Delta V_{DS}$  的关系

图2 空洞大小对  $\Delta V_{DS}$  的影响

个空洞小到某一程度 (如 6% 或 3.5%) 时,  $\Delta V_{DS}$  都能保持较低的水平 (如小于 200mV); 而当整体空洞或最大单个空洞太大时,  $\Delta V_{DS}$  的状况就不稳定, 因而不能保证其符合某一测试要求。

事实上, 空气的导热性能远不如金属和合金焊料。当焊料中存在空洞时, 芯片与框架的接触面积和散热情况将受到影响, 从而导致芯片局部温度升高, 此后 PN 结的结温也同时升高。由于材料的最高结温是一定的 (如硅材料的最高结温  $T_{jn} = 6400 / (40.45 + \ln \rho)$ ), 而 PN 结的正向电流与温度成正比关系 [11]:

$$I \propto e^{-E_g / (kT)}$$

因此, 当结温升高时, 其结电流就会进一步加大, 从而将造成恶性循环使结温超过最高限制值而烧毁芯片。因此, 合理控制装配过程中的焊料空洞, 就能提高芯片的散热性能, 从而使器件的温升降低, 工作性能更有保障。

造成空洞偏大的主要原因是芯片背材质量、焊料成分、粘接温度、气体保护和焊料粘污等。

此外, 生产上还应保证芯片的储存环境, 避免背材氧化, 尽量缩短芯片的存放周期。装配上

应选择润湿性较好的软焊料。设备加热区的温控调整能力应比较强, 稳定性要好, 并应有足够的气体保护氛围, 避免焊料氧化和表面粘污。

## 2.2 EAS不良

EAS测试是通过施加一单脉冲能量来考核 MOSFET 产品的承受能力, 用以剔除芯片本身存在的潜在缺陷或装配过程中造成轻微损伤的不良品, 从而使产品在使用前得到有效的筛选, 能够更可靠的工作。

EAS测试的不良品通常表现为栅极漏电流 IS-GS 超标或短路。由于栅氧化层很薄, 因而很容易受到杂质沾污、晶格缺陷或轻微损伤的影响。从解剖结果看, 主要包括图 3 所示的三种现象。

第一种情况是芯片表面存在一明显的烧穿斑点, 位于源极区内, 焊线装配状况正常, 芯片边缘没有其它损伤迹象。由此推断, 烧穿斑点来自芯片源极上的相应小单元, 因结构上存在某一缺陷而在大电流冲击下被烧坏。如图 3 (a)。

图 3 (b) 中的芯片源极区内也存在一烧穿斑点, 但位于源极焊球附近, 芯片表面其它状况正





Ⓐ 源极区有烧穿斑点



Ⓑ 源极焊球附近有烧穿斑点



Ⓒ 片内轻微缺陷或静

图3 EAS测试不良的三种原因

常。通过其它辅助测试,这种烧穿斑点与源极焊球边缘密切相关。因此怀疑,烧穿斑点应与焊接过程对栅极氧化层的损伤有关,它主要来自线材及焊头的毛刺以及固体颗粒粘污等。

第三种情况是芯片表面及焊线装配状况均正常,在普通显微镜下没有发现可疑点。一般认为,这种不良是由于芯片内部单元的轻微缺陷或静电损伤引起,使测试中漏电偏高,而被判为短路的,如图3 Ⓒ。

装配造成的焊接损伤可通过参数的调整,工具的监控等手段来加以保护。而为避免静电因素引起的损伤,在生产过程中,则应从环境到设备、操作等各个流通环节采取防静电措施并进行

检测。

### 3 结束语

综上所述,功率MOSFET产品在测试中存在的 $\Delta V_{DS}$ 偏高和EAS短路二种失效模式,一般与装配过程的空洞偏大、焊线损伤或芯片本身状况有着密切关系。

#### 参考资料

- ① 刘思科,朱秉升.半导体物理学 [M]北京:国防工业出版社,1979
- ② 庄同曾.集成电路制造技术——原理与实践 [M]北京:电子工业出版社,1978

止接第77页)

若客户端因特殊原因没有完成第三步,那么,服务器在发出SYN+ACK应答报文后,将无法收到客户端的ACK报文,此时服务器端一般会重试(再次发送SYN+ACK给客户端),并等待一段时间后丢弃这个未完成的连接。

当有恶意攻击者大量模拟这种情况时,服务器端将为了维护一个大量半连接的列表而消耗庞大的CPU时间和内存资源,从而使服务器忙于处理攻击者伪造的TCP连接请求而没时间响应客户的正常请求,最后使堆栈溢出崩溃,而对正常客户的TCP连接无法响应。

地域通信网系统为了提高自身的安全性,往往采用各种加密手段进行加密以防止入侵。但并不是说它就坚不可摧,要通过系统自身存在的缺陷寻找地域通信网中系统控制中心和节点中心的计算机,并对其进行DDoS攻击,就能使被攻击主机上有大量等待的TCP连接;从而使网络中充斥大量的无用数据包,并使源地址为假;制造高

流量无用数据就能造成网络拥塞,以使受害主机无法正常和外界通信;而利用受害主机提供的服务或传输协议上的缺陷,反复高速的发出特定的服务请求,则可使受害主机无法及时处理所有正常请求,甚至会让系统崩溃,从而使网络通信中断,造成网络瘫痪。

### 4 结束语

本文介绍了地域通信网的概况,并在此基础上分析了DDoS攻击的原理及方法。地域通信网可为部队提供多手段、多层次、可靠及时、操作方便和安全的通信联络,从而充分发挥战场诸兵种合成作战能力及各种武器效能,并最终影响战争的胜负。事实上,要在高科技条件下的局部军事斗争中取得制信息权、制电子权的绝对优势,就应采取相应的网络对抗方法对地域通信系统进行干扰、破坏,同时还应保障自身通信的通畅。