

MOSFET 结构

JFET 的基本想法(图 1)是通过调节(夹断)漏-源沟道之间的截面积来控制流过从源极到漏极的电流。利用反相偏置的结作为栅极可以实现这一点；其(反相)电压调节耗尽区，结果夹断沟道，并通过减少其截面积来提高它的电阻。由于栅极没有施加电压，沟道的电阻数值最低，并且流过器件的漏极电流最大。随着栅极电压的增加，两个耗尽区的开头前进，通过提高沟道电阻降低了漏极电流，直到两个耗尽区的开头相遇时才会出现总的夹断。

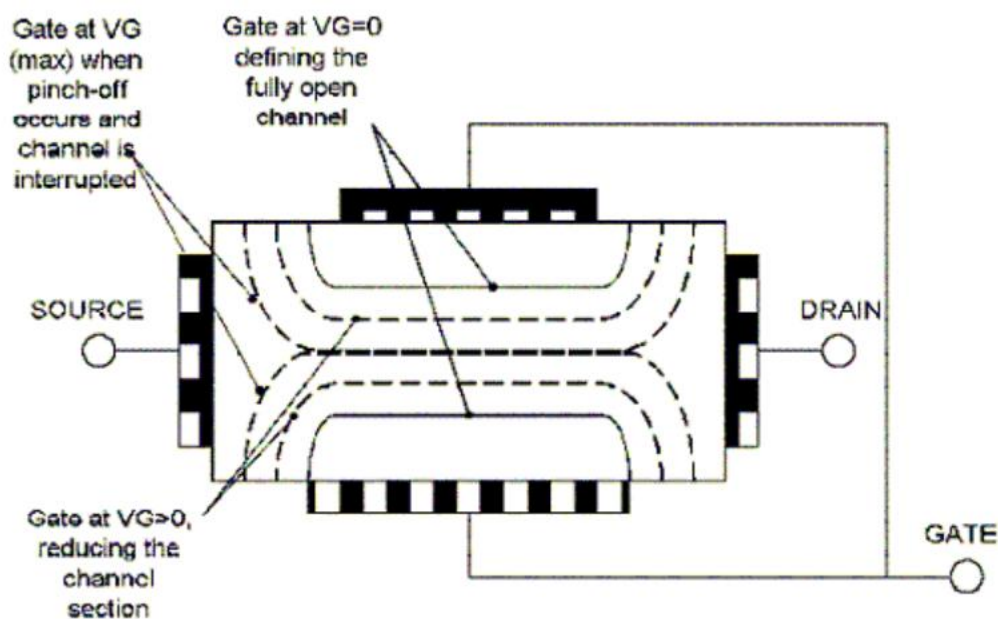


图 1: JFET 结构。

MOSFET 利用不同类型的栅极结构开发了 MOS 电容的特性。通过改变施加在 MOS 结构的顶端电极的偏置的数值和极性，你可以全程驱动它下面的芯片直到反转。图 2 显示了一个 N 沟道 MOSFET 的简化结构，人们称之为垂直、双扩散结构，它以高度浓缩的 n 型衬底开始，以最小化沟道部分的体电阻。

在它上面要生长了一层 n-epi，并制成了两个连续的扩散区，p 区中合适的偏置将产生沟道，而在它里面扩散出的 n+区定义了源极。下一步，在形成磷掺杂多晶硅之后，要生长薄的高品质栅极氧化层，从而形成栅极。要在定义源极和栅电极的顶层上开接触窗口，与此同时，整个晶圆的底层使漏极接触。由于在栅极上没有偏置，n+源和 n 漏被 p 区分隔，并且没有电流流过(三极管被关闭)。

如果向栅极施加正偏置，在 p 区中的少数载流子(电子)就被吸引到栅极板下面的表面。随着偏置电压的增加，越来越多的电子被禁闭在这块小空间之中，本地的“少子”集中比空穴(p)集中还要多，从而出现“反转”(意味着栅极下面的材料立即从 p 型变成 n 型)。现在，在把源极连接到漏极的栅结构的下面的 p 型材料中形成了 n“沟道”；电流可以流过。就像在 JFET(尽管物理现象不同)中的情形一样，栅极(依靠其电压偏置)控制源极和漏极之间的电流。

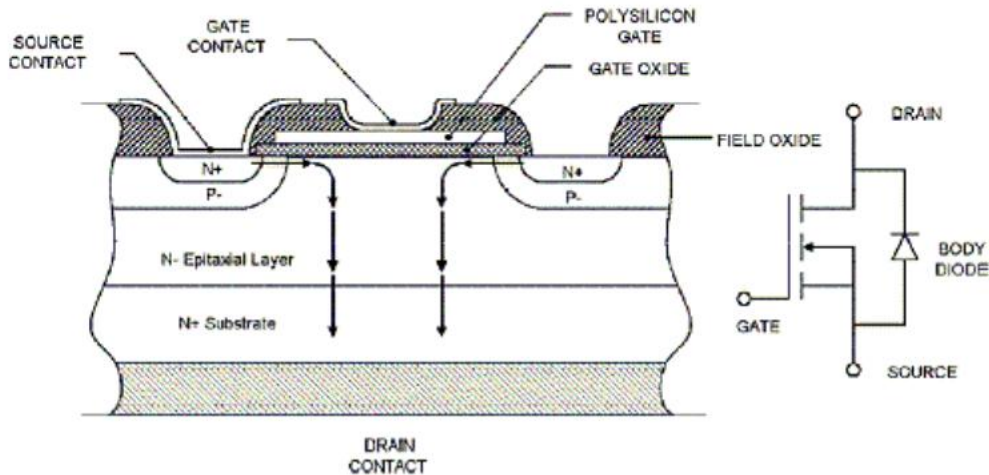


图 2: MOSFET 结构和符号。

MOSFET 制造商很多，几乎每一家制造商都有其工艺优化和商标。IR 是 HEXFET 先锋，摩托罗拉构建了 TMOS，Ixys 制成了 HiPerFET 和 MegaMOS，西门子拥有 SIPMOS 家族的功率三极管，而 Advanced Power Technology 拥有 Power MOS IV 技术，不一而足。不论工艺被称为 VMOS、TMOS 或 DMOS，它都具有水平的栅结构且电流垂直流过栅极。

功率 MOSFET 的特别之处在于：包含像图 2 中并行连接所描述的那样的多个“单元”的结构。具有相同 $R_{DS(on)}$ 电阻的 MOSFET 并联，其等效电阻为一个 MOSFET 单元的 $R_{DS(on)}$ 的 $1/n$ 。裸片面积越大，其导通电阻就越低，但是，与此同时，寄生电容就越大，因此，其开关性能就越差。

如果一切都是如此严格成正比且可以预测的话，有什么改进的办法吗？是的，其思路就是最小化(调低)基本单元的面积，这样在相同的占位空间中可以集成更多的单元，从而使 $R_{DS(on)}$ 下降，并维持电容不变。为了成功地改良每一代 MOSFET 产品，有必要持续地进行技术改良并改进晶圆制造工艺(更出色的线蚀刻、更好的受控灌注等等)。

但是，持续不断地努力开发更好的工艺技术不是改良 MOSFET 的唯一途径；概念设计的变革可能会极大地提高性能。这样的突破就是飞利浦去年 11 月宣布：开发成功 TrenchMOS 工艺。其栅结构不是与裸片表面平行，现在是构建在沟道之中，垂直于表面，因此，占用的空间较少并且使电流的流动真正是垂直的(见图 3)。在 $R_{DS(on)}$ 相同的情况下，飞利浦的三极管把面积减少了 50%；或者，在相同的电流处理能力下，把面积减少了 35%。

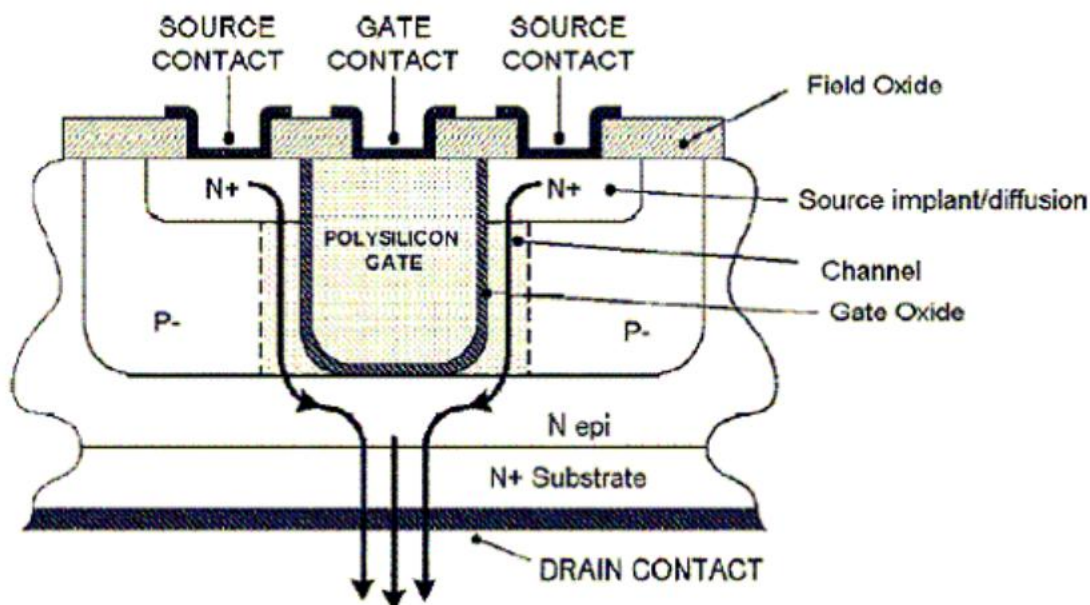


图 3: Trench MOS 结构。

MOSFET 的选择

MOSFET 有两大类型: N 沟道和 P 沟道。在功率系统中, MOSFET 可被看成电气开关。当在 N 沟道 MOSFET 的栅极和源极间加上正电压时, 其开关导通。导通时, 电流可经开关从漏极流向源极。漏极和源极之间存在一个内阻, 称为导通电阻 $R_{DS(ON)}$ 。必须清楚 MOSFET 的栅极是个高阻抗端, 因此, 总是要在栅极加上一个电压。如果栅极为悬空, 器件将不能按设计意图工作, 并可能在不当的时刻导通或关闭, 导致系统产生潜在的功率损耗。当源极和栅极间的电压为零时, 开关关闭, 而电流停止通过器件。虽然这时器件已经关闭, 但仍然有微小电流存在, 这称之为漏电流, 即 I_{DSS} 。

第一步: 选用 N 沟道还是 P 沟道

为设计选择正确器件的第一步是决定采用 N 沟道还是 P 沟道 MOSFET。在典型的功率应用中, 当一个 MOSFET 接地, 而负载连接到干线电压上时, 该 MOSFET 就构成了低压侧开关。在低压侧开关中, 应采用 N 沟道 MOSFET, 这是出于对关闭或导通器件所需电压的考虑。当 MOSFET 连接到总线及负载接地时, 就要用高压侧开关。通常会在这个拓扑中采用 P 沟道 MOSFET, 这也是出于对电压驱动力的考虑。

要选择适合应用的器件, 必须确定驱动器件所需的电压, 以及在设计中最简易执行的方法。下一步是确定所需的额定电压, 或者器件所能承受的最大电压。额定电压越大, 器件的成本就越高。根据实践经验, 额定电压应当大于干线电压或总线电压。这样才能提供足够的保护, 使 MOSFET 不会失效。就选择 MOSFET 而言, 必须确定漏极至源极间可能承受的最大电压, 即最大 V_{DS} 。知道 MOSFET 能承受的最大电压会随温度而变化这点十分重要。设计人员必须在整个工作温度范围内测试电压的变化范围。额定电压必须有足够的余量覆盖这个变化范围, 确保电路不会失效。设计工程师需要考虑的其他安全因素包括由开关电子设备(如电机或变压器)诱发的电压瞬变。不同应用的额定电压也有所不同: 通常, 便携式设备为 20V、FPGA 电源为 20~30V、85~220VAC 应用为 450~600V。

第二步: 确定额定电流

第二步是选择 MOSFET 的额定电流。视电路结构而定, 该额定电流应是负载在所有情况下能够承受的最大电流。与电压的情况相似, 设计人员必须确保所选的 MOSFET 能承受这个额定电流, 即使在系统产生尖峰电流时。两个考虑的电流情况是连续模式和脉冲尖峰。在连续导通模式下, MOSFET 处于稳态, 此时电流连续通过器件。脉冲尖峰是指有大量电涌(或尖峰电流)流过器件。一旦确定了这些条件下的最大电流, 只需直接选择能承受这个最大电流的器件便可。

选好额定电流后，还必须计算导通损耗。在实际情况下，MOSFET并不是理想的器件，因为在导电过程中会有电能损耗，这称之为导通损耗。MOSFET在“导通”时就像一个可变电阻，由器件的 $R_{DS(ON)}$ 所确定，并随温度而显著变化。器件的功率耗损可由 $I_{load}^2 \times R_{DS(ON)}$ 计算，由于导通电阻随温度变化，因此功率耗损也会随之按比例变化。对MOSFET施加的电压 V_{GS} 越高， $R_{DS(ON)}$ 就会越小；反之 $R_{DS(ON)}$ 就会越高。对系统设计人员来说，这就是取决于系统电压而需要折中权衡的地方。对便携式设计来说，采用较低的电压比较容易(较为普遍)，而对于工业设计，可采用较高的电压。注意 $R_{DS(ON)}$ 电阻会随着电流轻微上升。关于 $R_{DS(ON)}$ 电阻的各种电气参数变化可在制造商提供的技术资料表中查到。

技术对器件的特性有着重大影响，因为有些技术在提高最大 V_{DS} 时往往会使 $R_{DS(ON)}$ 增大。对于这样的技术，如果打算降低 V_{DS} 和 $R_{DS(ON)}$ ，那么就增加晶片尺寸，从而增加与之配套的封装尺寸及相关的开发成本。业界现有好几种试图控制晶片尺寸增加的技术，其中最主要的是沟道和电荷平衡技术。

在沟道技术中，晶片中嵌入了一个深沟，通常是低电压预留的，用于降低导通电阻 $R_{DS(ON)}$ 。为了减少最大 V_{DS} 对 $R_{DS(ON)}$ 的影响，开发过程中采用了外延生长柱/蚀刻柱工艺。例如，飞兆半导体开发了称为SuperFET的技术，针对 $R_{DS(ON)}$ 的降低而增加了额外的制造步骤。这种对 $R_{DS(ON)}$ 的关注十分重要，因为当标准MOSFET的击穿电压升高时， $R_{DS(ON)}$ 会随之呈指数级增加，并且导致晶片尺寸增大。SuperFET工艺将 $R_{DS(ON)}$ 与晶片尺寸间的指数关系变成了线性关系。这样，SuperFET器件便可在小晶片尺寸，甚至在击穿电压达到600V的情况下，实现理想的低 $R_{DS(ON)}$ 。结果是晶片尺寸可减小达35%。而对于最终用户来说，这意味着封装尺寸的大幅减小。

3. 高压 MOSFET 原理与性能分析

在功率半导体器件中，MOSFET以高速、低开关损耗、低驱动损耗在各种功率变换，特别是高频功率变换中起着重要作用。在低压领域，MOSFET没有竞争对手，但随着MOS的耐压提高，导通电阻随之以2.4-2.6次方增长，其增长速度使MOSFET制造者和应用者不得不以数十倍的幅度降低额定电流，以折中额定电流、导通电阻和成本之间的矛盾。即便如此，高压MOSFET在额定结温下的导通电阻产生的导通压降仍居高不下，耐压500V以上的MOSFET的额定结温、额定电流条件下的导通电压很高，耐压800V以上的导通电压高得惊人，导通损耗占MOSFET总损耗的2/3-4/5，使应用受到极大限制。

3.1 降低高压 MOSFET 导通电阻的原理与方法

3.1.1 不同耐压的 MOSFET 的导通电阻分布。不同耐压的 MOSFET，其导通电阻中各部分电阻比例分布也不同。如耐压 30V 的 MOSFET，其外延层电阻仅为总导通电阻的 29%，耐压 600V 的 MOSFET 的外延层电阻则是总导通电阻的 96.5%。由此可以推断耐压 800V 的 MOSFET 的导通电阻将几乎被外延层电阻占据。欲获得高阻断电压，就必须采用高电阻率的外延层，并增厚。这就是常规高压 MOSFET 结构所导致的高导通电阻的根本原因。

3.1.2 降低高压 MOSFET 导通电阻的思路。增加管芯面积虽能降低导通电阻，但成本的提高所付出的代价是商业品所不允许的。引入少数载流子导电虽能降低导通压降，但付出的代价是开关速度的降低并出现拖尾电流，开关损耗增加，失去了 MOSFET 的高速的优点。

以上两种办法不能降低高压 MOSFET 的导通电阻，所剩的思路就是如何将阻断高电压的低掺杂、高电阻率区域和导电通道的高掺杂、低电阻率分开解决。如除导通时低掺杂的高耐压外延层对导通电阻只能起增大作用外并无其他用途。这样，是否可以将导电通道以高掺杂较低电阻率实现，而在 MOSFET 关断时，设法使这个通道以某种方式夹断，使整个器件耐压仅取决于低掺杂的 N-外延层。基于这种思想，1988 年 INFINEON 推出内建横向电场耐压为 600V 的 COOLMOS，使这一想法得以实现。内建横向电场的高压 MOSFET 的剖面结构及高阻断电压低导通电阻的示意图如图 5 所示。

与常规 MOSFET 结构不同，内建横向电场的 MOSFET 嵌入垂直 P 区将垂直导电区域的 N 区夹在中间，使 MOSFET 关断时，垂直的

P 与 N 之间建立横向电场，并且垂直导电区域的 N 掺杂浓度高于其外延区 N 的掺杂浓度。

当 $V_{GS} < V_{TH}$ 时，由于被电场反型而产生的 N 型导电沟道不能形成，并且 D、S 间加正电压，使 MOSFET 内部 PN 结反偏形成耗尽层，并将垂直导电的 N 区耗尽。这个耗尽层具有纵向高阻断电压，如图 5 (b) 所示，这时器件的耐压取决于 P 与 N 的耐压。因此 N 的低掺杂、高电阻率是必需的。

当 $V_{GS} > V_{TH}$ 时，被电场反型而产生的 N 型导电沟道形成。源极区的电子通过导电沟道进入被耗尽的垂直的 N 区中和正电荷，从而恢复被耗尽的 N 型特性，因此导电沟道形成。由于垂直 N 区具有较低的电阻率，因而导电电阻较常规 MOSFET 将明显降低。

通过以上分析可以看到：阻断电压与导电电阻分别在不同的功能区域。将阻断电压与导电电阻功能分开，解决了阻断电压与导电电阻的矛盾，同时也将阻断时的表面 PN 结转化为掩埋 PN 结，在相同的 N-掺杂浓度时，阻断电压还可进一步提高。

3.2 内建横向电场 MOSFET 的主要特性

3.2.1 导电电阻的降低。INFINEON 的内建横向电场的 MOSFET，耐压 600V 和 800V，与常规 MOSFET 器件相比，相同的管芯面积，导电电阻分别下降到常规 MOSFET 的 1/5，1/10；相同的额定电流，导电电阻分别下降到 1/2 和约 1/3。在额定结温、额定电流条件下，导电电压分别从 12.6V，19.1V 下降到 6.07V，7.5V；导电损耗下降到常规 MOSFET 的 1/2 和 1/3。由于导电损耗的降低，发热减少，器件相对较凉，故称 COOLMOS。

3.2.2 封装的减小和热阻的降低。相同额定电流的 COOLMOS 的管芯较常规 MOSFET 减小到 1/3 和 1/4，使封装减小两个管壳规格，如表 1 所示。

表 1 封装与电流、电压额定值

由于 COOLMOS 管芯厚度仅为常规 MOSFET 的 1/3，使 TO-220 封装 R_{THJC} 从常规 1℃/W 降到 0.6℃/W；额定功率从 125W 上升到 208W，使管芯散热能力提高。

3.2.3 开关特性的改善。COOLMOS 的栅极电荷与开关参数均优于常规 MOSFET，很明显，由于 Q_G，特别是 Q_{GD} 的减少，使 COOLMOS 的开关时间约为常规 MOSFET 的 1/2；开关损耗降低约 50%。关断时间的下降也与 COOLMOS 内部低栅极电阻 (<1Ω) 有关。

3.2.4 抗雪崩击穿能力与 SCSOA。目前，新型的 MOSFET 无一例外地具有抗雪崩击穿能力。COOLMOS 同样具有抗雪崩能力。在相同额定电流下，COOLMOS 的 I_{AS} 与 ID25℃ 相同。但由于管芯面积的减小，I_{AS} 小于常规 MOSFET，而具有相同管芯面积时，I_{AS} 和 E_{AS} 则均大于常规 MOSFET。

COOLMOS 的最大特点之一就是它具有短路安全工作区 (SCSOA)，而常规 MOS 不具备这个特性。COOLMOS 的 SCSOA 的获得主要是由于转移特性的变化和管芯热阻降低。COOLMOS 的转移特性如图 6 所示。从图 6 可以看到，当 $V_{GS} > 8V$ 时，COOLMOS 的漏极电流不再增加，呈恒流状态。特别是在结温升高时，恒流值下降，在最高结温时，约为 ID25℃ 的 2 倍，即正常工作电流的 3-3.5 倍。在短路状态下，漏极电流不会因栅极的 15V 驱动电压而上升到不可容忍的十几倍的 ID25℃，使 COOLMOS 在短路时所耗散的功率限制在 350V×2ID25℃，尽可能地减少短路时管芯发热。管芯热阻降低可使管芯产生的热量迅速地散发到管壳，抑制了管芯温度的上升速度。因此，COOLMOS 可在正常栅极电压驱动，在 0.6V_{DSS} 电源电压下承受 10MS 短路冲击，时间间隔大于 1S，1000 次不损坏，使 COOLMOS 可像 IGBT 一样，在短路时得到有效的保护。

3.3 关于内建横向电场高压 MOSFET 发展现状

继 INFINEON1988 年推出 COOLMOS 后, 2000 年初 ST 推出 500V 类似于 COOLMOS 的内部结构, 使 500V, 12A 的 MOSFET 可封装在 TO-220 管壳内, 导通电阻为 0.35Ω , 低于 IRFP450 的 0.4Ω , 电流额定值与 IRFP450 相近。IXYS 也有使用 COOLMOS 技术的 MOSFET。IR 公司也推出了 SUPPER220, SUPPER247 封装的超级 MOSFET, 额定电流分别为 35A, 59A, 导通电阻分别为 0.082Ω , 0.045Ω , 150°C 时导通压降约 4.7V。从综合指标看, 这些 MOSFET 均优于常规 MOSFET, 并不是因为随管芯面积增加, 导通电阻就成比例地下降, 因此, 可以认为, 以上的 MOSFET 一定存在类似横向电场的特殊结构, 可以看到, 设法降低高压 MOSFET 的导通压降已经成为现实, 并且必将推动高压 MOSFET 的应用。

3.4 COOLMOS 与 IGBT 的比较

600V、800V 耐压的 COOLMOS 的高温导通压降分别约 6V, 7.5V, 关断损耗降低 1/2, 总损耗降低 1/2 以上, 使总损耗为常规 MOSFET 的 40%-50%。常规 600V 耐压 MOSFET 导通损耗占总损耗约 75%, 对应相同总损耗超高速 IGBT 的平衡点达 160KHZ, 其中开关损耗约占 75%。由于 COOLMOS 的总损耗降到常规 MOSFET 的 40%-50%, 对应的 IGBT 损耗平衡频率将由 160KHZ 降到约 40KHZ, 增加了 MOSFET 在高压中的应用。

从以上讨论可见, 新型高压 MOSFET 使长期困扰高压 MOSFET 的导通压降高的问题得到解决; 可简化整机设计, 如散热器体积可减少到原 40%左右; 驱动电路、缓冲电路简化; 具备抗雪崩击穿能力和抗短路能力; 简化保护电路并使整机可靠性得以提高。

三、电力场效应管的动态特性和主要参数

1、 动态特性

动态特性主要描述输入量与输出量之间的时间关系, 它影响器件的开关过程。由于该器件为单极型, 靠多数载流子导电, 因此开关速度快、时间短, 一般在纳秒数量级。Power MOSFET 的动态特性。如图 3 所示。

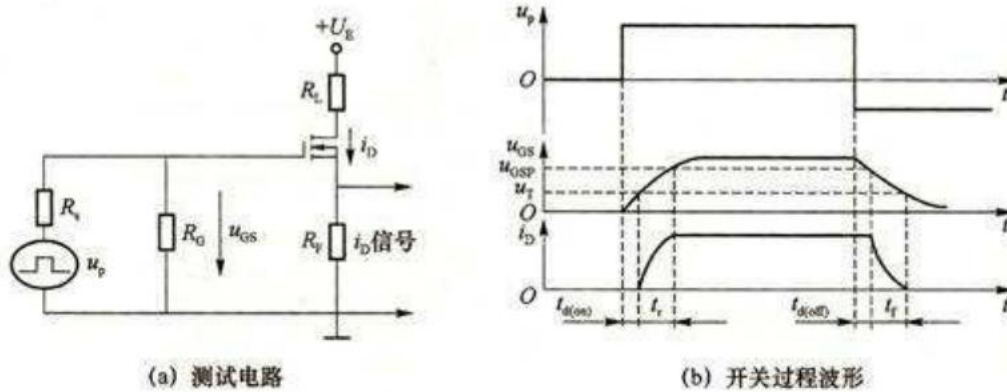


图 3 Power MOSFET 的动态特性

Power MOSFET 的动态特性用图 3(a)电路测试。图中， u_p 为矩形脉冲电压信号源； R_s 为信号源内阻； R_G 为栅极电阻； R_L 为漏极负载电阻； R_F 用以检测漏极电流。

Power MOSFET 的开关过程波形，如图 3(b)所示。

Power MOSFET 的开通过程：由于 Power MOSFET 有输入电容，因此当脉冲电压 u_p 的上升沿到来时，输入电容有一个充电过程，栅极电压 u_{GS} 按指数曲线上升。当 u_{GS} 上升到开启电压 U_T 时，开始形成导电沟道并出现漏极电流 i_D 。从 u_p 前沿时刻到 $u_{GS}=U_T$ ，且开始出现 i_D 的时刻，这段时间称为开通延长时间 $t_{d(on)}$ 。此后， i_D 随 u_{GS} 的上升而上升， u_{GS} 从开启电压 U_T 上升到 Power MOSFET 临近饱和区的栅极电压 u_{GSP} 这段时间，称为上升时间 t_r 。这样 Power MOSFET 的开通时间 $t_{on}=t_{d(on)}+t_r$ (2)

Power MOSFET 的关断过程：当 u_p 信号电压下降到 0 时，栅极输入电容上储存的电荷通过电阻 R_s 和 R_G 放电，使栅极电压按指数曲线下降，当下降到 u_{GSP} 继续下降， i_D 才开始减小，这段时间称为关断延长时间 $t_{d(off)}$ 。此后，输入电容继续放电， u_{GS} 继续下降， i_D 也继续下降，到 $u_{GS}<U_T$ 时导电沟道消失， $i_D=0$ ，这段时间称为下降时间 t_f 。这样 Power MOSFET 的关断时间 $t_{off}=t_{d(off)}+t_f$ (3)

从上述分析可知，要提高器件的开关速度，则必须减小开关时间。在输入电容一定的情况下，可以通过降低驱动电路的内阻 R_s 来加快开关速度。

电力场效应晶体管是压控器件，在静态时几乎不输入电流。但在开关过程中，需要对输入电容进行充放电，故仍需要一定的驱动功率。工作速度越快，需要的驱动功率越大。

2. 动态参数

(1) 极间电容

Power MOSFET 的 3 个极之间分别存在极间电容 C_{GS} 、 C_{GD} 、 C_{DS} 。通常生产厂家提供的是漏源极断路时的输入电容 C_{ISS} 、共源极输出电容 C_{OSS} 、反向转移电容 C_{RSS} 。它们之间的关系为

$$C_{ISS}=C_{GS}+C_{GD} \quad (4)$$

$$C_{OSS}=C_{GD}+C_{DS} \quad (5)$$

$$C_{ISS} = C_{GD} \quad (6)$$

前面提到的输入电容可近似地用 C_{ISS} 来代替。

(2) 漏源电压上升率

器件的动态特性还受漏源电压上升率的限制，过高的 du/dt 可能导致电路性能变差，甚至引起器件损坏。

四、电力场效应管的安全工作区

1、正向偏置安全工作区

正向偏置安全工作区，如图 4 所示。它是由最大漏源电压极限线 I、最大漏极电流极限线 II、漏源通态电阻线 III 和最大功耗限制线 IV，4 条边界极限所包围的区域。图中示出了 4 种情况：直流 DC，脉宽 10ms，1ms，10 μ s。它与 GTR 安全工作区比有 2 个明显的区别：①因无二次击穿问题，所以不存在二次击穿功率 P_{SB} 限制线；②因为它通态电阻较大，导通功耗也较大，所以不仅受最大漏极电流的限制，而且还受通态电阻的限制。

2、开关安全工作区

开关安全工作区为器件工作的极限范围，如图 5 所示。它是由最大峰值电流 I_{DM} 、最小漏极击穿电压 BU_{DS} 和最大结温 T_{JM} 决定的，超出该区域，器件将损坏。

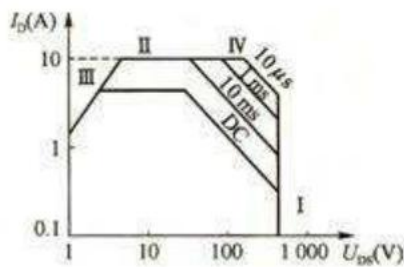


图4 电力场效应管正向偏置的安全工作区

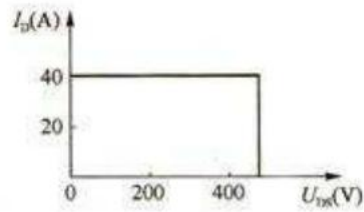


图5 电力场效应管的开关安全工作区

3、转换安全工作区

因电力场效应管工作频率高，经常处于转换过程中，而器件中又存在寄生等效二极管，它影响到管子的转换问题。为限制寄生二极管的反向恢复电荷的数值，有时还需定义转换安全工作区。

器件在实际应用中，安全工作区应留有一定的富裕度。

五、电力场效应管的驱动和保护

1、电力场效应管的驱动电路

电力场效应管是单极型压控器件，开关速度快。但存在极间电容，器件功率越大，极间电容也越大。为提高其开关速度，要求驱动电路必须有足够高的输出电压、较高的电压上升率、较小的输出电阻。另外，还需要一定的栅极驱动电流。

开通时，栅极电流可由下式计算：

$$I_{Gon} = C_{iss} u_{GS} / t_r = (C_{GS} + C_{GD}) u_{GS} / t_r \quad (7)$$

关断时，栅极电流由下式计算：

$$I_{Goff} = C_{GD} u_{DS} / t_f \quad (8)$$

式(7)是选取开通驱动元件的主要依据，式(8)是选取关断驱动元件的主要依据。

为了满足对电力场效应管驱动信号的要求，一般采用双电源供电，其输出与器件之间可采用直接耦合或隔离器耦合。

电力场效应管的一种分立元件驱电路，如图6所示。电路由输入光电隔离和信号放大两部分组成。当输入信号 u_i 为0时，光电耦合器截止，运算放大器A输出低电平，三极管 V_3 导通，驱动电路约输出负20V驱动电压，使电力场效应管关断。当输入信号 u_i 为正时，光耦导通，运放A输出高电平，三极管 V_2 导通，驱动电路约输出正20V电压，使电力场效应管开通。

2、电力场效应管的保护措施

电力场效应管的绝缘层易被击穿是它的致命弱点，栅源电压一般不得超过 $\pm 20V$ 。因此，在应用时必须采用相应的保护措施。通常有以下几种：

(1) 防静电击穿

电力场效应管最大的优点是有很高的输入阻抗，因此在静电较强的场合易被静电击穿。为此，应注意：

- ① 储存时，应放在具有屏蔽性能的容器中，取用时工作人员要通过腕带良好接地；
- ② 在器件接入电路时，工作台和烙铁必须良好接地，且烙铁断电焊接；
- ③ 测试器件时，仪器和工作台都必须良好接地。

(2) 防偶然性震荡损坏

当输入电路某些参数不合适时，可能引志震荡而造成器件损坏。为此，可在栅极输入电路中串入电阻。

(3) 防栅极过电压

可在栅源之间并联电阻或约20V的稳压二极管。

(4) 防漏极过电流

由于过载或短路都会引起过大的电流冲击，超过 I_{DM} 极限值，此时必须采用快速保护电路使用器件迅速断开主回路。