

MOSFET 损坏的原因分析及解决方法

MOSFET 是：（Metal Oxide Semiconductor 金属氧化物半导体），（Field Effect Transistor 场效应晶体管），即以金属层（M）的栅极隔着氧化层（O）利用电场的效应来控制半导体（S）的场效应晶体管。

功率场效应晶体管也分为结型和绝缘栅型,但通常主要指绝缘栅型中的 MOS 型（Metal Oxide Semiconductor FET）,简称功率 MOSFET（Power MOSFET）。结型功率场效应晶体管一般称作静电感应晶体管（Static Induction Transistor——SIT）。其特点是用栅极电压来控制漏极电流，驱动电路简单，需要的驱动功率小，开关速度快，工作频率高，热稳定性优于 GTR，但其电流容量小，耐压低，一般只适用于功率不超过 10kW 的电力电子装置。

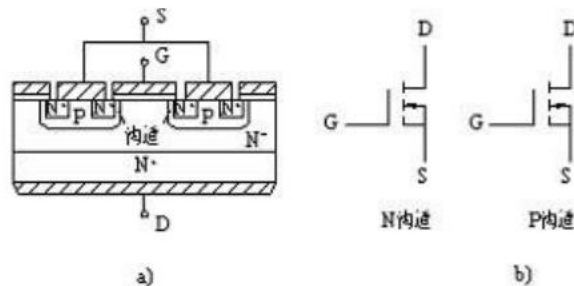


图 1 功率 MOSFET 的结构和电气图形符号
a) 内部结构断面示意图 b) 电气图形符号

2. 功率 MOSFET 的结构和工作原理

功率 MOSFET 的种类：按导电沟道可分为 P 沟道和 N 沟道。按栅极电压幅值可分为：耗尽型；当栅极电压为零时漏源极之间就存在导电沟道，增强型；对于 N（P）沟道器件，栅极电压大于（小于）零时才存在导电沟道，功率 MOSFET 主要是 N 沟道增强型。

2.1 功率 MOSFET 的结构

功率 MOSFET 的内部结构和电气符号如图 1 所示；其导通时只有一种极性的载流子(多子)参与导电，是单极型晶体管。导电机理与小功率 mos 管相同，但结构上有较大区别，小功率 MOS 管是横向导电器件，功率 MOSFET 大都采用垂直导电结构，又称为 VMOSFET (Vertical MOSFET)，大大提高了 MOSFET 器件的耐压和耐电流能力。

按垂直导电结构的差异，又分为利用 V 型槽实现垂直导电的 VVMOSFET 和具有垂直导电双扩散 MOS 结构的 VDMOSFET (Vertical Double-diffused MOSFET)，本文主要以 VDMOS 器件为例进行讨论。

功率 MOSFET 为多元集成结构，如国际整流器公司 (International Rectifier) 的 HEX FET 采用了六边形单元；西门子公司 (Siemens) 的 SIPMOSFET 采用了正方形单元；摩托罗拉公司 (Motorola) 的 TMOS 采用了矩形单元按“品”字形排列。

2.2 功率 MOSFET 的工作原理

截止：漏源极间加正电源，栅源极间电压为零。P 基区与 N 漂移区之间形成的 PN 结 J₁ 反偏，漏源极之间无电流流过。

导电：在栅源极间加正电压 U_{GS} ，栅极是绝缘的，所以不会有栅极电流流过。但栅极的正电压会将其下面 P 区中的空穴推开，而将 P 区中的少子—电子吸引到栅极下面的 P 区表面

当 U_{GS} 大于 U_T （开启电压或阈值电压）时，栅极下 P 区表面的电子浓度将超过空穴浓度，使 P 型半导体反型成 N 型而成为反型层，该反型层形成 N 沟道而使 PN 结 J1 消失，漏极和源极导电。

2.3 功率 MOSFET 的基本特性

2.3.1 静态特性；其转移特性和输出特性如图 2 所示。

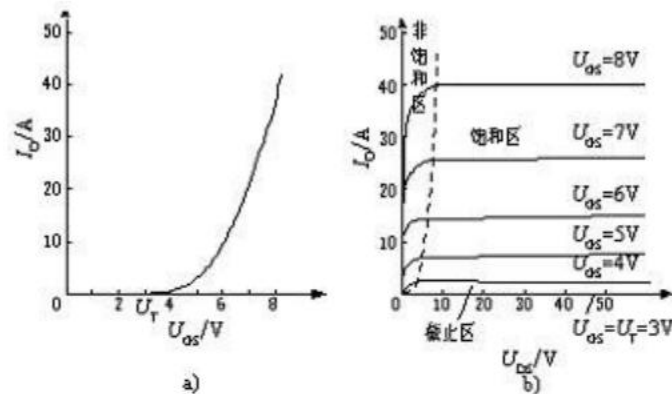


图 2 电力 MOSFET 的转移特性和输出特性
a) 转移特性 b) 输出特性

漏极电流 I_D 和栅源间电压 U_{GS} 的关系称为 MOSFET 的转移特性， I_D 较大时， I_D 与 U_{GS} 的关系近似线性，曲线的斜率定义为跨导 G_{fs}

MOSFET 的漏极伏安特性（输出特性）：截止区（对应于 GTR 的截止区）；饱和区（对应于 GTR 的放大区）；非饱和区（对应于 GTR 的饱和区）。电力 MOSFET 工作在开关状态，即在截止区和非饱和区之间来回转换。电力 MOSFET 漏源极之间有寄生二极管，漏源极间加反向电压时器件导通。电力 MOSFET 的通态电阻具有正温度系数，对器件并联时的均流有利。

2.3.2 动态特性；其测试电路和开关过程波形如图 3 所示。

开通过程；开通延迟时间 $t_d(\text{on})$ — u_p 前沿时刻到 $u_{GS}=U_T$ 并开始出现 i_D 的时刻间的时间段；

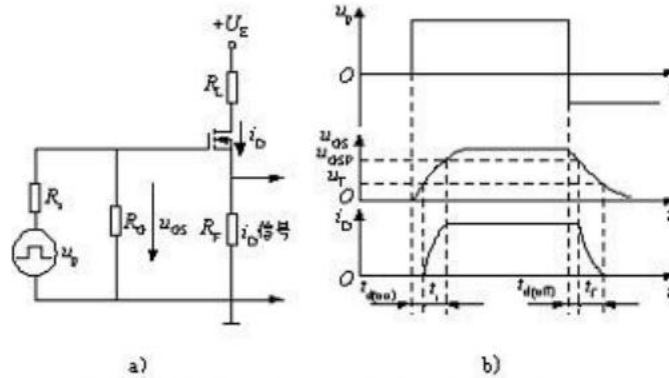


图 3 电力 MOSFET 的开关过程 a) 测试电路 b) 开关过程波形
 u_p —脉冲信号源, R_s —信号源内阻, R_g —栅极电阻,
 R_L —负载电阻, R_d —检测漏极电阻

上升时间 t_r — u_{GS} 从 U_T 上升到 MOSFET 进入非饱和区的栅压 U_{GSP} 的时间段；

i_D 稳态值由漏极电源电压 U_E 和漏极负载电阻决定。 U_{GSP} 的大小和 i_D 的稳态值有关， U_{GS} 达到 U_{GSP} 后，在 u_p 作用下继续升高直至达到稳态，但 i_D 已不变。

开通时间 t_{on} —开通延迟时间与上升时间之和。

关断延迟时间 $t_d(\text{off})$ — u_p 下降到零起， C_{in} 通过 R_s 和 R_G 放电， u_{GS} 按指数曲线下降到 U_{GSP} 时， i_D 开始减小为零的时间段。

下降时间 t_f — u_{GS} 从 U_{GSP} 继续下降起， i_D 减小，到 u_{GS}

关断时间 t_{off} —关断延迟时间和下降时间之和。

2.3.3 MOSFET 的开关速度。

MOSFET 的开关速度和 C_{in} 充放电有很大关系，使用者无法降低 C_{in} ，但可降低驱动电路内阻 R_s 减小时间常数，加快开关速度，MOSFET 只靠多子导电，不存在少子储存效应，因而关断过程非常迅速，开关时间在 10—100ns 之间，工作频率可达 100kHz 以上，是主要电力电子器件中最高的。

场控器件静态时几乎不需输入电流。但在开关过程中需对输入电容充放电，仍需一定的驱动功率。开关频率越高，所需要的驱动功率越大。

2.4 动态性能的改进

在器件应用时除了要考虑器件的电压、电流、频率外，还必须掌握在应用中如何保护器件，不使器件在瞬态变化中受损害。当然晶闸管是两个双极型晶体管的组合，又加上因大面积带来的大电容，所以其 dv/dt 能力是较为脆弱的。对 di/dt 来说，它还存在一个导通区的扩展问题，所以也带来相当严格的限制。

功率 MOSFET 的情况有很大的不同。它的 dv/dt 及 di/dt 的能力常以每纳秒（而不是每微秒）的能力来估量。但尽管如此，它也存在动态性能的限制。这些我们可以从功率 MOSFET 的基本结构来予以理解。

图 4 是功率 MOSFET 的结构和其相应的等效电路。除了器件的几乎每一部分存在电容以外，还必须考虑 MOSFET 还并联着一个二极管。同时从某个角度看、它还存在一个寄生晶体管。（就像 IGBT 也寄生着一个晶闸管一样）。这几个方面，是研究 MOSFET 动态特性很重要的因素。

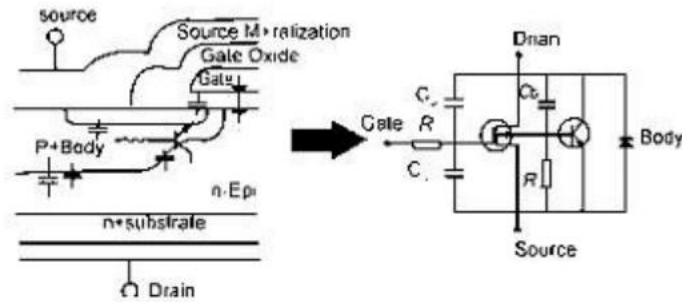


图 4 是功率 MOSFET 的结构和其相应的等效电路

首先 MOSFET 结构中所附带的本征二极管具有一定的雪崩能力。通常用单次雪崩能力和重复雪崩能力来表达。当反向 di/dt 很大时，二极管会承受一个速度非常快的脉冲尖刺，它有可能进入雪崩区，一旦超越其雪崩能力就有可能将器件损坏。作为任一种 PN 结二极管来说，仔细研究其动态特性是相当复杂的。它们和我们一般理解 PN 结正向时导通反向时阻断的简单概念很不相同。当电流迅速下降时，二极管有一阶段失去反向阻断能力，即所谓反向恢复时间。PN 结要求迅速导通时，也会有一段时间并不显示很低的电阻。在功率 MOSFET 中一旦二极管有正向注入，所注入的少数载流子也会增加作为多子器件的 MOSFET 的复杂性。

功率 MOSFET 的设计过程中采取措施使其中的寄生晶体管尽量不起作用。在不同代功率 MOSFET 中其措施各有不同，但总的原则是使漏极下的横向电阻 R_B 尽量小。因为只有在漏极 N 区下的横向电阻流过足够电流为这个 N 区建立正偏的条件时，寄生的双极性晶体管才开始发难。然而在严峻的动态条件下，因 dv/dt 通过相应电容引起的横向电流有可能足够大。此时这个寄生的双极性晶体管就会起动，有可能给 MOSFET 带来损坏。所以考虑瞬态性能时对功率 MOSFET 器件内部的各个电容（它是 dv/dt 的通道）都必须予以注意。

瞬态情况是和线路情况密切相关的，这方面在应用中应给予足够重视。对器件要有深入了解，才能有利于理解和分析相应的问题。

3.高压 MOSFET 原理与性能分析

在功率半导体器件中，MOSFET 以高速、低开关损耗、低驱动损耗在各种功率变换，特别是高频功率变换中起着重要作用。在低压领域，MOSFET 没有竞争对手，但随着 MOS 的耐压提高，导通电阻随之以 2.4-2.6 次方增长，其增长速度使 MOSFET 制造者和应用者不得不以数十倍的幅度降低额定电流，以折中额定电流、导通电阻和成本之间的矛盾。即便如此，高压 MOSFET 在额定结温下的导通电阻产生的导通压降仍居高不下，耐压 500V 以上的 MOSFET 的额定结温、额定电流条件下的导通电压很高，耐压 800V 以上的导通电压高得惊人，导通损耗占 MOSFET 总损耗的 2/3-4/5，使应用受到极大限制。

3.1 降低高压 MOSFET 导通电阻的原理与方法

3.1.1 不同耐压的 MOSFET 的导通电阻分布。不同耐压的 MOSFET，其导通电阻中各部分电阻比例分布也不同。如耐压 30V 的 MOSFET，其外延层电阻仅为总导通电阻的 29%，耐压 600V 的 MOSFET 的外延层电阻则是总导通电阻的 96.5%。由此可以推断耐压 800V 的 MOSFET 的导通电阻将几乎被外延层电阻占据。欲获得高阻断电压，就必须采用高电阻率的外延层，并增厚。这就是常规高压 MOSFET 结构所导致的高导通电阻的根本原因。

3.1.2 降低高压 MOSFET 导通电阻的思路。增加管芯面积虽能降低导通电阻，但成本的提高所付出的代价是商业品所不允许的。引入少数载流子导电虽能降低导通压降，但付出的代价是开关速度的降低并出现拖尾电流，开关损耗增加，失去了 MOSFET 的高速的优点。

以上两种办法不能降低高压 MOSFET 的导通电阻，所剩的思路就是如何将阻断高压的低掺杂、高电阻率区域和导电通道的高掺杂、低电阻率分开解决。如除导通时低掺杂的高耐压外延层对导通电阻只能起增大作用外并无其他用途。这样，是否可以将导电通道以高掺杂较低电阻率实现，而在 MOSFET 关断时，设法使这个通道以某种方式夹断，使整个器件耐压仅取决于低掺杂的 N-外延层。基于这种思想，1988 年 INFINEON 推出内建横向电场耐压为 600V 的 COOLMOS，使这一想法得以实现。内建横向电场的高压 MOSFET 的剖面结构及高阻断电压低导通电阻的示意图如图 5 所示。

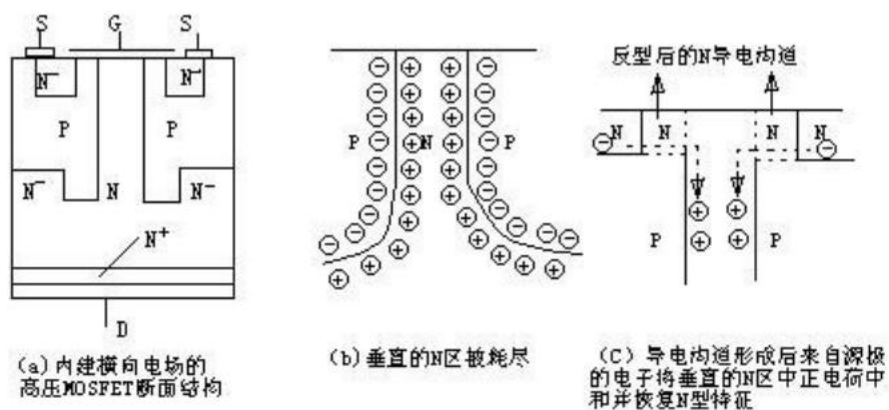


图5内建横向电场的MOSFET剖面，垂直N区被夹断和导通

与常规 MOSFET 结构不同，内建横向电场的 MOSFET 嵌入垂直 P 区将垂直导电区域的 N 区夹在中间，使 MOSFET 关断时，垂直的 P 与 N 之间建立横向电场，并且垂直导电区域的 N 掺杂浓度高于其外延区 N-的掺杂浓度。

当 $V_{GS} < V_{TH}$ 时，由于被电场反型而产生的 N 型导电沟道不能形成，并且 D, S 间加正电压，使 MOSFET 内部 PN 结反偏形成耗尽层，并将垂直导电的 N 区耗尽。这个耗尽层具有纵向高阻断电压，如图 5 (b) 所示，这时器件的耐压取决于 P 与 N-的耐压。因此 N-的低掺杂、高电阻率是必需的。

当 $CGS > V_{TH}$ 时，被电场反型而产生的 N 型导电沟道形成。源极区的电子通过导电沟道进入被耗尽的垂直的 N 区中和正电荷，从而恢复被耗尽的 N 型特性，因此导电沟道形成。由于垂直 N 区具有较低的电阻率，因而导通电阻较常规 MOSFET 将明显降低。

通过以上分析可以看到：阻断电压与导通电阻分别在不同的功能区域。将阻断电压与导通电阻功能分开，解决了阻断电压与导通电阻的矛盾，同时也将阻断时的表面 PN 结转化为掩埋 PN 结，在相同的 N-掺杂浓度时，阻断电压还可进一步提高。

3.2 内建横向电场 MOSFET 的主要特性

3.2.1 导通电阻的降低。INFINEON 的内建横向电场的 MOSFET，耐压 600V 和 800V，与常规 MOSFET 器件相比，相同的管芯面积，导通电阻分别下降到常规 MOSFET 的 1/5，1/10；相同的额定电流，导通电阻分别下降到 1/2 和约 1/3。在额定结温、额定电流条件下，导通电压分别从 12.6V，19.1V 下降到 6.07V，7.5V；导通损耗下降到常规 MOSFET 的 1/2 和 1/3。由于导通损耗的降低，发热减少，器件相对较凉，故称 COOLMOS。

3.2.2 封装的减小和热阻的降低。相同额定电流的 COOLMOS 的管芯较常规 MOSFET 减小到 1/3 和 1/4，使封装减小两个管壳规格。

由于 COOLMOS 管芯厚度仅为常规 MOSFET 的 1/3，使 TO-220 封装 RTHJC 从常规 $1^{\circ}\text{C}/\text{W}$ 降到 $0.6^{\circ}\text{C}/\text{W}$ ；额定功率从 125W 上升到 208W，使管芯散热能力提高。

3.2.3 开关特性的改善。COOLMOS 的栅极电荷与开关参数均优于常规 MOSFET，很明显，由于 QG，特别是 QGD 的减少，使 COOLMOS 的开关时间约为常规 MOSFET 的 1/2；开关损耗降低约 50%。关断时间的下降也与 COOLMOS 内部低栅极电阻($<1\Omega$)有关。

3.2.4 抗雪崩击穿能力与 SCSOA。目前，新型的 MOSFET 无一例外地具有抗雪崩击穿能力。COOLMOS 同样具有抗雪崩能力。在相同额定电流下，COOLMOS 的 IAS 与 $ID_{25^{\circ}C}$ 相同。但由于管芯面积的减小，IAS 小于常规 MOSFET，而具有相同管芯面积时，IAS 和 EAS 则均大于常规 MOSFET。

COOLMOS 的最大特点之一就是它具有短路安全工作区 (SCSOA)，而常规 MOS 不具备这个特性。COOLMOS 的 SCSOA 的获得主要是由于转移特性的变化和管芯热阻降低。COOLMOS 的转移特性如图 6 所示。从图 6 可以看到，当 $V_{GS} > 8V$ 时，COOLMOS 的漏极电流不再增加，呈恒流状态。特别是在结温升高时，恒流值下降，在最高结温时，约为 $ID_{25^{\circ}C}$ 的 2 倍，即正常工作电流的 3-3.5 倍。在短路状态下，漏极电流不会因栅极的 15V 驱动电压而上升到不可容忍的十几倍的 $ID_{25^{\circ}C}$ ，使 COOLMOS 在短路时所耗散的功率限制在 $350V \times 2ID_{25^{\circ}C}$ ，尽可能地减少短路时管芯发热。管芯热阻降低可使管芯产生的热量迅速地散发到管壳，抑制了管芯温度的上升速度。因此，COOLMOS 可在正常栅极电压驱动，在 $0.6V_{DSS}$ 电源电压下承受 10MS 短路冲击，时间间隔大于 1S，1000 次不损坏，使 COOLMOS 可像 IGBT 一样，在短路时得到有效的保护。

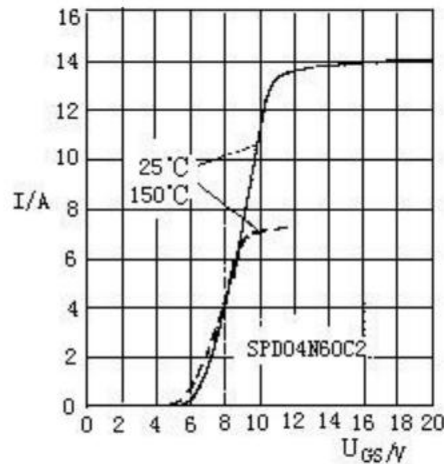


图 6 COOLMOS转移特性

3.3 关于内建横向电场高压 MOSFET 发展现状

继 INFINEON 1988 年推出 COOLMOS 后, 2000 年初 ST 推出 500V 类似于 COOLMOS 的内部结构, 使 500V, 12A 的 MOSFET 可封装在 TO-220 管壳内, 导通电阻为 0.35Ω , 低于 IRFP450 的 0.4Ω , 电流额定值与 IRFP450 相近。IXYS 也有使用 COOLMOS 技术的 MOSFET。IR 公司也推出了 SUPPER220, SUPPER247 封装的超级 MOSFET, 额定电流分别为 35A, 59A, 导通电阻分别为 0.082Ω , 0.045Ω , 150°C 时导通压降约 4.7V。从综合指标看, 这些 MOSFET 均优于常规 MOSFET, 并不是因为随管芯面积增加, 导通电阻就成比例地下降, 因此, 可以认为, 以上的 MOSFET 一定存在类似横向电场的特殊结构, 可以看到, 设法降低高压 MOSFET 的导通压降已经成为现实, 并且必将推动高压 MOSFET 的应用。

3.4 COOLMOS 与 IGBT 的比较

600V、800V 耐压的 COOLMOS 的高温导通压降分别约 6V, 7.5V, 关断损耗降低 1/2, 总损耗降低 1/2 以上, 使总损耗为常规 MOSFET 的 40%-50%。常规 600V 耐压 MOSFET

ET 导通损耗占总损耗约 75%，对应相同总损耗超高速 IGBT 的平衡点达 160KHZ，其中开关损耗占约 75%。由于 COOLMOS 的总损耗降到常规 MOSFET 的 40%-50%，对应的 IGBT 损耗平衡频率将由 160KHZ 降到约 40KHZ，增加了 MOSFET 在高压中的应用。

从以上讨论可见，新型高压 MOSFET 使长期困扰高压 MOSFET 的导通压降高的问题得到解决；可简化整机设计，如散热器体积可减少到原 40%左右；驱动电路、缓冲电路简化；具备抗雪崩击穿能力和抗短路能力；简化保护电路并使整机可靠性得以提高。

4.功率 MOSFET 驱动电路

功率 MOSFET 是电压型驱动器件，没有少数载流子的存贮效应，输入阻抗高，因而开关速度可以很高，驱动功率小，电路简单。但功率 MOSFET 的极间电容较大，输入电容 C_{ISS} 、输出电容 $COSS$ 和反馈电容 $CRSS$ 与极间电容的关系可表述为：

功率 MOSFET 的栅极输入端相当于一个容性网络，它的工作速度与驱动源内阻抗有关。由于 C_{ISS} 的存在，静态时栅极驱动电流几乎为零，但在开通和关断动态过程中，仍需要一定的驱动电流。假定开关管饱和导通需要的栅极电压值为 V_{GS} ，开关管的开通时间 T_{ON} 包括开通延迟时间 T_D 和上升时间 T_R 两部分。

开关管关断过程中， C_{ISS} 通过 R_{OFF} 放电， $COSS$ 由 R_L 充电， $COSS$ 较大， $V_{DS}(T)$ 上升较慢，随着 $V_{DS}(T)$ 上升较慢，随着 $V_{DS}(T)$ 的升高 $COSS$ 迅速减小至接近于零时， $V_{DS}(T)$ 再迅速上升。

根据以上对功率 MOSFET 特性的分析，其驱动通常要求：触发脉冲要具有足够快的上

升和下降速度；②开通时以低电阻力栅极电容充电，关断时为栅极提供低电阻放电回路，以提高功率 MOSFET 的开关速度；③为了使功率 MOSFET 可靠触发导通，触发脉冲电压应高于管子的开启电压，为了防止误导通，在其截止时应提供负的栅源电压；④功率开关管开关时所需驱动电流为栅极电容的充放电电流，功率管极间电容越大，所需电流越大，即带负载能力越大。

4.1 几种 MOSFET 驱动电路介绍及分析

4.1.1 不隔离的互补驱动电路。图 7 (a) 为常用的小功率驱动电路，简单可靠成本低。适用于不要求隔离的小功率开关设备。图 7 (b) 所示驱动电路开关速度很快，驱动能力强，为防止两个 MOSFET 管直通，通常串接一个 $0.5\sim 1\Omega$ 小电阻用于限流，该电路适用于不要求隔离的中功率开关设备。这两种电路特点是结构简单。

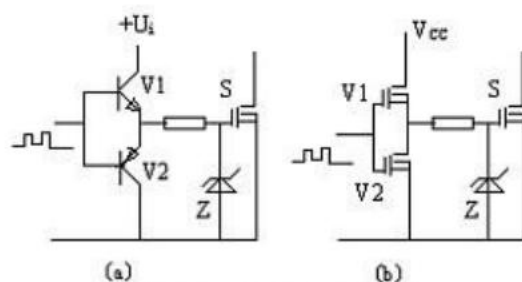


图7常用的不隔离的互补驱动电路

功率 MOSFET 属于电压型控制器件，只要栅极和源极之间施加的电压超过其阈值电压就会导通。由于 MOSFET 存在结电容，关断时其漏源两端电压的突然上升将会通过结电容在栅源两端产生干扰电压。常用的互补驱动电路的关断回路阻抗小，关断速度较快，但它不能提供负压，故抗干扰性较差。为了提高电路的抗干扰性，可在此种驱动电路的基础上增加一级有 V1、V2、R 组成的电路，产生一个负压，电路原理图如图 8 所示。

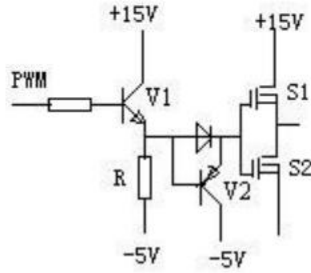


图8提供负压的互补电路

当 V1 导通时，V2 关断，两个 MOSFET 中的上管的栅、源极放电，下管的栅、源极充电，即上管关断，下管导通，则被驱动功率管关断；反之 V1 关断时，V2 导通，上管导通，下管关断，使驱动的管子导通。因为上下两个管子的栅、源极通过不同的回路充放电，包含有 V2 的回路，由于 V2 会不断退出饱和直至关断，所以对于 S1 而言导通比关断要慢，对于 S2 而言导通比关断要快，所以两管发热程度也不完全一样，S1 比 S2 发热严重。

该驱动电路的缺点是需要双电源，且由于 R 的取值不能过大，否则会使 V1 深度饱和，影响关断速度，所以 R 上会有一定的损耗。

4.1.2 隔离的驱动电路

(1) 正激式驱动电路。电路原理如图 9 (a) 所示，N3 为去磁绕组，S2 为所驱动功率管。R2 为防止功率管栅极、源极端电压振荡的一个阻尼电阻。因不要求漏感较小，且从速度方面考虑，一般 R2 较小，故在分析中忽略不计。

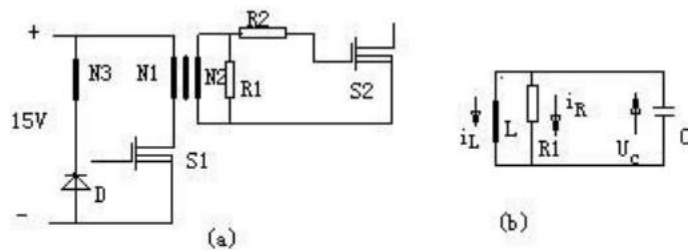


图9正激驱动电路

其等效电路图如图 9 (b) 所示脉冲不要求的副边并联一电阻 R1，它做为正激变换器的

假负载，用于消除关断期间输出电压发生振荡而误导通。同时它还可以作为功率 MOSFET 关断时的能量泄放回路。该驱动电路的导通速度主要与被驱动的 S2 栅极、源极等效输入电容的大小、S1 的驱动信号的速度以及 S1 所能提供的电流大小有关。由仿真及分析可知，占空比 D 越小、 $R1$ 越大、 L 越大，磁化电流越小， $U1$ 值越小，关断速度越慢。该电路具有以下优点：

- ①电路结构简单可靠，实现了隔离驱动。
- ②只需单电源即可提供导通时的正、关断时负压。
- ③占空比固定时，通过合理的参数设计，此驱动电路也具有较快的开关速度。

该电路存在的缺点：一是由于隔离变压器副边需要啞唎假负载防振荡，故电路损耗较大；二是当占空比变化时关断速度变化较大。脉宽较窄时，由于是储存的能量减少导致 MOSFET 栅极的关断速度变慢。

(2) 有隔离变压器的互补驱动电路。如图 10 所示， $V1$ 、 $V2$ 为互补工作，电容 C 起隔离直流的作用， $T1$ 为高频、高磁率的磁环或磁罐。

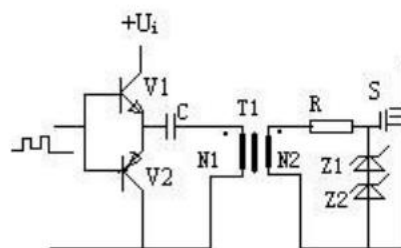


图10有隔离变压器的互补驱动电路

导通时隔离变压器上的电压为 $(1-D) U_i$ 、关断时为 $D U_i$ ，若主功率管 S 可靠导通电压为 $12V$ ，而隔离变压器原副边匝比 $N1/N2$ 为 $12/[(1-D) U_i]$ 。为保证导通期间 GS 电压稳定 C 值可稍取大些。该电路具有以下优点：

①电路结构简单可靠，具有电气隔离作用。当脉宽变化时，驱动的关断能力不会随着变化。

②该电路只需一个电源，即为单电源工作。隔直电容 C 的作用可以在关断所驱动的管子时提供一个负压，从而加速了功率管的关断，且有较高的抗干扰能力。

但该电路存在的一个较大缺点是输出电压的幅值会随着占空比的变化而变化。当 D 较小时，负向电压小，该电路的抗干扰性变差，且正向电压较高，应该注意使其幅值不超过 MOSFET 栅极的允许电压。当 D 大于 0.5 时驱动电压正向电压小于其负向电压，此时应该注意使其负电压值不超过 MOAFET 栅极允许电压。所以该电路比较适用于占空比固定或占空比变化范围不大以及占空比小于 0.5 的场合。

(3) 集成芯片 UC3724/3725 构成的驱动电路

电路构成如图 11 所示。其中 UC3724 用来产生高频载波信号，载波频率由电容 CT 和电阻 RT 决定。一般载波频率小于 600kHz，4 脚和 6 脚两端产生高频调制波，经高频小磁环变压器隔离后送到 UC3725 芯片 7、8 两脚经 UC3725 进行调制后得到驱动信号，UC3725 内部有一肖特基整流桥同时将 7、8 脚的高频调制波整流成一直流电压供驱动所需功率。一般来说载波频率越高驱动延时越小，但太高抗干扰变差；隔离变压器磁化电感越大磁化电流越小，UC3724 发热越少，但太大使匝数增多导致寄生参数影响变大，同样会使抗干扰能力降低。根据实验数据得出：对于开关频率小于 100kHz 的信号一般取 (400~500) kHz 载波频率较好，变压器选用较高磁导如 5K、7K 等高频环形磁芯，其原边磁化电感小于约 1 毫亨左右为好。这种驱动电路仅适合于信号频率小于 100kHz 的场合，因信号频率相对载波频率太高的话，相对延时太多，且所需驱动功率增大，UC3724 和 UC3725 芯片发热温升较高，故 100kHz 以上开关频率仅对较小极电容的 MOSFET 才可以。对于 1kVA 左右开关频率小于 100kHz 的场合，它是一种良好的驱动电路。该电路具有以下特点：单电源工作，

控制信号与驱动实现隔离，结构简单尺寸较小，尤其适用于占空比变化不确定或信号频率也变化的场合。

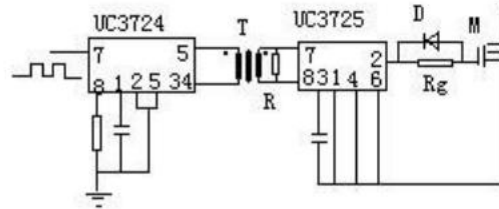


图11集成芯片UC3724/UC3725构成的驱动电路

电力 mosfet 管的栅极绝缘层很薄弱，容易被击穿而损坏，mosfet 的输入电容低于泄露电容，当栅极开路时极易受静电干扰而重上超过正负 20V 的击穿电压，所以应当防止 mosfet 因静电感应而引起损坏