

用 AD9852 与 FPGA 结合实现中频线性调相^{*}

周 林

(中国西南电子技术研究所,四川 成都 610036)

摘 要:本文介绍了直接数字频率合成(DDS)芯片 AD9852 与可编程门阵列(FPGA)相结合采用数字方法实现中频线性相位调制(PM)及试验结果。

关键词:数字信号处理;直接数字频率合成;线性调相;可编程门阵列

中图分类号:TN911.72 **文献标识码:**A

Implement the IF Linear PM with AD9852 and FPGA

ZHOU Lin

(Southwest China Institute of Electronic Technology, Chengdu 610036, China)

Abstract: In this paper, the IF linear PM design by digital realization method with DDS chip AD9852 and FPGA is introduced, and the experimental result is also given.

Key words: Digital signal processing; DDS; Linear PM; FPGA

一、引 言

随着数字信号处理和集成电路技术的发展,直接数字频率合成(DDS)应用也越来越广泛。DDS具有相位和频率分辨率高、稳定度好、频率转换时间短、输出相位连续、可以实现多种数字与模拟调制的优点,而可编程门阵列(FPGA)具有集成度高、通用性好、设计灵活、编程方便、可以实现芯片的动态重构等特点,因此可以快速地完成复杂的数字系统。由于模拟调相方法具有生产性差、调试不方便、调制度控制不精确等缺点,因此采用数字方法实现各种模拟调制也越来越普遍。现在许多 DDS 芯片只直接提供了实现多种数字调制的功能,实现起来比较简单,而要实现模拟线性调制具有一定的难度。因此本文介绍了一种采用 AD 公司高性能 DDS 芯片 AD9852 和 FPGA 结合用全数字方法直接在 70 MHz 中频上实现正弦侧音线性相位调制(PM)的方法。

二、实现原理

正弦波线性调相(PM)信号的表达式为

$$f(t) = A_m \cos(\omega_c t + \omega_m \cos \omega_m t) \quad (1)$$

式中 ω_c 为载波角频率;

ω_m 为调制指数;

ω_m 为调制信号角频率。

它的抽样式可表示如下:

$$f(nT) = A_m \cos(\omega_c nT + \omega_m \cos \omega_m nT) \quad (2)$$

式中 T 为抽样时钟周期;

n 为整数;

ω_m 为调制度;

$T = 1/f_s$ 。

由上式可见,首先把正弦侧音信号的抽样值通过调制度控制后直接去改变载波抽样信号的相位,再通过查找表把相位信息转换成幅度信息,最后通

* 收稿日期:2002 - 07 - 09

过一个 DAC 变换就可输出正弦波线性调相信号,但须满足载波信号与侧音信号信号的抽样时钟保持严格一致,输出才是一个准确的线性调相信号。

在用数字方法具体实现线性调相时,有内调制和外调制 2 种实现方式。内调制时,用调制信号改变载波频率中心频率控制字() 的值,在控制时序

的作用下每一个载波抽样周期频率控制字只改变一次,然后频率控制字又改变为中心频率对应的控制字,内调制实现原理如图 1 所示。外调制时,用调制信号通过加法器直接改变载波抽样信号的相位,外调制原理如图 2 所示。

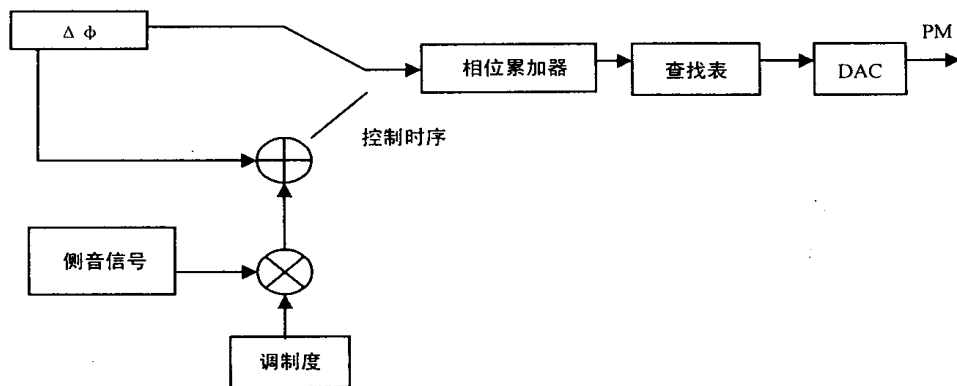


图 1 内调制实现线性调相 (PM) 的原理

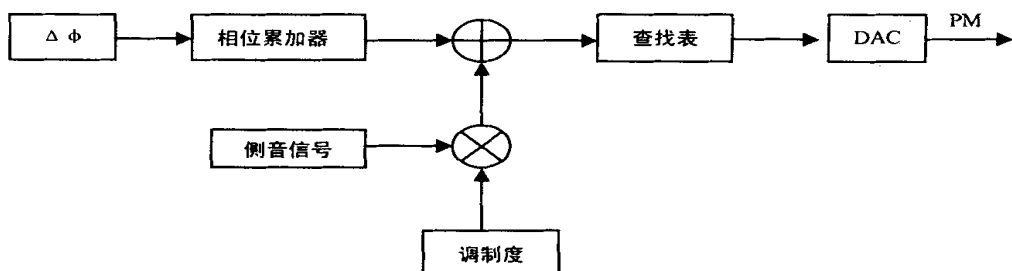


图 2 外调制实现线性调相 (PM) 的原理

本文主要介绍多正弦侧音的线性调相。有 N 个正弦侧音的线性调相 (PM) 信号和抽样表达式如下:

$$f(t) = A_m \cos(\omega_c t + \sum_{i=1}^N PM_i \cos \omega_{mi} t) \quad (3)$$

$$f(nT) = A_m \cos(\omega_c nT + \sum_{i=1}^N PM_i \cos \omega_{mi} nT) \quad (4)$$

式中各符号的含义与单侧音时相同。由式可见,要完成多路侧音信号的线性调相,只需把多路侧音信号分别产生,进行调制信号控制后,通过相加再去改变载波信号的相位。

在本方案中,中频频率为 70 MHz,2 路正弦侧音信号,具体实现时采用 DDS AD9852 来产生载波相位、调相、查找表和进行 DA 变换,采用 FPGA 产生正弦侧音信号的相位、正弦查找表、调制信号控制以及 AD9852 控制时序等功能。

三、实现方法

1. AD9852 组成及调相原理

AD9852 是由 AD 公司生产的高性能 DDS 芯片,主要由 DDS 核、寄存器、DAC、比较器、I/O 接口等电路组成。它的内部工作频率最高可达 300 MHz,最高输出频率达 150 MHz,能够实现多种调制,如 FM、AM、PM、FSK、PSK、ASK 等,同时内部还有一个 420 倍的可编程时钟倍频锁相电路,可以用较低的参考频率产生出较高的输出频率,同时它的控制接口也很灵活,有并行和串行方式可供选择,并行接口最高速率可达 100 MHz。

由于 AD9852 内部时钟频率较高,又受到 AD9852 接口速率的限制,采用内调制时 AD9852 的时序不易控制。因此本方案采用外调制的办法,具体实现方法为:在一定的时序的控制下,把 FPGA 产生的侧音抽样信号通过 AD9852 的并行总线接口直

接写入 14 bit 相位偏移寄存器,在内部时钟的作用下,同步改变载波的相位。

(1) 载波信号的产生

载波信号采用 DDS 原理用 AD9852 产生,DDS 的原理框图如图 3 所示。

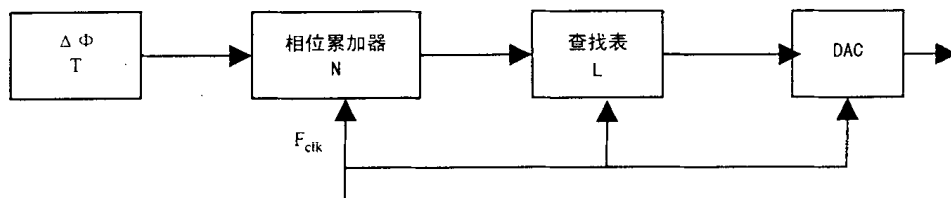


图 3 DDS 原理框图

频率控制字、系统时钟 F_{clk} 、相位累加器位数 N 、输出频率 F_{out} 满足如下关系:

$$= \frac{2^N \times F_{out}}{F_{clk}} \quad (5)$$

由于 DDS 的采样特性以及 DAC 的非线性,DDS 系统的输出中含有假信号干扰和杂散,这也是 DDS 应用的一个缺点,但是只要合理地选择 DDS 原理中的几个参数,可以减小假信号干扰和杂散,使其分布合理,便于通过滤波器滤出干扰信号。因为 AD9852 的 $N = 48$ 、 $F_{out} = 70 \text{ MHz}$ 固定不变,而与系统时钟 F_{clk} 相关,因此实际就是对系统时钟 F_{clk} 的合理选择,下面就重点讨论 F_{clk} 的选择原则。

1) 混叠干扰

由于 DDS 是一个采样系统,因此满足奈奎斯特采样定理 $F_{out} < 0.5 F_{clk}$,且在 $n F_{clk} \pm F_{out}$ (n 为整数) 处有干扰频率存在,干扰频率离中心频率越远,干扰频率的幅度就越小,便于滤波器滤除。在实际应用中输出频率一般不应超过时钟频率的 40%,因此本方案选用 280 MHz 的参考时钟来产生 70 MHz 的载波信号,奈奎斯特带宽为 0 ~ 140 MHz。

混叠频率分量为: 210 MHz, 350 MHz, 490 MHz, 630 MHz ...

在奈奎斯特带宽以内没有混叠信号存在,离有用信号 70 MHz 也较远,通过一个低通滤波器可以滤出奈奎斯特带宽以外的混叠信号。

2) 输出杂散

影响 DDS 输出杂散主要有 2 个因素:累加器的进位误差和相位截断误差。

相位累加器进位误差是由于累加器溢出时存在剩余量,累加器溢出时不能回到初始状态,当 $= 2^L$ ($L = 0, 1 \dots N - 1$) 时,没有进位误差。由于相位累加器只有一部分送入查找表,因此可能存在相位截断误差,当

$$GCD(\phi, 2^{(N-L)}) = 2^{(N-L)}$$

($GCD(X, Y)$ 表示 X 与 Y 的最大公约数)

时,没有相位截断误差,否则会在输出信号中产生杂散。

基于上述原因,当参考时钟为 280 MHz、输出频率为 70 MHz 时,AD9852 相位累加器位数 $N = 48$,频率控制字 $= 2^{48}/4 = 2^{46}$,查找表位数 $L = 17$,满足公式:

$$GCD(\phi, 2^{(N-L)}) = GCD(2^{46}, 2^{31}) = 2^{31} = 2^{(N-L)} \quad (6)$$

同时也满足公式 $= 2^L$,因此理论上不存在累加器进位和相位截断误差。

综上所述,当输出载波频率为 70 MHz 时,选用 280 MHz 的参考时钟,能够达到很好的效果:混叠干扰较小,没有进位和截断误差,输出频谱稳定。280 MHz 的参考时钟通过 AD9852 的时钟倍频锁相电路对外部参考时钟倍频来完成。

2. FPGA 电路的实现

(1) 侧音信号的产生

侧音信号用 FPGA 采用 DDS 原理来产生,由一个频率控制字、相位累加器、查找表等组成,为避免侧音信号相位的抖动,在设计时需要认真对参考时钟、相位增量(频率控制字),以及累加器和 ROM 的位数进行选取,选用没有进位和截断误差的参数,并尽可能增大 F_{clk}/F_{out} 的值。在用 FPGA 实现时,还需考虑实现的难易以及占用资源的大小等方面综合考虑,使设计尽量简单。如果在某些频点上不易满足上述要求,会引起输出相位的抖动。在本方案中侧音信号相位累加器 $N = 32$,参考频率 $F_{clk} = 20 \text{ MHz}$,频率控制字由相应的侧音频率决定。

(2) 调制度的控制

调制度控制采用乘法器与寄存器来实现,寄存

器存放调制度控制数据,根据调制度需要控制的精度、范围和整个系统工作速率综合考虑乘法器和寄存器的位数,在本方案中调制度控制精度为 0.01 rad,范围为 0~1.5 rad,因此采用了一个 8 bit 的寄存器,共有 256 个控制点,完全满足控制需求。实现时把调制信号与寄存器的值直接相乘,进行校正后把数据送给 AD9852 调相。如果有多路侧音信号存在,先分别进行调制度控制后再通过数字加法器相加把数据送给 AD9852 调相。进行调制度控制(两路侧音)的原理框图如图 4 所示。

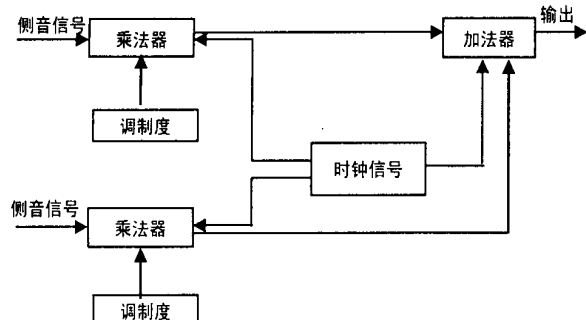


图 4 调制度控制原理框图

(3) AD9852 控制时序

时序设计在整个设计过程中起着非常关键的作用。

用,为满足实时调相的要求,这里采用并行接口对 AD9852 进行控制,它的最高速率可达 100 MHz。由于受 AD9852 接口最高速率的限制,因此侧音信号的采样速率比载波采样速率低,此时调制在载波上的不是一个严格意义上的正弦波,而是一个台阶逼近的正弦波,所以会引入一些谐波分量,但是只要速率相差控制在一定的范围内,谐波分量比较小并可以控制在需要的范围内,产生需要的线性调相信号。因为载波采样速率与侧音信号的采样速率不相等,因此可能会出现相位关系的不确定性,为了解决这一问题,必须使采样时钟相关,载波数据与写入 AD9852 的调制数据严格在同一时钟沿变换,即满足载波抽样频率是 AD9852 更新时钟频率的整数倍。

四、试验结果

在试验中,通过本方案实现了两路正弦侧音信号在 AD9852 上直接输出 70 MHz 的中频线性调相信号,实测频谱如图 5 所示。实测结果表明:已调信号频谱、调制度、交调均与理论基本一致,实现了调制度的精确控制,完全满足技术指标要求,在实际应用中有一定的参考价值。

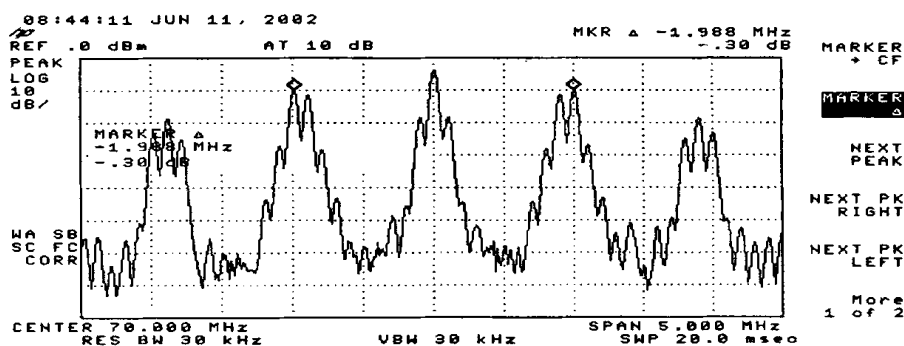


图 5 两路正弦侧音调相信号频谱

五、结束语

由于受器件的限制,载波的抽样频率与侧音的抽样频率相差较大,因此输出频谱含有较多的谐波分量;AD9852 内部采用了时钟倍频器,相噪有所增加,以后还需在这两个方面进行改进。

参考文献

- [1] AD 公司. A Technical Tutorial On Digital Signal Synthesis [S]. 1999.
- [2] AD 公司. AD9852 器件手册[S]. 1999.

作者简介

周 林(1971 -),男,四川南充人,工程师。