

快速捷变频率合成器的研制

郭德淳 杨文革* 费元春

(北京理工大学电子工程系,北京,100081) (装备指挥技术学院测量控制系*)

摘要 本文介绍一种低杂散低相噪快速捷变频率合成器的实现途径,该合成器采用直接数字频率合成芯片(AD9852)加倍频的方案。为提高频率捷变速度和输出频率精度,采用 TI 公司的 TMS320C31 作为控制电路,捷变频时间小于 200ns,相位噪声小于 $-124\text{dBc}/\text{Hz}/1\text{kHz}$ 。

关键词 信息处理技术;直接数字频率合成器;TMS320C31;频率捷变

中图分类号 TN95

频率合成技术是现代电子系统中的一项关键技术,在很大程度上决定了系统的工作性能。直接数字频率合成(DDS)是近年来迅速发展起来的新的频率合成方法,它将先进的数字信号处理理论与方法引入频率合成领域,从相位的概念出发,采用了数字采样技术进行信号合成。

1 DDS 捷变频率合成器技术方案拟定

1.1 技术指标要求

带内起伏 3dB ,频率捷变时间 $<200\text{ns}$,杂散抑制度 $>50\text{dB}$,谐波抑制度 $>35\text{dB}$,输出信号波形形式为 LFM、PM,输出信号相噪小于 $-110\text{dB}/\text{Hz}/1\text{kHz}$ 。

1.2 DDS 芯片的选定

根据技术指标要求,DDS 芯片的选型非常关键。由于 DDS 输出信号的最高频率受到时钟频率的限制(最高输出频率一般小于时钟频率的 40%),并且 DDS 输出信号频率越接近上限,性能指标越差。因此,从提高频率合成器的性能指标来讲,应选择时钟频率高的 DDS 芯片。而目前能见到的高时钟频率的 DDS 芯片其 D/A 最高为 8 位,其杂散抑制比较差(理论值也不会优于 45dB),功能也比较单一。经过分析比较,选用了 AD 公司最新推出的高性能时钟频率达 300MHz 的 AD9852 芯片。

AD9852 主要性能如下:

AD9852 是 AD 公司最新生产采用先进的

CMOS 技术的直接频率合成器。AD9852 的 DDS 系统用双 48bit 可编程频率寄存器(一路频率控制字,另一路步进频率控制字),在数据进入正弦查表之前被截断成 17bit,最后由内部集成的 12bit 的 DAC 产生模拟信号输出。

AD9852 内部有 4~20 倍的可编程参考时钟乘法器、线性或非线性调频、自动双向频率扫描、 $\sin x/x$ 函数校正、双 14bit 可编程相位偏移寄存器、12bit 可编程波形通/断键控功能。输入参考时钟有单端和差分两种输入方式,其频率转换速度可达每秒 100×10^6 个频率点。AD9852 主要应用于本振频率合成、可编程时钟发生器、雷达和扫描系统的线性调频源、仪表检测、无线射频发射机等。

1.3 捷变频率合成器的总体方案

根据对 AD9852 的杂散指标分析,其在要求的输出频带内的宽带杂散达不到指标要求。所以选择 AD9852 杂散抑制比较好的频段(实际输出频率的一半),然后再进行倍频。由于宽带输出信号的谐波抑制也很难做得比较好,先对 DDS 的输出信号进行分路后再分别倍频来提高谐波抑制度同时进一步降低杂散。

为了缩短跳频时间,提高频率分辨率,根据系统的性能要求,本系统的控制电路以高速数字处理器 TMS320C31 为核心,来实现对 DDS 的控制。C31 有许多优良性能,它是 32 倍单片机,具有 16M 字(32 位)存储器空间,片内拥有 2 块 RAM,每块含有

1 K 字内存,可以执行整型和浮点运算,单周期指令执行时间为 40ns 左右,运算速度可达 40MFLOPS 和 20MIPS。

为了便于通用主控微机与高速微处理器控制电路通信联接和高速数据传送,本系统利用微机打印接口与微机控制的高速控制电路并行接口相连,使系统有较好的适应性。主控机与高速控制电路之间选择中断方式传送数据。

主控机将命令和大批的数据传到高速控制电路,然后由其直接对 DDS 等对象施行控制,这与各种具体的技术性能相联系。这种方式的优点是速度快,可充分发挥高速控制电路的高速数据处理性,如:频率捷变、线性调频、非线性调频、相位编码等方式。高速控制电路可以按预先调频规律对 DDS 实现周期控制,所以高速控制电路系统软件功能灵活,可根据实战要求来修改软件,也正是由于高速控制电路有大的存贮容量和指令执行快的优点,该系统才可以实现高速频率捷变,大大提高电子对抗的性能。系统软件均固化在 EPROM 中,系统开机即可工作。

DDS 捷变频率合成器总体方案的原理框图如图 1.1 所示。

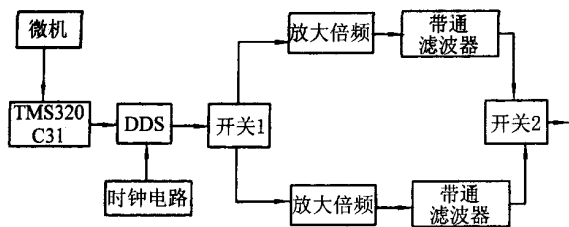


图 1.1 DDS 捷变频率合成器原理框图

Fig. 1.1 Principle of frequency agility DDS synthesizer

2 DDS 捷变频率合成器的电路设计考虑

从高频电路的电磁兼容性设计考虑,DDS 电路采用四层电路板设计,数字电源与模拟电源分别供电,以减少各电路之间通过电源产生串扰,数字地与模拟地分开。

在本设计电路中采用差分输入形式,它可以降低共模干扰。时钟采用了 VECTRON 公司的 60MHz 高性能 +5V 电源晶振,然后采用差分线接收器将晶振输出信号电平转换成符合 AD9852 要求的差分信号。另外由于晶振信号的好坏直接关系到合成器输出信号的频谱纯度,所以晶振电路的电源采用单独供电的方式,以防止各电路之间的相互干扰,特别是数字控制电路中的干扰信号。

倍频加放大电路选用低相噪硅双极晶体管 2SC3358,虽然其偏置及匹配电路比微波单片集成电路放大器复杂一些,但噪声系数 ($NF < 1.1\text{dB}$, $F_T = 7\text{GHz}$) 优于微波单片集成电路放大器的噪声系数。微波单片集成电路有时无法满足一些特殊的需要,针对频率综合器的具体要求,决定采用 2SC3358。倍频及放大电路中的选频和匹配网络采用 EESOF 软件进行仿真优化设计。模拟信号的倍频与放大电路采用微带线设计,为提高对寄生信号(基波和各次谐波以及它们的组合频率)的抑制,结构尽量紧凑,接地和滤波采取了很多有效措施。

3 DDS 捷变频率合成器达到的性能指标及测试曲线

经测试合成器输出频率为 52.5MHz 时相位噪声 $L(f) = -124\text{dBc/Hz/1kHz}$,测试结果如图 3.1。其频率捷变时间小于 200ns,频率捷变时间测试结果如图 3.2。输出杂散抑制大于 65dBc,谐波抑制大于 49dBc,杂散与谐波频谱测试结果如图 3.3,其谐波电平为 -49dBc,杂散电平为 -65dBc。线性高频频谱测试结果如图 3.4,图中两端的谱峰高出中间的平均值是由于频率分别扫描到两端时的延迟引起的。

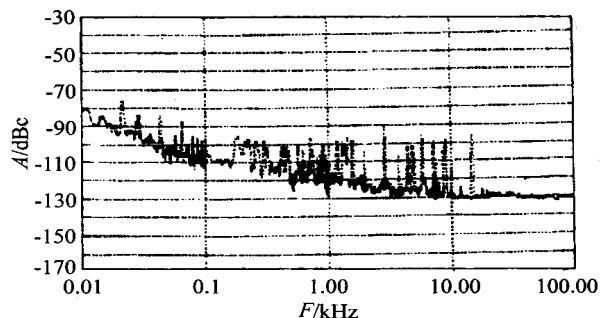


图 3.1 相位噪声测试图

Fig. 3.1 Test pattern of phase noise

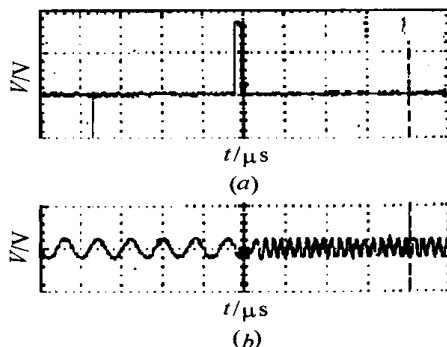


图 3.2 频率捷变测试图

Fig. 3.2 Test pattern of frequency agility

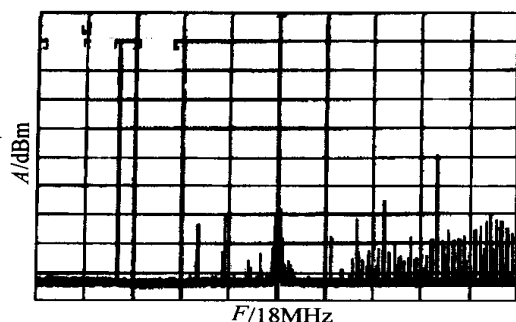


图 3.3 杂散与谐波频谱测试图

Fig. 3.3 Spectrum test pattern of spurious and harmonic waves

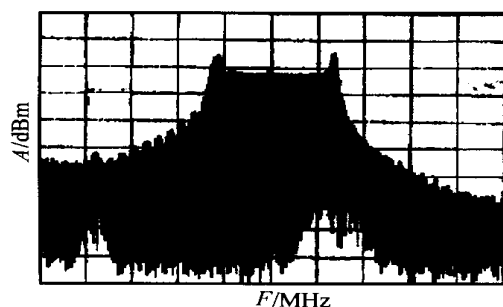


图 3.4 线性调频频谱测试图

Fig. 3.4 Spectrum test pattern of FM

4 结束语

该 DDS 捷变频率合成器在降低相位噪声、提高杂散抑制度和谐波抑制度、快速频率捷变等问题上进行了精心的设计,达到了较为理想的性能指标。为满足其它信号的一些特殊要求,只需改变一些电路参数及控制电路的软、硬件,即可得到广泛应用。

参 考 文 献

- 1 陈天麒. 微波低噪声晶体管放大器. 北京:人民邮电出版社, 1982. 279 ~ 294
- 2 费元春. 固态倍频. 北京:高等教育出版社, 1985. 122 ~ 142
- 3 白居宪. 低噪声频率合成. 北京:国防工业出版社, 1988. 237 ~ 241
- 4 Nicholas H T, Samueli H. An analysis of the output spectrum of direct digital frequency synthesizers in the presence of phase accumulator truncation. In: Proc of 41st Annu Frequency Control Symp. 1987. 495 ~ 502
- 5 Analog Devices AD9852 Rev. E datasheet, 2000.
- 6 成都电讯工程学院七系编. LC 滤波器和螺旋滤波器的设计. 1978. 45 ~ 50

RESEARCH AND DESIGN OF ADVANCED FAST AGILE FREQUENCY SYNTHESIZER

Guo Dechun Yang Wenge* Fei Yuanchun

(Department of Electronic Engineering, Beijing Institute of Technology, Beijing, 100081)

(Measurement and Control Department, Institute of Command and Technology*)

Abstract The paper presents a fast agile frequency synthesizer of low spurious, low phase noise. The scheme adopted by the synthesizer is a DDS chip (AD9852) at double frequency. The control circuit uses TMS320C31 of TI Inc. for the sake of swift frequency change and output frequency precision. The time of frequency agile is less than 200 ns, and its phase noise is less than -124dBc/Hz/1kHz .

Key words information processing technique, direct digital synthesizer (DDS), TMS320C31, frequency agility