

基于 PCI 总线的 DDS AD9854 异步控制的设计与实现^{*}

Design and Realization of a PCI-Bus-Based A synchronous DDS AD9854 Control

国防科技大学电子科学与工程学院 (长沙 410073) 贺迎芳 皇甫堪 于红旗

【摘 要】 介绍了一种通过 PCI 总线控制器 PCI 9054 对异步器件进行访问控制的方法。首先分析了 PCI 9054 的目标传输时序以及 DDS 芯片 AD9854 的主要特性, 然后采用 FPGA 器件, 进行时序转换, 完成了 PCI 9054 对 DDS 器件 I/O 口的异步读写操作。

关键词: PCI 接口卡, PCI 9054, AD9854, CPLD

【Abstract】 In this paper, a method of how to access an asynchronous chip DDS AD9854 by a PCI bus controller PCI 9054 is presented. First, the features of PCI 9054 and AD9854 are introduced. In designing the PCI card, glue logic is added between PCI 9054 and AD9854 to adjust timing and to implement the DDS's asynchronous I/O write/read operations.

Keywords: PCI card, PCI 9054, AD9854, CPLD

1 引言

在某雷达检测设备研制中, 以 PCI 总线作为上位机到局部功能模块的桥接总线, 来传递有关数据及控制信号, 采用了 AD 公司的 DDS 芯片 AD9854 来产生中频载波信号, 为了直接测试有关功能, 需要在 PCI 接口板上附加一个直接针对 DDS 进行操作控制的功能设计。然而, PCI 局部总线操作是同步的, 通过 PCI 总线控制器对局部器件进行访问要求前者的局部总线接口与局部器件工作同步, 如何对异步器件进行访问, 正是这一设计所要解决的问题。

2 相关器件介绍

2.1 AD9854 芯片介绍

AD9854 数字频率合成器是一个高度集成的芯片, 能产生频率稳定的, 相位、幅度均可调的正、余弦输出, AD9854 中所采用的新型高速 DDS 核提供的频率分辨率为 48-bit (1mHz@30MHz 时钟), 相位以 17 比特位来表示, 从而能保证良好的 SFDR。AD9854 的电路结构可以产生高达 150MHz 的积分信号输出, 采用数字调谐, 速度可达 100 万次/秒。AD9854 采用先进的 0.35 微米 CMOS 技术, 其全部功能实现都可以用

3V 电平供电, 80LQFP 表面封装也大大节省了空间。AD9854 以其高度灵活性、技术优越性常被用于高级 DDS 技术中。AD9854 有一个 8-bit 并行 I/O 口 (与一个符合 SPI 标准的串行 I/O 口复用)。通过 I/O 操

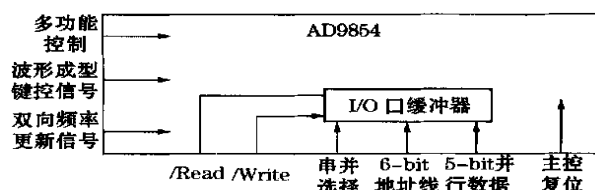


图 1 AD9854 外部的接口信号示意图

作, 可以对寄存器体中的寄存器进行读写。并口由 6 个地址位, 8 个比特的双向数据和 2 个独立的读/写输入引脚组成。主控复位信号由处理器从外部输入逻辑高电平有效, 使接口总线初始化。下面是 AD9854 与外部的接口信号示意图 (如图 1 所示) 及读/写时序图 (如图 2、图 3 所示)。

图 2 中, T_{ADV} 是地址到数据有效的最大间隔, 为 15ns; T_{ADH} 是地址信息当读信号无效后的最小保持时间, 为 5ns; T_{RDLOV} 是读信号有效到输出有效的最大间隔, 为 15ns; T_{RDHOZ} 是读信号无效到数据高阻状态的最

* 收稿日期: 2002—05—14

大间隔, 为 10ns 。

图 3 中, T_{ASU} 表示地址建立到写出信号有效的的时间, 为 8ns ; T_{DSU} 表示数据建立到写出信号有效的的时间, 为 3ns ; T_{ADH} 表示写信号无效后地址保持时间, 为 0ns ; T_{DHD} 表示写信号无效后数据信号的保持时间, 为 0ns ; T_{WRLOW} 表示写信号低电平的最小时间, 为 2.5ns ; T_{WRHIGN} 表示写信号高电平的最小时间, 为 7ns ; T_{WR} 表示写信号的最小周期, 为 10.5ns 。

2.2 PC 9054 芯片介绍

PC 9054 是 PLX 公司生产的 32 比特、 33MHz 、局部总线 32 比特、 50MHz 的高性能 PCI 加速器。有猝发发起者、目标和 DMA 三种周期操作模式。包含 I/O 消息单元, 支持 COMPACT PCI 热切换。PC 9054 优于其他 PCI 桥接器的特点之一就是: 它有两个 DMA 通道, 提高了吞吐量。PC 9054 支持局部总线时钟速度高达 55MHz , 而 PCI 总线速度可达 33MHz 。它的另一个优点是, PC 9054 的价位比同类产品的价位要低。如果在设计应用中不需要用到 RISC 的 CPU, 则采用 PC 9054 将是一个上佳之选。

3 设计方案及实施途径

3.1 设计方案

数据单元与模拟单元的连接如图 4 所示。数字电路单元与模拟电路单元之间的接口信号共有 31 根: 其中, 控制 DDS 芯片的接口信号线 19 根, 控制调制器和衰减器的接口信号线 12 根。各信号线的定义如下:

- DDS 地址线 (6 根, 输入)。
- DDS 数据线 (8 根, 输入/出)。
- DDS 控制线 (5 根):

WRB#: 向编程寄存器写入并行数据, 输入;
RDB#: 从编程寄存器读取并行数据, 输入;
FSK/BPSK/HOLD: 多功能控制脚, 输入;
SHAPED KEYING: 波形成型键控信号, 输

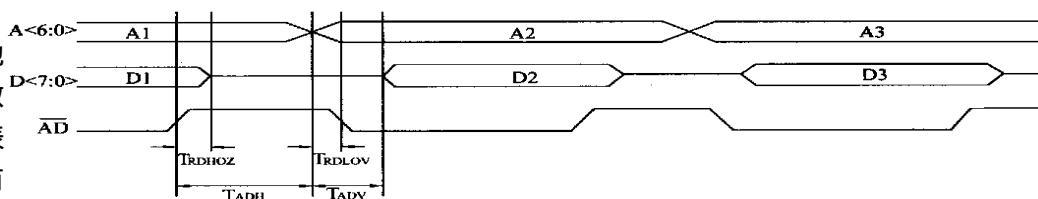


图 2 并口读时序

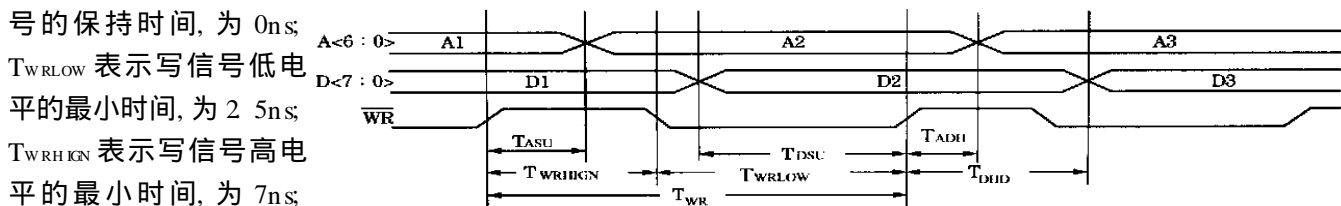


图 3 并口写时序

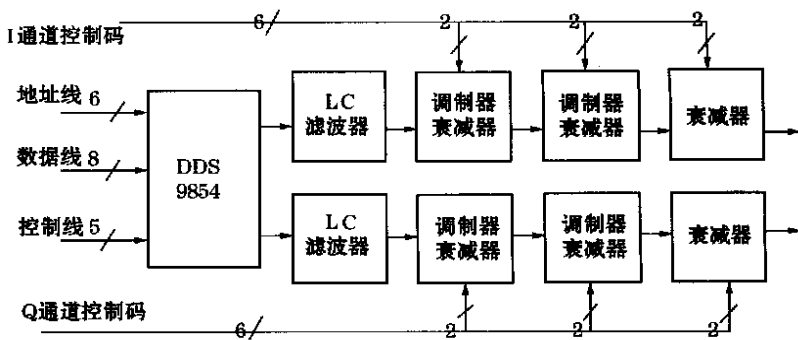


图 4 数据单元与模拟电路单元连接

入;

I/O UD CLK: 双向频率更新信号, 在此作输入用。

- I 通道控制码 (6 根)。
- Q 通道控制码 (6 根)。

3.2 PC 9054 工作方式的设定

PC 9054 有三种工作模式: 主控模式、目标模式、DMA 模式, 本设计中采用的是 PCI 目标传输方式。所谓 PCI 目标传输方式, 是指 PCI 总线控制着从局部总线读出或写入数据 (PC 9054 作为 PCI 总线的目标, 同时又是局部总线的主控者)。那么, PC 9054 是如何获取局部总线控制权的呢? PC 9054 置位 LHOLD 以申请得到局部总线控制权, 只有当 LHOLD 和 LHOLDA 同时有效时, 它才获得局部总线控制权。当 PC 9054 获知 LHOLDA 信号无效时, 且局部总线暂停计时器

变空, 它会再次置位 L_{HOLD} 以申请局部总线控制权, 直到 PCI 9054 收到 L_{HOLDA}, 它才继续保有总线并进行传输。由于 DDS 芯片没有能力进行仲裁, 而且局部器件只有一片 DDS, 不存在竞争问题, 故在设计中, 将 L_{HOLD} 与 L_{HOLDA} 相连。在目标传输方式下, PCI 总线主控设备为局部总线的初始传输进行内存空间的地址分配。在 PCI 总线进行读/写时, PC 9054 成为局部总线的主控设备及仲裁者。PC 9054 将数据读入 PCI 目标读 FIFO 中或者将数据写到局部总线, PC 9054 可以通过编程产生等待时钟周期 (如果写 FIFO 慢, 则解除 TRDY#) 来保持 PCI 总线。PC 9054 在 PCI 目标写 FIFO 变空或 PCI 目标读 FIFO 变满时, 可以通过编程来继续保持总线并使 L_{HOLD} 继续有效。无论在何种情况下, 当局部总线延迟计时器使能和计时已满 (MARBR [70]) 时, 局部总线将被释放。对于 PCI 目标写, PCI 总线将数据写到局部总线上, PCI 目标享有最高优先权; 对于 PCI 目标读, PCI 总线主控设备从局部总线从设备读取数据。PC 9054 对地址空间 Q₁、扩展空间支持字节对齐 (可通过对内部寄存器进行配置来实现)。

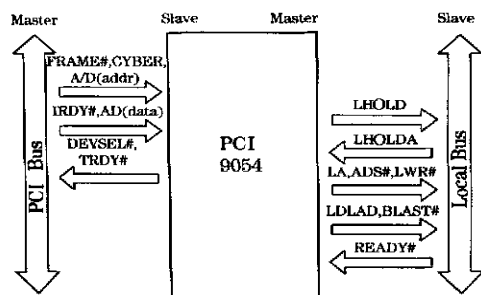


图5 PCI目标写

显然, 在这里速度不是主要问题, 由于 AD9854 的内部寄存器很少, 容量为 64 字节, 可以通过预读取或预写入的方式将数据提前存取到直通通道的 FIFO 中, 就能实现无等待猝发传送。PCI 目标读 FIFO 为 16-Word (64 字节), PCI 目标写 FIFO 为 32-Word (128 字节)。对 PCI 控制器选择直接目标传输的工作模式, 由于 AD9854 的数据线和地址线是分离的, 所以, 这里采用 PC 9054 的 C 总线模式 (32-bit 地址/32-bit 数据位宽 (非复接)) 与 AD9854 进行数据传输。PC 9054 内部寄存器的初始化可由串行 EEPROM (93CS56L/93CS66L 或与只兼容的器件) 来实现, 在复位以后, PC 9054 从 EEPROM 中读取数据对其内部寄存器进行编程, 当然它也可通过 PCI 总线处理器来进行初始化。

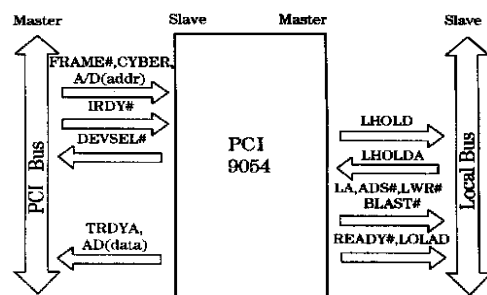


图6 PCI目标读

3.3 控制逻辑的设计

在本设计中, AD9854 作为 PCI 局部总线的从设备, 没有总线主控能力, AD9854 相当于是一个 PCI 总线局部存储器, 该局部存储器的容量为 64 字节, PC 9054 对它的控制就是一个对其内部寄存器进行读/写的过程, 然而, 根据 AD9854 的读/写时序图, 为异步操作, 由于 PCI 局部总线接口为同步总线工作方式, 所以, 需要一个 PLD 来实现所需的 PCI 局部总线与 DDS 之间的接口信号, 并使同步总线能对异步器件进行管理, 完成猝发传输。所以, 在这块接口卡的设计中, PLD 的设计是关键。

有关 PC 9054 对 AD9-854 的读写控制用一个状态机来实现, 在控制中要注意的是对 Blast-1 信号的确认及产生一个标志位。下面是 PC 9054 PLD 与包括 AD9854 在内的模拟单元之间的信号连接关系:

LCLK - - - CLK (PLD): PC 9054 局部时钟与 PLD 时钟同步;

LA [5:2] - A [5:2]: 局部地址总线;

BE1# - - - LA1, BE0# - - - LA0: 局部地址低两位;

LAD [7:0] - D [7:0]: 局部总线数据;

LA [31:30] - (PLD) - HCS#: 产生 PLD (包括 DDS) 不同输出性质信号的选通信号;

LW/R# - (PLD): PCI 局部总线复合读写信号转换成分离的读写信号给 DDS;

Ads - L_Blast - L_Reset - L: 由 PC 9054 输出的传输控制信号;

READY#: 由 PLD 产生返回给 PC 9054 的局部器件准备好信号。

在 C 模式下, 对于 PCI 目标传输, 三个局部地址空间都能通过字节使能 LBE [3:0]# 的设置来支持 8 比特、16 比特或 32 比特的数据总线宽度, 对 8-bit 总线, BE1# and BE0# 分别用来连接 LA1 和 LA0。关于接口卡的时钟: 将 PCI 总线的时钟经缓冲后分别送给局部总线接口以及 PLD, DDS 的读写由与 PC 9054 局部总线同步的 PLD 输出控制信号提供, 这样, 就解决了 PC 9054 控制异步器件读写的问题。

CPLD 设计的时序仿真结果如

图 7 所示。

4 结束语

PCI 总线已是当今工业控制计算机所采用的主流总线, 各种应用层出不穷。运用 PCI 接口控制器进行接口卡设计已相当广泛。在自己进行设计时, 要注意具体情况具体分析, 另外, 在对 FPGA 进行编程前, 必须深入了解和掌握 PCI 控制芯片局部总线的信号时序, 分析各种信号之间的依赖关系, 这是实现逻辑功能的基础; 要注意各读写信号与外部模块的密切协调, 调整产生满足其要求的接口信号, 才是正确实现接口各项功能的保证。

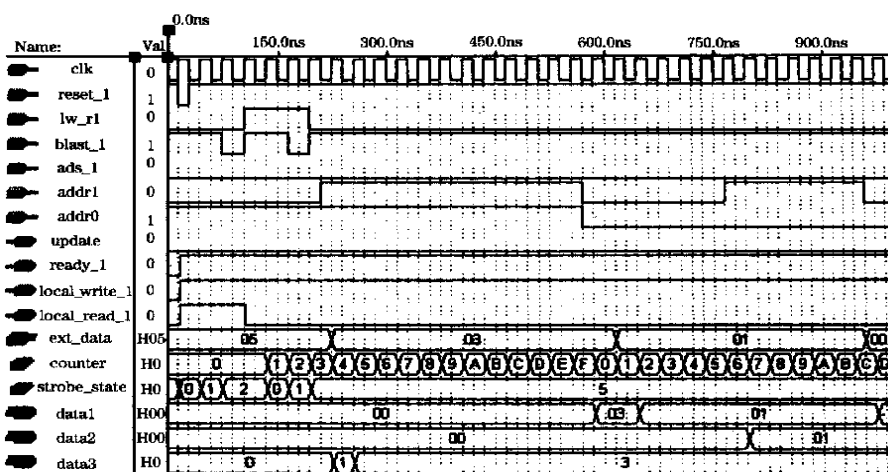


图 7 CPLD 功能仿真图

德州仪器推出首款在同一封装中集成六个 ADC 的 16 位转换器

日前, 德州仪器公司 (TI) 推出业界首款在同一封装中集成了 6 个独立的 ADC 的 16 位模数转换器 (ADC)。该款高性能设备出自 TI 的 Burr-Brown 产品线, 可在发动机控制、多轴定位、能量监控以及光网络等应用中实现信号的高吞吐率及同步采样功能。

ADS8364 不仅可以提供 250kSPS 同步采样, 还可提供具有超低功耗 (69mW 每通道) 且数字接口电压介于 2.7V 到 5.5V 之间的所有 6 输入通道的转换, 这样使得所有通道的单位成本均较低。该设备包括 6 个高速采样-保持放大器、6 个高速 ADC、1 个参考电压源及 3 个参考电压缓冲器, 其板上 FIFO 可提供灵活易用的 DSP 与 MCU 接口。

ADS8364 比其最强劲的竞争产品多 50% 的通道

数及 4 倍的吞吐率。使用分立组件构建类似系统会要求更大的板级空间、更高的功耗、更多数量的部件以及更高的总成本。该器件的推出是对 TI 同步采样转换器产品系列的有力补充, 可满足发动机控制、工业、能量及光学监控与控制等应用。

ADS8364 的无失码比特数高达 14 位, 可 5V 电源工作, NL 为 ± 3 LSB、DNL 为 ± 1.5 LSB, 在 100kHz 输入信号下, 保证总失真 < -92 dB。内部集成差分的采样-保持放大器同时对 ADC 的输入也是全差分输入特性。这种特点使其在 50kHz 输入信号下可保证大于 80dB 的卓越共模抑制能力, 在诸如发动机控制及能量转换等高噪音环境下, 这一点非常重要。ADS8364 提供具有直接地址或周期的两种访问模式, 高速并行输出接口, 内部集成有灵活的 FIFO。每通道输出数据为 8 位或 16 位字。