

一种高速时钟电路的设计

摘要：本文基于 DDS 和 PLL 结合的频率合成方案，利用 DDS 芯片 AD9852 和集成锁相环 SY89421，论述了一种输出频率为 0.1Hz~200MHz 的高速时钟电路的设计，就时钟电路硬件设计实现原理和软件编程进行了详细论述。

关键词：DDS；锁相环；频率合成器

时钟源(频率源)是雷达、通信、测试仪器等电子系统实现高性能指标的关键,很多现代电子设备和系统功能的实现都直接依赖于所用的频率源的性能。当前高性能的频率源均通过频率合成技术来实现。目前频率合成的主要方法有锁相法和直接数字法。在某项课题中,需要产

生 0.1Hz~200MHz 频率范围精密可调的时钟信号,高速、精密可调的时钟的产生,只用单一的 PLL 和 DDS 都很难实现。为此,本文采用 DDS 和 PLL 相结合,利用 DDS 作为参考信号源,以 DDS 激励 PLL 的频率合成方案。该方案综合了 DDS 和 PLL 频率合成器的优点,具有极高的频

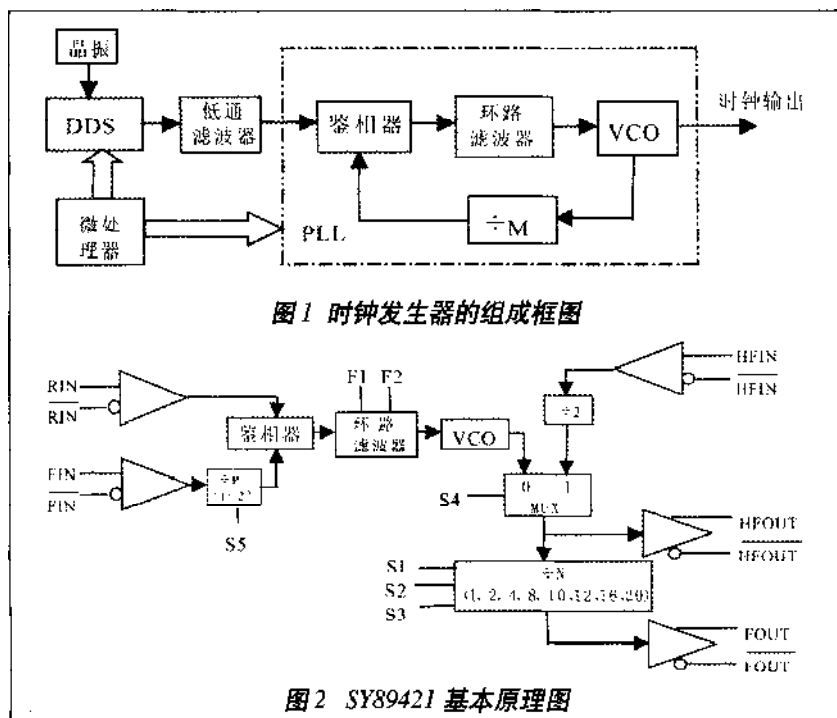
率分辨率和较好的噪声性能,而且频率范围宽、控制灵活。

基本工作原理

以 DDS 激励的 PLL 频率合成器的基本组成框图如图 1 所示。用一个高稳定的晶振作为 DDS 的参考时钟源,通过单片机或是 PC 机把频率控制字和相位控制字写入 DDS 内部的寄存器中,再经过外部的 LC 低通滤波器滤去谐波和杂散,DDS 就可产生一个频率和相位都可编程控制的模拟正弦波输出,将其作为 PLL 的鉴相标准频率信号,并根据 PLL 内的压控振荡器(VCO)的频率输出范围,设定分频器的分频比 M ,便能得到频率为 DDS 输出频率 M 倍的时钟信号。这样,可通过改变 DDS 的频率控制字和 PLL 的分频比,即可获得在一定频率范围内可调的时钟信号输出。其分辨率为 DDS 分辨率的 M 倍。

硬件设计

本文所设计的高速时钟电路中



的DDS芯片,选用的是ADI公司的AD9852,它的参考频率最高可达到300MHz,并有多种工作模式。PLL芯片选用了Synergy公司的SY89421,输出频率范围为20MHz~1120MHz。

AD9852 简介

AD9852主要由时钟乘法器、相位累加器、正弦查询表、逆SINC滤波器、D/A转换、比较器等组成。在基准时钟的控制下,相位累加器在每一个时钟来临时与频率控制字 Δf 所决定的相位增量累加一次,数字保留于累加器中。正弦查表ROM实现从相位累加器输出的相位值到正弦幅度值的转换。根据输入到正弦查表ROM的相位值取出ROM中与之对应的数字量,数字量再经过数模转换器得到相应的阶梯波,最后经低通滤波器对阶梯波进行平滑处理,即输出一个频谱很纯的正弦信号。还可以通过片内的高速比较器将正弦波信号转换成方波,作为时钟信号输出。DDS输出信号的频率 f_{DDS} 为:

$$f_{DDS} = \Delta f \cdot f_{CLK} / 2^N \quad (1)$$

其中 f_{CLK} 为标准参考频率源工作频率。 N 为相位累加器字长。

SY89421 简介

SY89421是一种高性能的差分式锁相环频率合成器芯片,基本原理如图2所示。SY89421片内鉴相器的参考输入频率在30MHz~560MHz范围内,通过S4来选择使用片内VCO或外接VCO,SY89421是差分式的PECL频率输出,HFOUT输出频率的范围是480MHz~1120MHz,通过S1、S2和S3对N分频器编程来设置FOUT的输出频率范围。另外片内还包括一个1位的程序分频器P,当S5逻辑电平为1时,P=2,可实现

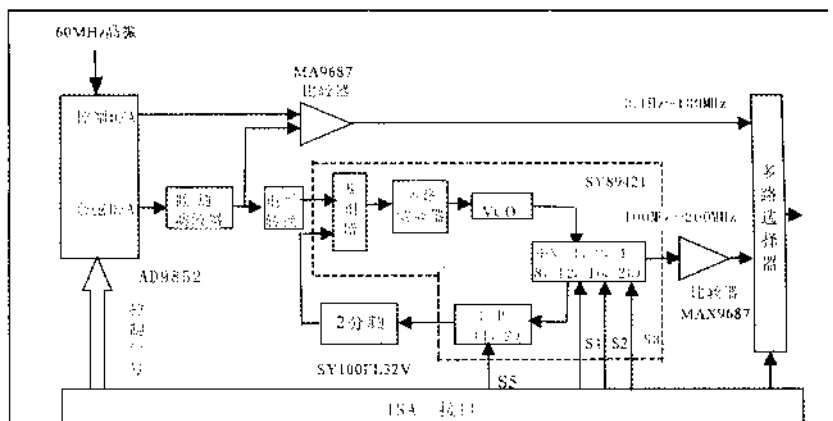


图3 0.1Hz~200MHz 时钟发生器硬件组成框图

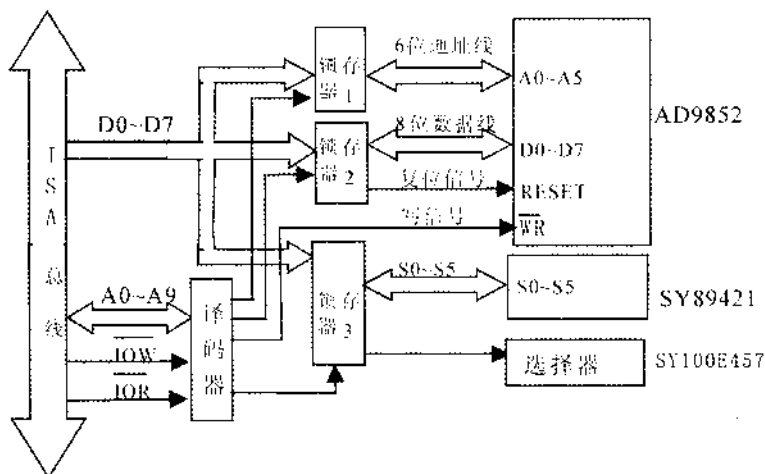


图4 时钟发生器控制单元电路框图

对基准频率的2倍频。在实际应用中,可以根据需要,在反馈回路 $FOUT$ 、 \overline{FOUT} 和 FIN 、 \overline{FIN} 之间增加片外分频器。

时钟电路设计

所设计的时钟电路的输出频率范围为0.1Hz~200MHz,为了覆盖整个频段,在设计中采取分频段的方法:在低频段(0.1Hz~100MHz)采用DDS的直接输出;在高频段(100MHz~200MHz)采用DDS结合PLL输出。时钟电路的硬件组成如图3所示。

高速比较器MAX9687用来产生方波信号,MAX9687输出为差分的ECL电平,最高频率为600MHz,多

路选择器SY100E457用来对两路信号进行切换选择,另外,为了减少DDS的输出杂散和相位噪声,在SY89421的反馈输出端和鉴相输入端增加2分频器SY100EL32V,这样可通过控制S5的状态,来实现对DDS输出的基准频率2分频或是4分频。

高频稳的60MHz晶振经过AD9852内部4倍频,使DDS工作在300MHz参考时钟下,通过改变AD9852的频率控制字,内部的余弦D/A转换器输出为0.1Hz~100MHz的余弦信号,经过一个截止频率为120MHz的LC低通滤波器之后,加在比较器MAX9687的同相端,AD9852内部控制D/A转换器输出

的可控直流电平加在比较器的反向端,比较器 MAX9687 输出为占空比可调的 ECL 方波信号;当需要产生 100MHz~200MHz 的时钟信号时,改变 DDS 的频率控制字,输出频率范围为 25MHz~50MHz 的余弦信号,经过电平转换成差分的 PECL 电平后作为锁相环芯片 SY89421 的鉴相基准频率,再经过 PLL 4 分频之后,输出频率范围为 100MHz~200MHz 的差分 PECL 信号,两路差分信号加在比较器的两端,输出占空比为 1:1,频率范围为 100MHz~200MHz 的 ECL 时钟信号。

两路时钟信号经过多路选择器 SY100E457 选择输出。这样,通过改变 DDS 的频率控制字和 PLL 的分频比,就可以产生频率范围为 0.1Hz~200MHz 且可调的时钟信号。

控制逻辑设计

AD9852 同时支持 8 位并行或串行操作。在设计中选用了并行控制方案。当选择并行传输方式时,AD9852 提供了 6 条地址线,8 条数据线和独立的读/写信号。AD9852 内部有 40 个寄存器,AD9852 的并口传送的数据首先被写入缓存中,这些数据需要被写入寄存器,AD9852 才能完成相应的功能。AD9852 用两种方式来完成数据从缓存到寄存器的传送。一种是通过内部更新信号完成,可通过设置更新时钟的速率,产生固定周期的内部更新信号;另一种是通过外部更新信号完成,AD9852 的 I/O UD (Update 更新信号) 引脚与外部控制信号相连,通过外部控制信号完成数据的更新。由于本文不要求很高的频率转换速度,所以在设计

中采用内部更新的方式。PC 机通过 ISA 接口实现对 AD9852 的并行控制,本文使用的端口地址为 340H、341H、342H、343H,AD9852 与 ISA 接口数据线、地址线、控制线的连接如图 4 所示。ISA 总线的地址线和读/写信号经译码后,作为 3 个锁存器的选通信号。当对地址 340H 的端口进行写操作时,锁存器 1 选通,送 6 位地址信号对应 AD9852 片内的 40 个寄存器,当对地址 341H 的端口进行写操作时,锁存器 2 选通,送 8 位数据信号或是复位信号。当地址信号、数据信号建立以后,选通 342H 端口,写信号变低,在写信号的下降沿,数据被写入 AD9852 相应的寄存器中。

锁相环 SY89421 的控制信号 S1、S2、S3、S4、S5 逻辑电平兼容 TTL。当对地址为 343H 的端口进行写操作时,锁存器 3 选通,锁存器 3 输出的数据作为 SY89421 的控制信号 S0~S5 和多路选择器的选通信号。

控制部分软件采用 C 语言编写,限于篇幅,下面仅给出控制程序片段:

```
int ck1=0x341;
outportb(ck1,0x00);
outportb(ck1,0x02);
outportb(ck1,0x00);
/*片内寄存器初始化*/
int ck0=0x340;
outportb(ck0,0x1E);
/*送片内控制寄存器的地址1E*/
outportb(a,0x45);
/*送地址为1E控制寄存器的数据,片内时钟5倍频*/
int ck2=0x342
outportb(ck2,0x00);
/*送写信号,写入数据*/
```

```
outportb(ck0,0x1E);
/*送片内控制寄存器的地址1F*/
outportb(ck1,0x00);
/*工作于单频模式,外部更新*/
outportb(ck2,0x00);
```

实验结果及讨论

本时钟电路经实用测试,满足输出频率 0.1Hz~200MHz,可调步进 0.1Hz 的设计要求。在设计中,高频的时钟信号必须遵照高速电路设计的基本准则,以消除时钟信号的终端反射效应和传输延迟,防止对其他电路造成串音干扰。在印刷电路版的设计中,采取的措施有:采用多层印制板,地和电源各使用一层;在每个电源的输入端和地之间加上耦合电容和滤波电路;数字地和模拟地分开;尽量缩短传输线,采用阻抗匹配技术;在信号线间采用屏蔽措施。

本时钟电路产生的是 ECL 电平时钟信号,如果要得到 TTL 电平,可在选择器输出端增加 ECL 到 TTL 电平的转换器件,如 SY100S325。

参考文献

- 1 张厥盛 郑继禹 万心平,锁相技术,西安电子科技大学出版社,2002
- 2 A technical tutorial on digital signal synthesis, Analog Device Inc., 1999
- 3 Micrel-Synergy product data book, micrel-Synergy semiconductor corporation, 1999
- 4 李广军 王厚军,实用接口技术,电子科技大学出版社,1998

(收稿日期:2003-07-09)