

DDS+PLL 短波频率合成器设计

袁 伟, 葛临东

(信息工程大学 信息工程学院, 河南 郑州 450002)

【摘要】本文讨论了 DDS+PLL 结构频率合成器硬件电路设计中需要考虑的几方面问题并给出了设计原则, 依此原则我们设计了一套短波波段频率合成器, 实验结果证实了其可行性。

【关键词】DDS PLL 频率分辨率

【中图分类号】TN74 【文献标识码】A

A DDS+PLL Frequency Synthesizer for HF Band

Yuan Wei Ge Lindong

(Information Engineering college, Information Engineering University of PLA, Zhengzhou, Henan, 450002, China)

【Abstract】This paper is intended to discuss the issues considered in designing the hardware circuit of frequencies synthesizer with PLL and DDS, as well as to provide the corresponding design principles. A set of shortwave frequencies synthesizer based on the principles mentioned above is implemented. Finally the feasibility is verified by the experimental results.

【keywords】DDS PLL Frequency Resolution

DDS+PLL 结构频率合成器概述

DDS+PLL 结构频率合成器具有输出信号频带宽、频率分辨率高、低相噪、低杂散等优点, 广泛应用于电子测量、雷达、通信系统等技术领域。它的设计思想是: 用 DDS 的输出频率作为 PLL 系统的参考信号, 通过较高的鉴相频率来缩短 PLL 的锁定时间, 并利用 DDS 的高频率分辨率来保证 PLL 系

统输出信号的频率间隔, 同时依靠 PLL 的可编程变频能力拓宽频合系统输出信号的频率范围, 另外 PLL 中的环路滤波对 DDS 输出信号中的杂散分量还有一定的抑制作用。用这种方式实现的频率合成系统, 结构简单, 便于集成, 易于控制。

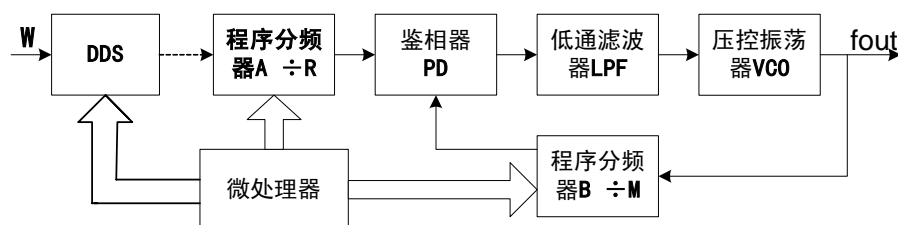


图 1 DDS 激励 PLL 方式频率合成原理图

DDS+PLL 结构频率合成器设计

在某短波电台的研发项目中, 我们需要设计一款高性能的频率合成系统作为电台前端的本振源, 对其主要技术指标有如下要求: ①输出频率范围。该电台主要针对 1.5~16MHz 短波波段信号进行接收解调, 中频频率定在 21.4MHz, 因此要求合成器能够提供 22.9~37.4MHz 频段的频率作为本振信号; ②频率步进为 1Hz; ③频率稳定度达到 10^{-8} ; ④杂波抑制优于 50dBc; ⑤相位噪声能够达到无线通信系统的一般要求(在偏离

载频 10kHz 时为 -80~-110dBc/Hz)。

围绕着上述指标要求, 实际设计中我们重点考虑下面几个问题。

1. 频段的设定

频率合成系统的最终输出频率是从压控振荡器末端得到的, 因此压控振荡器的调谐范围必须能够覆盖合成器的工作频段, 而且还要留有一定的富余以便在实际应用中进行调试。从降低设计难度角度出发实际中我们将合成器的输出划分成三个频段分别实现。三个频段对应的输出频率范围分别为

相位抖动并获得较好的跟踪与捕获性能,要求环路带宽应尽可能大。矛盾双方以哪个为主,取决于环路的用途。当环路用做载波提取时,应以(1)为主。因此制作频率合成器时应该使锁相环路带宽尽可能小。但根据锁相理论,锁相环的捕捉时间 T_P 与环路带宽 ω_n 之间存在着如下关系:

$$T_P = \frac{(\Delta\omega_i)^2}{2\zeta\omega_n^3}$$

式中 $\Delta\omega_i$ 为输入固有频差; ζ 为环路阻尼系数。从中可以看出环路带宽越大捕捉时间越短,频率转换速度也就越快。所以在选择环路带宽时还要照顾到环路的捕捉时间问题。根据设计中的摸索将环路滤波器的通带截止频率定在 1M~2M 的范围内可以较好的实现各参数间的协调。实际电路中的环路滤波如图 2 虚线中所示。

4. 频率变换速度

因为 DDS 芯片的频率变换速度仅限于数字器件的响应速度,几乎是即时的,所以 DDS+PLL 式合成器输出频率的变换时间主要取决于 PLL 的捕捉时间。在上面的讨论中我们知道了 T_P 、 ζ 、 $\Delta\omega_i$ 和 ω_n 之间的相互关系,选择较大的环路带宽可以缩短环路捕捉时间。但在设计锁相环路时为了减小环路中鉴相器对鉴相信号的泄漏而造成的输出杂散,一般把环路的 3dB 带宽设计在远小于鉴相频率。 ω_{3dB} 降低 ω_n 也随之降低,但 ω_n 的降低将会使 PLL 的锁定时间加长,所以,要缩短 PLL 的锁定时间,还要尽量提高鉴相频率。PLL 鉴相频率的选择也是设计人员需要精心权衡的一个参数。设计中可以按下面的经验公式来估算环路捕捉时间:

$$T_P = \frac{25 \sim 30}{f_{PD}}$$

f_{PD} 为鉴相频率,它的取值越高,捕捉时间越短。

5. 芯片选型

选择合成器主功能模块(DDS 芯片和 PLL 芯片)的基本原则是要满足合成器的设计指标,其中首要的两个指标是输出频率范围和频率分辨率,所以选择芯片时应该首先考虑满足这两项指标。其次选择芯片还需要考虑芯片的内部结构对输出的影响,选择 ROM 表容量较大、DAC 位数较多的 DDS 芯片和线性性能较好的 PLL 芯片可以降低输出信号中的杂散分量,提高频谱纯度。此外根据实际情况还应尽可能选择功耗小、成本低的芯片。

另外在制作频率合成器的过程中还应注意以下两点:

①DDS 输入时钟的选择。主要考虑两方面因素:一是时钟频率的大小,受限于 DDS 芯片允许的最高工作频率;二是时钟信号的稳定性,DDS+PLL 结构频率合成器输出信号的频率稳定度等同于 DDS 时钟信号的稳定度,因此要根据合成器对稳定度的要求选择合适的时钟。

②根据输出频率范围选择合适的 DDS 输出频率和 PLL 的分频比。DDS 信号是由正弦波的离散采样值的数字量经 D/A 转换为阶梯形模拟波形的,当时钟频率为 f_{CP} ,输出正弦波的频率为 f_{DDS} 时,存在着以采样频率为折叠频率的一系列镜像频率分量,这些镜像频率值为 $nf_{CP} \pm f_{DDS}$,它们的幅度沿 $\text{Sin}(x)/x$ 包络滚降,频率如图 3 所示。

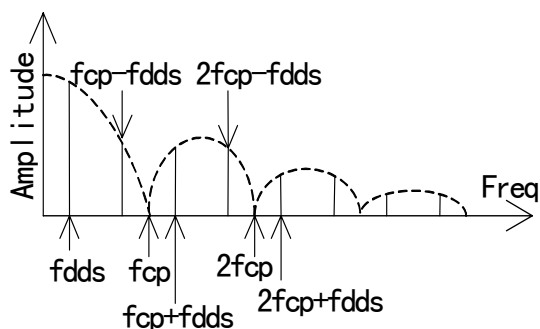


图 3

从谱图中我们看出第一个镜像分量 $f_{CP} - f_{DDS}$ 最靠近输出信号且幅度最大。在时钟频率确定的情况下,为了降低 D/A 后低

通滤波器的制作难度应尽量降低 DDS 的输出频率, 使该镜像分量远离滤波器的带宽。但 DDS 输出频率又不能选择过低, 那样的话要满足合成器的输出范围, 就要求增大 PLL 的分频比。对于一个分频比为 N 的标准 PLL, 由于其倍频作用, 在闭环带宽内相位噪声将增加 $20\log NdB$, 如果分频比 N 增大

会使输出相位噪声恶化, 带内部分杂散分量的能量也会增加。而且 PLL 参考频率的降低, 也会降低锁相环的锁定速度。

遵照上述设计原则, 以 AD 公司的 AD9835 (DDS) 和 Fujitsu 公司的 MB1505 (PLL) 为核心, 我们设计了一套 DDS+PLL 结构频率合成器, 其功能框图如下所示:

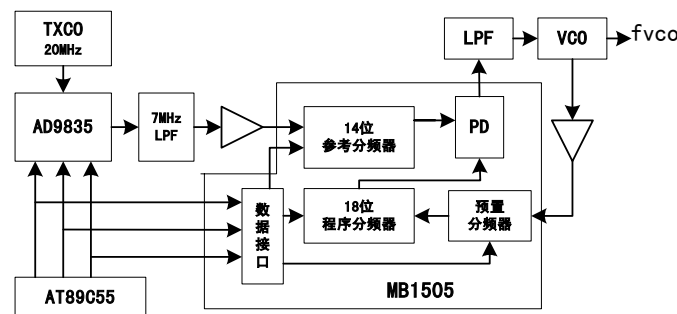


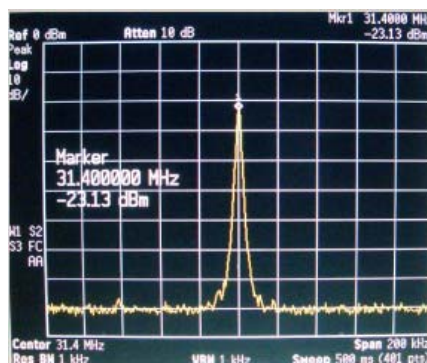
图4 合成器功能框图

合成器性能测试

在硬件电路调试完毕后, 我们对频率合成器的输出结果进行了测试, 得到该合成器的实测技术指标如下:

- 输出频率范围为 22.9MHz~37.4MHz
- 最小频率间隔为 1Hz
- 相位噪声在偏离主频 10kHz 处为 -85dBc/Hz
- 杂波抑制大于 50dBc
- 频率稳定度为 10^{-8}
- 频率转换时间约为 5ms

下图是用惠普 E4405B 频谱仪测得的合成器输出频谱图。



结束语:

DDS+PLL 结构频率合成器综合了 DDS 技术和 PLL 技术各自的优势, 是当今频率合成技术的主流发展方向。文章讨论了合成器设计过程中重点考虑的几方面问题并给

出了设计原则, 实验结果表明, 该方案是切实可行的。

参考资料:

- [1] 陈邦媛 《射频通信电路》科学出版社 2002. 08
- [2] 张厥盛 《锁相技术》西北电讯工程学院出版社 1986. 6

作者简介:

袁伟, 男, 汉族, 生于 1979 年, 解放军信息工程大学信号与信息处理专业 2002 级硕士研究生, 主要研究方向: 信号与信息处理
葛临东, 男, 汉族, 生于 1946 年, 解放军信息工程大学信息工程学院教授, 主要研究方向: 基于软件无线电的无线通信信号分析

Author brief introduction:

YUAN Wei(1979--), Han nationality, he is a graduate student in the department of Information Science at PLA Information Engineering University, the major research direction is the signal and information processing.

GE Lindong(1946--), Han nationality, professor of Information Engineering University of PLA, the major research direction is the software radio and wireless communication signal processing.

姓名：袁 伟

邮编：450002

通信地址：郑州 1001 信箱 835 分箱

电话：13523417960

e-mail: rednoah987@163.com