

本资料，作为客户热量设计时的参考，关于本公司的热阻的各参数定义、测量方法等在此进行解说。

■背景

通常，元件的结温(Junction Temperature) (T_j) 每上升 10℃，器件的寿命就会大约减为一半，故障率也会大约增大 2 倍。Si 半导体在 T_j 超过了 175℃时就有可能损坏。由此，使用时就必须极力降低 T_j，以容许温度（通常 80~100℃）为目标进行热量设计。但是，对于功率器件那样的高输出元件，要把 T_j 抑制在容许温度以下其实是比较困难的，所以通常以规格书里揭载的最高容许温度的 80%为基准来设计 T_j。另外、即使器件的封装相同，根据器件的芯片尺寸、引线框架的定位尺寸、实装电路板的规格等不同、热阻值也会发生变化，需要特别注意。

■定义

半导体封装的热阻是指器件在消耗了 1 [W]功率时以产生的元件和封装表面或者周围的温度差用以下公式进行计算的。

$$\theta_{ja} = \frac{T_j - T_a}{P_d}$$

$$\psi_{jt} = \frac{T_j - T_{c1}}{P_d}$$

$$\theta_{jc} = \frac{T_j - T_{c2}}{P_d}$$

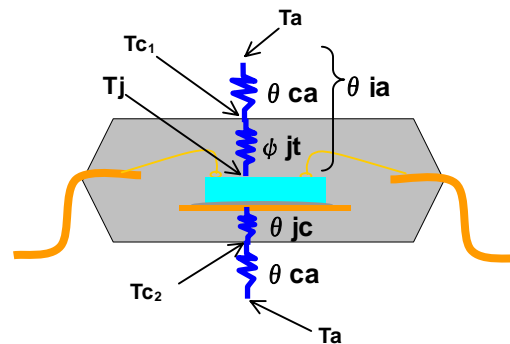


图 1 封装的热阻

表1 用語的定义

项目	定义
θ_{ja}	结温 (T _j) 和环境温度 (T _a) 间的热阻
ψ_{jt}	结温 (T _j) 和封装外壳表面温度 (T _{c1}) 间的热阻
θ_{jc}	结温 (T _j) 和封装外壳背面温度 (T _{c2}) 间的热阻
θ_{ca}	封装外壳温度 (T _c) 和环境温度 (T _a) 间的热阻
T _j	结温
T _a	环境温度
T _{c1}	封装外壳表面 (型号面) 温度
T _{c2}	封装外壳背面温度
P _d	最大容许功率

■ 结温(Tj)的验证方法 (ψjt 已知)

用以下的方法可以估算结温(Tj)。

- ① 先求 IC 的功率(P)。
- ② 在实际组装时的环境条件下,用放射温度计或热电偶来测量封装表面温度Tc1。
- ③ 把测得的Tc1代入下式后,就可以算出了。

$$Tj = \psi jt \times P + Tc1$$

如之前讲述的、推荐以 Tj 的最高容许温度的 80%为基准来进行热量设计。

注)本公司测定的 θja, ψjt 是实装到以 JEDEC 规格为基准的电路板上时的数值,但是根据引脚类型的尺寸、电路板的材质和尺寸、电路板上的布线比率的不同,多少会有些变化,要特别注意。

■ 热阻的测量方法

本公司热阻的测量方法是以 [JEDEC 规格] 为基准,在以下表示。

[测量电路板]

下图是测量电路板的概略图。关于详细信息请查阅 EIA/JEDEC 规格 EIA/JESD51-3/-5/-7。

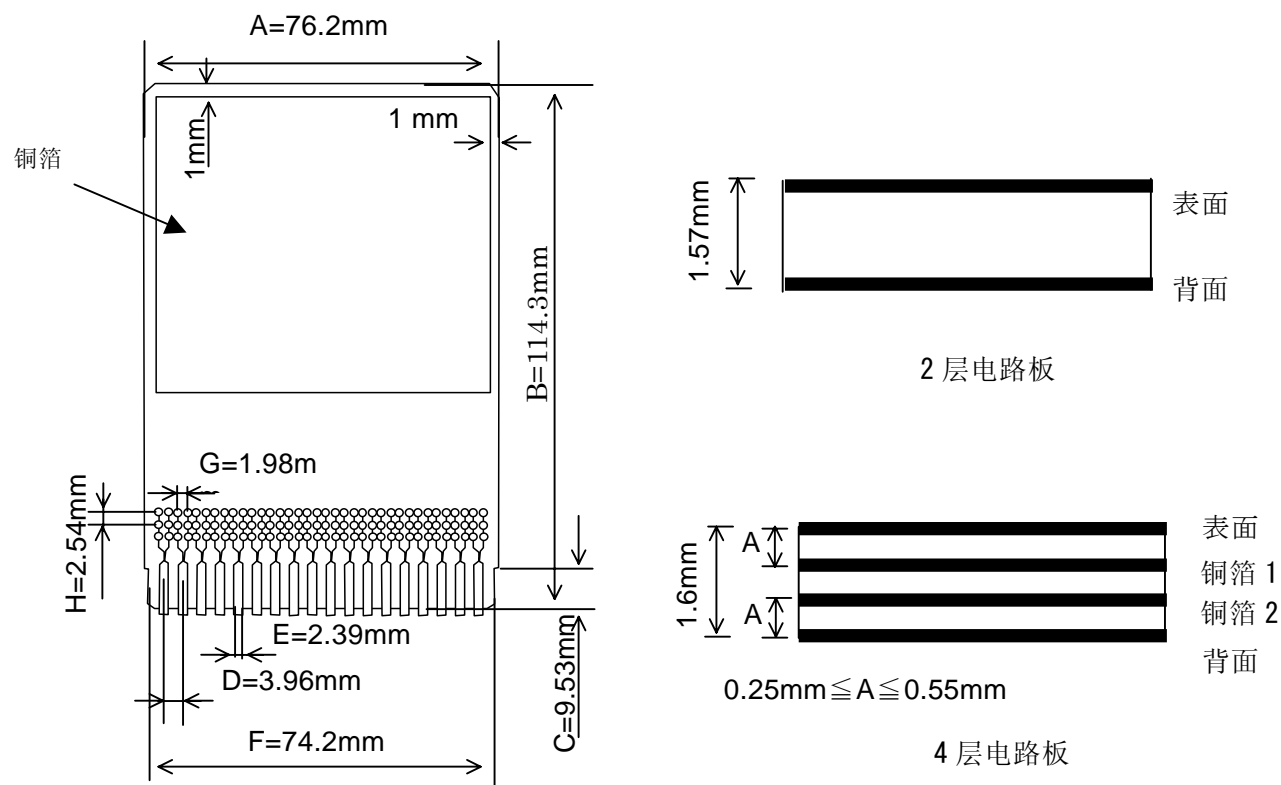


图2 测量电路板概略图

实装电路板 : EIA/JESD51-3/-5/-7 基准、FR-4

电路板尺寸: 2层 114.3×76.2mm、厚度 1.57mm、

4层(内有铜箔) 114.3×76.2mm、厚度 1.6mm

注) 4层电路板的里面使用有铜箔 1, 2(尺寸: 74.2×74.2mm、厚度: 35um)。

[TEG 芯片]

在本公司为了测量热阻，特别准备了叫 Thermal Test-Element-Group（以下称热量 TEG）的芯片。它是由电阻元件和二极管构成，电阻元件是作为发热元，二极管则是作为温度传感器使用。以下显示的是抽象图和等价电路图的一例。

热阻会根据芯片尺寸发生变动，所以在本公司有 3 种芯片尺寸。

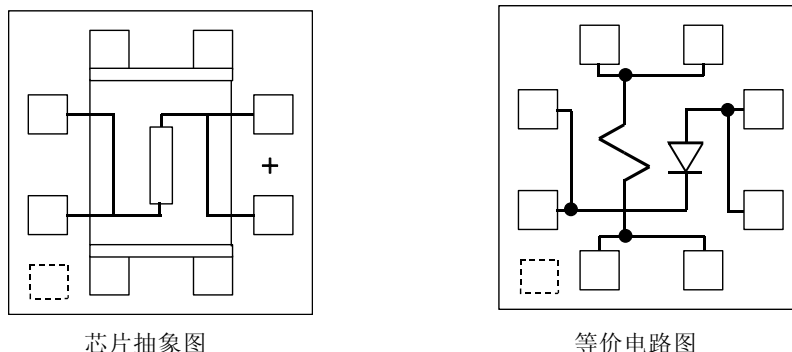


图 3 测量电路板概略图

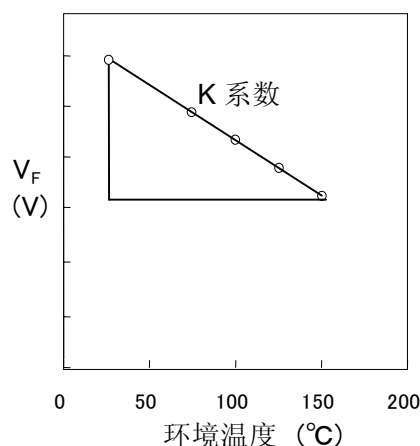
[K 系数]

为了求热阻，就必须要知道结温，但是又不能直接测量结温。可是，利用结温和二极管顺方向电压 (V_F) 的温度依赖关系，可以得知结温。 V_F 是温度的一次性函数，它的倾斜率称作 K 系数。

$$K = \left| \frac{\Delta T_j}{\Delta V_F} \right| \quad [^{\circ}\text{C}/\text{mV}] \quad \begin{aligned} \Delta T_j &= T_{Hi} - T_{Lo} \\ \Delta V_F &= V_{Hi} - V_{Lo} \end{aligned}$$

V_{Hi} ：高温时的二极管顺方向电压

V_{Lo} ：常温时的二极管顺方向电压



[测量环境]

测量时，为了排除外部风的影响，在亚克力箱中以无风的状态下进行的（图 4）。

另外，环境温度是用距离 PKG 中心以下 25.4mm 的热电偶来测量的。

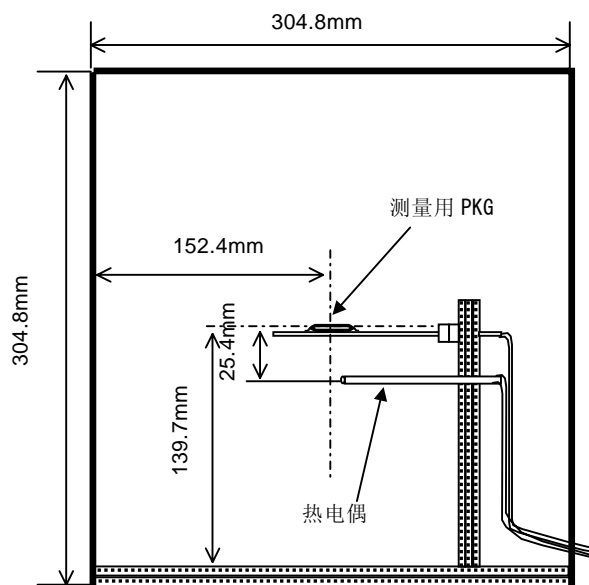


图 4 测量环境概略图

[测量电路]

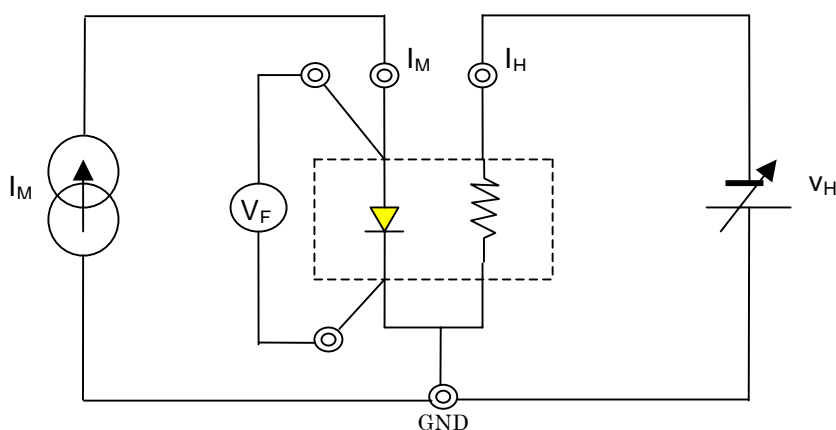


图 5 测量电路图

[测量时间]

1. 在器件加热前，先测量让内部二极管以 \$I_M\$ 电流 (1mA) 流动时的 \$V_{F0}\$ 值。
2. 然后给内部电阻以加热电压 \$V_H\$ 来加热一段时间，等稳定后再测量 \$I_H\$ 值。
3. 这时候再测量内部二极管以 \$I_M\$ 电流流动时的 \$V_{FSS}\$ 值。

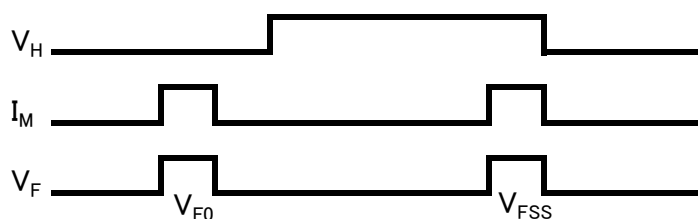


图 6 测量电路图

注) \$V_H\$是在最大保存温度 (\$T_{stg-max}\$) 左右和前后各 3 点来设定的值。

[热阻计算]

根据表 2 可以算出 \$\theta_{ja}\$ 和 \$\Psi_{jt}\$。

表 2 热阻的计算公式

热阻计算公式
<p>[\$\theta_{ja}\$ 计算公式]</p> $\theta_{ja} = \frac{\Delta T_j}{V_H \times I_H} = \frac{K \times \Delta V_F}{V_H \times I_H} \quad [^{\circ}\text{C}/\text{W}]$ $\Delta V_F = V_{F0} - V_{FSS}$
<p>[\$\Psi_{jt}\$ 计算公式]</p> $\Psi_{jt} = \frac{(\Delta T_j + T_a) - T_{C1}}{V_H \times I_H} = \frac{(K \times \Delta V_F + T_a) - T_{C1}}{V_H \times I_H} \quad [^{\circ}\text{C}/\text{W}]$ $\Delta V_F = V_{F0} - V_{FSS}$
<p>[用语说明]</p> <p>\$V_H\$: 加在TEG芯片内部电阻的电压</p> <p>\$I_H\$: 稳定时在TEG芯片内部电阻流动的电流</p>

[最大容许功率 P_d]

IC 在常温 (25°C 以下) 时的最大容许损失是用各 IC 的绝对最大定额消耗功率 (P_d) 来规定的。

环境温度超过 25°C 时, 就需变为对应各 IC 封装的热下降曲线 (Derating Curve)。

以下显示的是一般的热下降曲线。

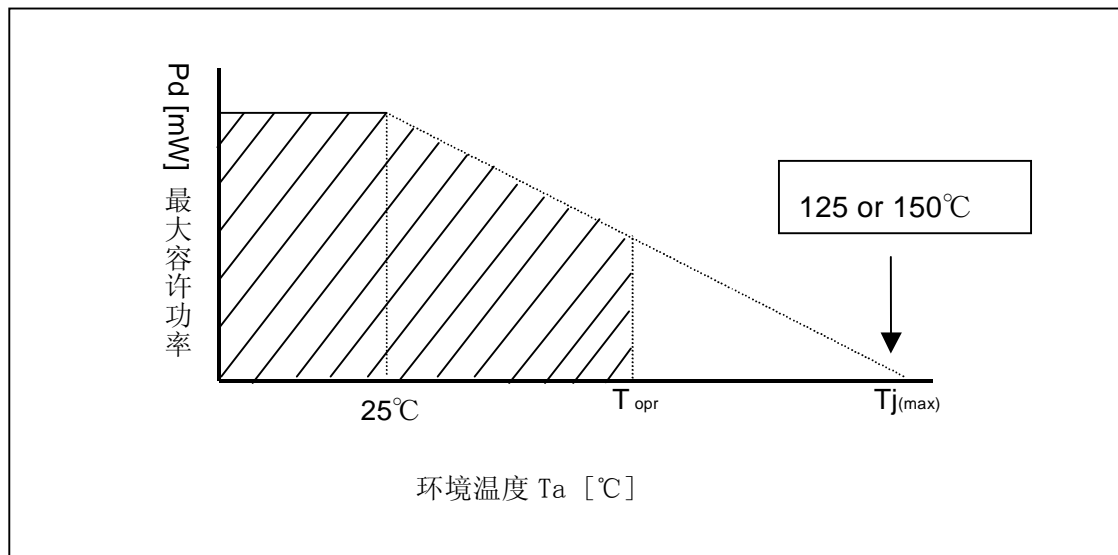


图 7 最大容许功率

■ 标准热阻值一览

表 3 表示的是各封装的标准热阻值（无风状态）一览。

注意事项：表中的值是代表值，会根据芯片尺寸、引线框架定位尺寸、电路板规格(材质、布线形式等)等的不同而变化。

表 3 热阻值一览

PKG	2 层电路板				4 层电路板			
	Tj:125°C		Tj:150°C		Tj:125°C		Tj:150°C	
	θ_{ja}	Ψ_{jt}	Pd@Ta=25°C		θ_{ja}	Ψ_{jt}	Pd@Ta=25°C	
	(°C/W)	(°C/W)	mW		(°C/W)	(°C/W)	mW	
DFN4-F1 (ESON4-F1) ²⁾	300	52	330	415	110	27	905	1135
DFN6-H1 (ESON6-H1) ²⁾	280	42	355	445	110	26	905	1135
DFN8-U1 (ESON8-U1) ²⁾	280	43	355	440	110	26	905	1135
DFN8-V1 (ESON8-V1) ²⁾	215	16	465	580	70	8	1425	1785
DFN8-W2 (ESON8-W2) ²⁾	195	21	510	640	60	8	1665	2080
DFN6 (SON6)	345	88	285	360	260	69	380	480
DMP8	235	47	425	530	175	40	570	710
DMP8-1	170	31	585	735	115	24	865	1085
DMP14	195	47	510	640	150	40	665	830
DMP16	195	47	510	640	150	40	665	830
DMP20	150	37	665	830	120	33	830	1040
EPCSP32-L2 ²⁾	210	29	475	595	95	16	1050	1315
EPFFP6-A2	370	59	270	335	220	53	450	565
EPFFP10-C4 ²⁾	295	64	335	420	160	55	625	780
EQFN12-E2 ²⁾	285	52	350	435	105	27	950	1190
EQFN12-JE ²⁾	215	22	465	580	80	10	1250	1560
EQFN14-D7 ²⁾	295	53	335	420	95	26	1050	1315
EQFN16-G2 ²⁾	255	43	390	490	100	26	1000	1250
EQFN16-JE ²⁾	180	21	555	690	70	11	1425	1785
EQFN18-E7 ²⁾	220	33	450	565	90	22	1110	1385
EQFN24-LK ²⁾	145	13	685	860	65	8	1535	1920
HSOP8 ²⁾	160	28	625	780	50	12	2000	2500
LQFP48-R3	75	9	1330	1665	45	5	2220	2775
LQFP52-H2	85	11	1175	1470	65	11	1535	1920
LQFP64-H2	65	6	1535	1920	50	5	2000	2500
MSOP8(TVSP8)	215	27	465	580	160	23	625	780
MSOP10(TVSP10)	215	27	465	580	160	23	625	780
MSOP8(VSP8)	210	33	475	595	155	25	645	805
MSOP10(VSP10)	210	33	475	595	155	25	645	805
PCSP12-C3	240	40	415	520	140	33	710	890
PCSP20-CC	225	40	440	555	140	33	710	890
PCSP20-E3	225	40	440	555	130	33	765	960
PCSP24-ED	205	40	485	605	115	26	865	1085
PCSP32-F7	225	24	440	555	115	17	865	1085
PCSP32-G3 ²⁾	205	24	485	605	115	17	865	1085
PCSP32-GD ²⁾	205	24	485	605	115	17	865	1085
PLCC28	55	10	1815	2270	35	7	2855	3570
QFN24-T1/T2	150	22	665	830	75	15	1330	1665
QFP32-J2	115	17	865	1085	90	15	1110	1385
QFP44-A1	95	17	1050	1315	75	15	1330	1665
QFP48-P1	65	17	1535	1920	50	15	2000	2500
QFP56-A1	105	17	950	1190	80	15	1250	1560
QFP64-H1	70	17	1425	1785	50	15	2000	2500

PKG	2 层电路板				4 层电路板			
	Tj:125°C		Tj:150°C		Tj:125°C		Tj:150°C	
	θ_{ja}	Ψ_{jt}	Pd@Ta=25°C		θ_{ja}	Ψ_{jt}	Pd@Ta=25°C	
	(°C/W)	(°C/W)	mW		(°C/W)	(°C/W)	mW	
QFP100-U1	55	5	1815	2270	45	5	2220	2775
SC-88A	355	89	280	350	260	73	380	480
SC-82AB	365	89	270	340	255	72	390	490
SOP8 (EMP8)	180	34	555	690	125	29	800	1000
SOP16-E2 (EMP16-E2)	110	21	905	1135	70	18	1425	1785
SOP22	120	18	830	1040	85	14	1175	1470
SOP28	155	37	645	805	125	33	800	1000
SOP40	135	37	740	925	105	33	950	1190
SOT-23-5 (MTP-5)	260	70	380	480	195	60	510	640
SOT-23-6 (MTP-6)	245	70	405	510	175	60	570	710
SOT-891) ²⁾	200	67	500	625	130	65	765	960
SSOP8	270	42	370	460	210	36	475	595
SSOP8-A3	215	36	465	580	155	15	645	805
SSOP10	270	42	370	460	210	36	475	595
SSOP14	225	38	440	555	180	33	555	690
SSOP16	210	35	475	595	160	26	625	780
SSOP20	185	34	540	675	140	26	710	890
SSOP20-C3	130	13	765	960	85	9	1175	1470
SSOP20-B2	200	34	500	625	150	26	665	830
SSOP32	110	20	905	1135	70	14	1425	1785
SSOP44	110	20	905	1135	70	14	1425	1785
TO-2521) ²⁾	105	17	950	1190	40	12	2500	3125
TSSOP54-N1	105	10	950	1190	75	9	1330	1665

注释 1) 2 层电路板上的热阻值(θ_{ja} , ϕ_{jt})是基于 JEDEC 规格 JESD51-5, 在表面上布有 100mm²铜箔时的数值。

注释 2) 4 层电路板上的热阻值(θ_{ja} , ϕ_{jt})是基于 JEDEC 规格 JESD51-5, 在电路板上布有导热孔时的数值。

■ 铜箔面积和热阻值的关系

以下图 8 显示的是 2 层电路板各封装的热阻值 θ_{ja} 和铜箔面积的关系。另外，在背面有散热器的 TO-252 和 SOT-89 也展示了 ψ_{jt} 值。电路板表层的布局状况请参照表 4、表 5。

注意事项：这里显示的是产品的标准热阻值数据，由于芯片尺寸、引线框架定位尺寸、电路板规格(材质、布线形式等)等的不同而发生变化。此外，图 8 的数据不适用有导热孔的情况。

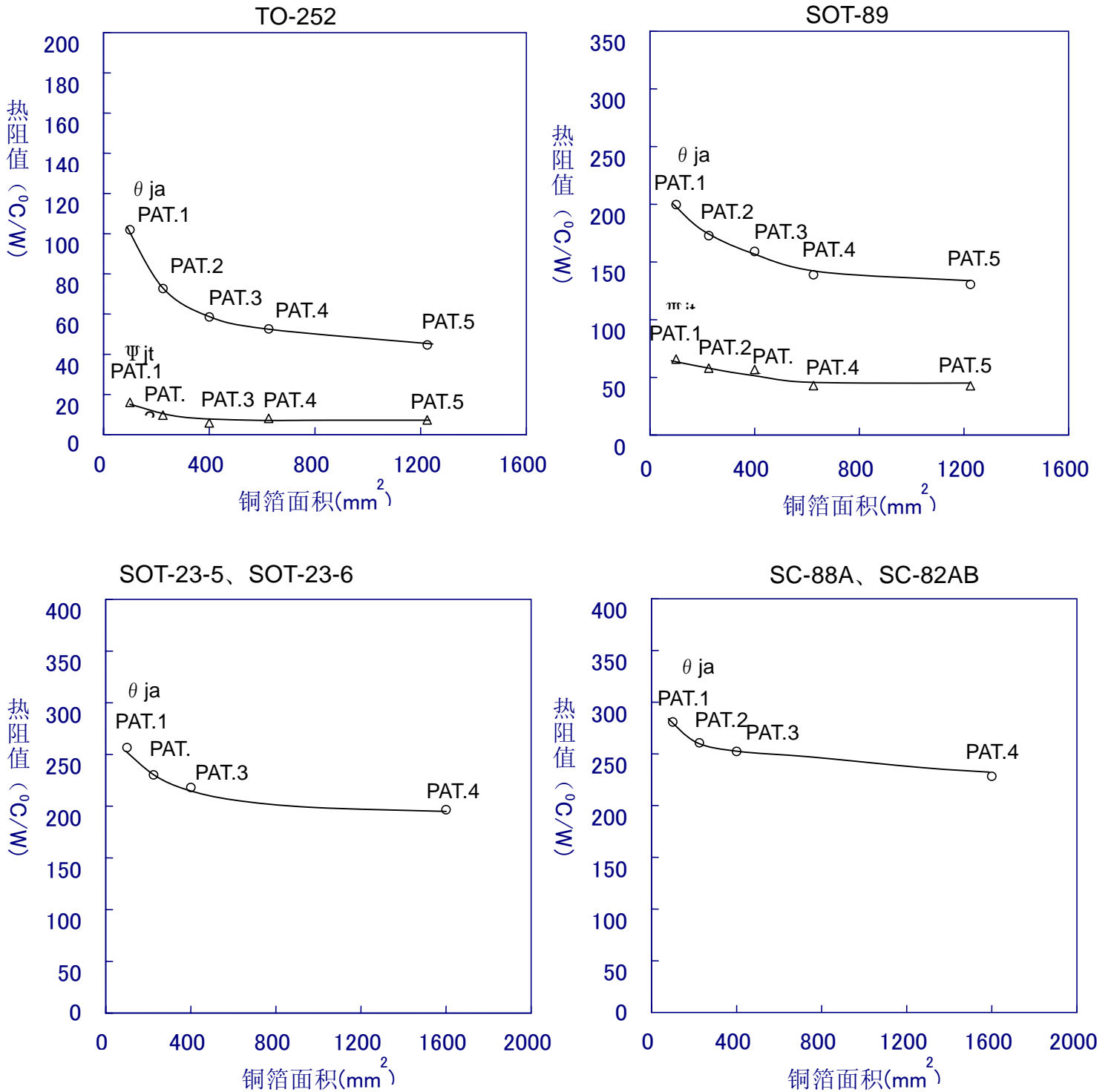


图 8 铜箔面积和热阻值的关系（2 层电路板）

表 4 表层电路板的布局

封装 电路板布局	T0-252	SOT-89	SOT-23-5 SOT-23-6
PAT.1			
PAT.2			
PAT.3			
PAT.4			
PAT.5			

表 5 表层电路板的布局

封装 电路板布局	SC-88A SC-82AB
PAT.1	
PAT.2	
PAT.3	
PAT.4	

表 6 铜箔面积

封装 电路板布局	T0-252	SOT-89	SOT-23-5 SOT-23-6	SC-88A SC-82AB
PAT.1	100 mm ²			
PAT.2	225 mm ²			
PAT.3	400 mm ²			
PAT.4	600 mm ²		1600 mm ²	
PAT.5	1225 mm ²		-	