

高性能ZVS降压稳压器有助于 消除提高宽输入电压范围 负载点应用功率吞吐量的障碍

作者：C. R. Swartz
Vicor公司Picos半导体解决方案首席工程师
2012年8月



引言

今天，结合了较高整体效率的电子系统对更高功率密度的需求为非隔离负载点稳压器（niPOL）带来了许多变化。在努力提高整个系统效率的过程中，设计师们都选择了避免多个转换级来调节他们所需的负载点电压。这意味着，niPOL要在较高输入电压条件下，以比以往任何时候都高的转换率工作。不管事实如何，工程师们仍然期待niPOL保持最高的效率，并不断缩减着电源解决方案的总体尺寸。随着所有其他性能的提升，对niPOL的功率需求的期望在进一步增加。

电源行业通过对niPOL引入许多技术升级来应对这一挑战。在过去几年里，业界已经看到了在器件封装、硅集成和MOSFET技术、生产高集成度的紧凑解决方案方面的显著提升。虽然这些解决方案在窄电压范围工作很好，在10:1或12:1的降压比下，效率和输出功率略有下降，而当它们在降压比接近36:1的宽输入范围时则会大幅下降。

在过去几年中，所有针对niPOL的变化中，变化最少的是功率变换拓扑结构本身。显然，我们已经看到了无数像电流模式控制、仿真电流模式控制、数字控制等控制拓扑结构，以及同步整流和自适应驱动器功率变换的改善。这些技术带来了逐步改善和/或额外的设计复杂性。

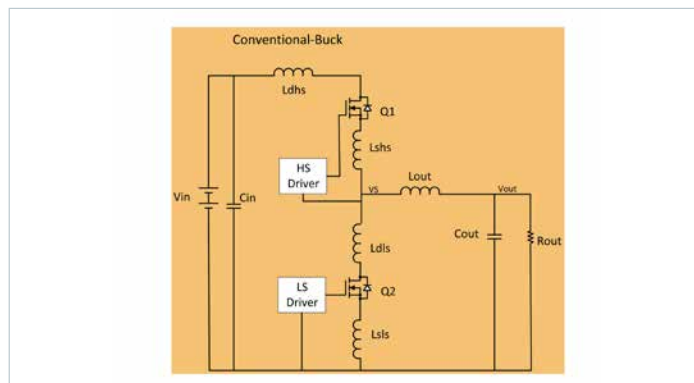
硬开关降压稳压器拓扑结构本身极大地限制了宽动态工作范围的功率密度和输出功率的改善。为了降低电力系统的尺寸，必须缩减其关键元件的尺寸。实现这一点的最好方式是增加开关频率。而这是困难所在。用硬开关拓扑结构提高开关频率就像增加了一个漏泄水坝的尺寸。这方面基本上有三个根本性挑战：

- 1. 硬开关：**当高电压加在主高边开关上，大电流同时导通时，由开关频率和电压引起的开关损耗是宽动态范围工作的一个直接障碍。具有更好开关速度优值（FOM）的下一代MOSFET技术应允许更快的开关。快速开关有其自身的一系列问题；需要处理通常由硬开关（甚至快速开关）导致的尖峰和振铃，以及EMI和栅极驱动器的损坏。这些问题在较高输入电压和频率下被放大了，在需要较高电压或频率的较宽工作范围令较快的开关不那么具有吸引力。
- 2. 体二极管导通：**同步开关体二极管的导通不利于高效率，同时限制了可以达到的高开关频率。在高边开关开启之前，以及在同步MOSFET关断以后，同步开关体二极管通常有一定的导通时间。
- 3. 栅极驱动损耗：**在高频条件下，开关MOSFET会导致较高的栅极驱动损耗。本文将通过比较采用传统降压稳压器拓扑结构的两种设计的仿真模型来说明硬开关在中、高开关频率环境的挑战；将介绍一个称为“ZVS降压”的新型降压稳压器拓扑结构，并解释其在Picos Cool-Power® ZVS降压产品系列中的集成。新型ZVS降压稳压器的仿真模型将展示其新颖的零电压开关拓扑结构，通过减少这三种操作挑战的影响如何实现了非常高的功率密度、效率、输出功率能力和宽动态范围。ZVS降压拓扑结构的诸多好处也将在阐述工作原理时一并介绍。

仿真模型

图1显示了一个典型的传统降压拓扑结构图和相关的寄生电感。寄生电感可能作为MOSFET寄生电感和/或PCB迹线本身的集总寄生电感而存在。为了以图形显示这种用在较高频率应用的拓扑结构的限制因素，使用了最佳MOSFET（和制造商的SPICE模型）构建了一个仿真模型。

图1：
传统降压拓扑结构

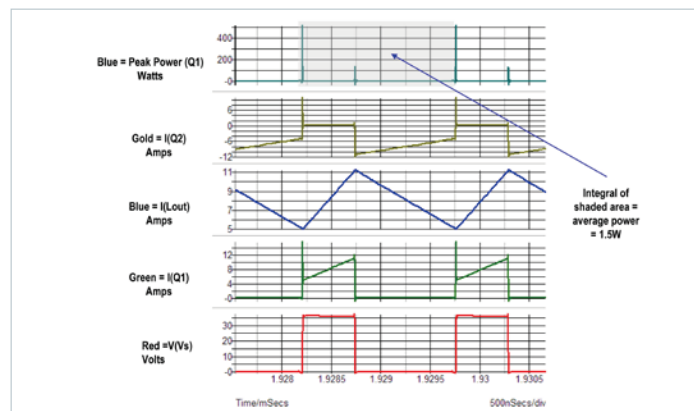


假定转换器设计在36V输入条件下工作，输出电压12V，满载8A。使用 $2\mu\text{H}$ 电感在650kHz条件下运行仿真，而在1.3MHz运行时使用 $1\mu\text{H}$ 电感。MOSFET导通电阻为 $10\text{m}\Omega$ 。四个寄生电感（ L_{shs} ）设置在 300pH ，其他电感值为 100pH 。寄生值基于可用封装技术和与电源系统级封装（Power-System-in-Package, PSiP）电源设计理念相关的布线技术。在两种情况下，高边的栅极驱动器使用 4Ω 源（source）电阻以尽量减少振铃，使用 1Ω 吸收（sink）电阻可更快关断，而底边驱动器均采用 1Ω 源电阻和吸收电阻。

硬开关

图2显示了高边MOSFET Q_1 的瞬时功耗与 V_S 节点电压和 Q_1 （绿色）、 Q_2 （红色）和输出电感 L_{out} （蓝色）上电流仿真结果的对比。

图2：
650kHz仿真500ns/div

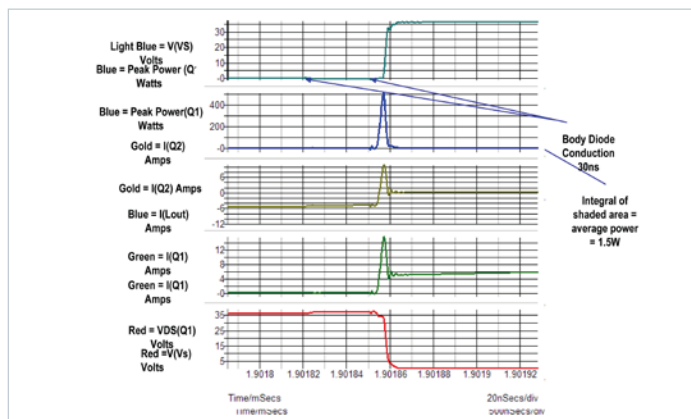


仿真结果显示，在导通时有非常高的损耗，而在关断时损耗稍低。在此之间的区域是MOSFET $R_{DS(on)}$ 主导的导通损耗，它相当低。过去几年中，人们显著提高了MOSFET的 $R_{DS(on)}$ 。在大多数目前的设计中，导通损耗很低，也更容易管理。当考虑整个开关周期的瞬时功率时，在650kHz工作时，高边MOSFET的平均功耗为1.5W，其中导通顺耗为0.24W，关断时为0.213W，导通时为1.047W。总损耗的主要由Q1导通产生。

图3是高边MOSFET Q1导通时刻的局部放大波形。在低边MOSFET Q2关断、Q1管导通之间有一个30 ns的死区时间。这个死区时间是为了确保不会在导通时发生MOSFET的交叉导通 (cross conduction)。其结果是，体二极管必须流过由输出电感产生的续流电流。在这段时间Q2的体二极管被正向偏置，电荷被存储在二极管的PN结。在二极管可能阻止反向电压之前，这个电荷必须清扫掉。这个过程被称为反向恢复。

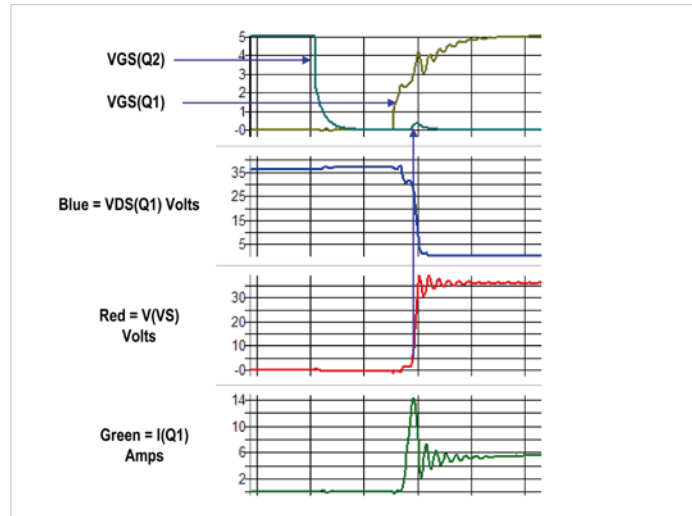
在图3中，Q1的漏极到源极电压是非常高的；接近 V_{IN} （由布局的寄生电感影响），同时有非常高的电流流入到体二极管Q2。由于Q1必须“燃烧”Q2体二极管的反向恢复电荷，而在同一时间几乎接触到整个输入电压，所以峰值功率非常高。高边MOSFET的源极电感（Lshs）非常不利于这种情况。在导通时，由于其两端反向恢复电流电压降，这个电感从MOSFET取消了栅极驱动。这个电压降的方向是错误的，推动着源极电压随栅极上升，而驱动器在努力克服导通的密勒效应。这将导致较长一段时间内处在米勒区域，高边MOSFET和驱动器有较高的功率耗散。其结果是，在Q2体二极管恢复并能阻断电压之前，MOSFET不能进入低电阻区域。在峰值恢复电流达到其最大值之后，因为Q2同时暴露在反向电流和反向电压下，在重组过程中Q2的体二极管中的功率燃烧。体二极管中的功率耗散在重组完成后结束。

图3:
650kHz仿真20ns/div与
反向恢复效应的对比



通过加快其栅极驱动，可以稍微减少高边MOSFET的功耗。然而，加快栅极驱动可使Q1经过线性区域更为迅速，将导致通过注入一个较高的反向恢复电流，加快了Q2的体二极管的反向恢复。其结果将是，由于寄生电感中存储的能量， V_s 节点上升较快。图4示出了如果Lshs增加200pH到500pH，650 kHz仿真的栅极驱动器和Q1的驱动器Lshs的效果。注意到，在 V_s 上升期间Q2出现了一个隆起。由于Q2的密勒电容和 V_s 节点的dv/dt，这个隆起被耦合到Q2的栅极驱动器。不难想象加快了Q1驱动的效果。较快的dv/dt会引起Q2更大的隆起和更多的振铃。如果Q2是有低栅极阈值的低电压器件，Q2可以被导通，并导致周期性的交叉导通。这种交叉导通可能会也可能不是破坏性的，但肯定会导致较低的效率。存储在寄生电感的较高能量也可能造成MOSFET上过大的电压，甚至可能需要耗能的缓冲电路。

图4:
增加Lshs到500pH值的
650kHz仿真20ns/div
栅极驱动效果



更高工作频率

接下来传统降压仿真模型使用了一个较小的输出电感，两倍的开关频率，以保持大约相同的峰值电流。对模型没有进行任何其他更改。在1.3MHz条件下，高边MOSFET的总仿真损耗增加到2.73W，正如预期的那样，与650kHz的仿真相比，开关导通和关断损耗增加了一倍。Q1中的开关电流有效值保持不变，所以导通损耗并没有显著改变。

只单独考虑Q1的损耗，加倍开关频率会导致效率最低下降1.2%。如果转换率较高，对效率的影响将显著更大。这些结果表明，这对于减小尺寸和提高输出功率不是最好的方法。为了减小电源解决方案的尺寸，并仍然可产生有意义的输出功率能力，开关损耗需要加以解决，从而提高开关频率。

ZVS拓扑结构

图5显示了ZVS降压拓扑结构的示意图。概括来说，它与传统降压型稳压器相同，只是加入了一个连接输出电感两端的钳位开关。钳位开关的加入有助于使用存储在输出电感器中的能量来实现零电压开关。

图5:
ZVS降压拓扑结构

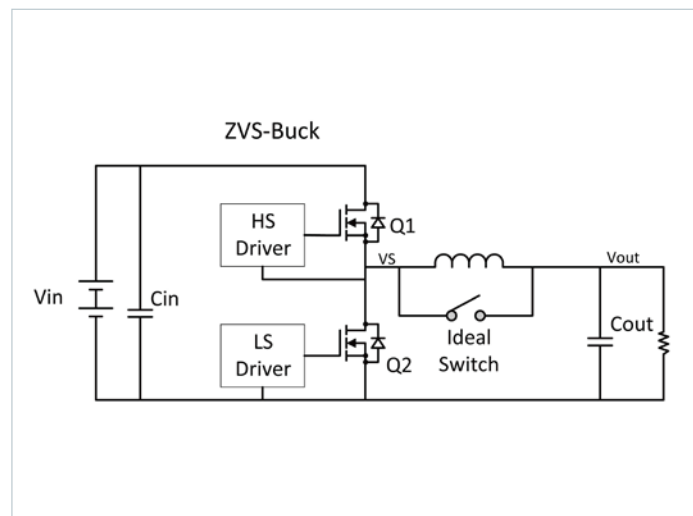
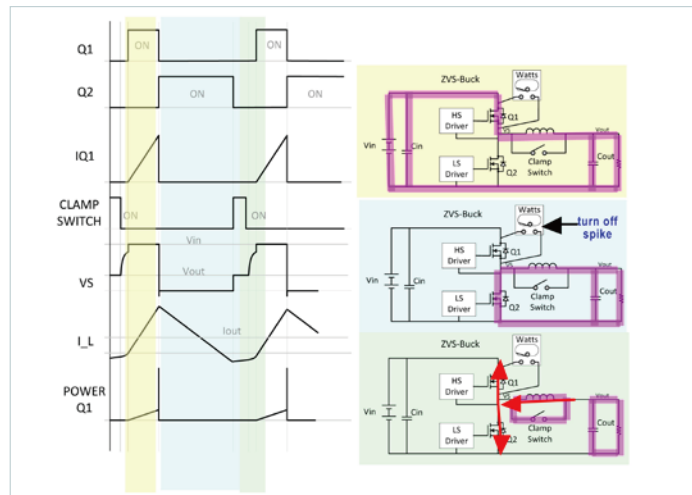


图6:
ZVS降压时序图



ZVS降压拓扑结构基本上由三个主要状态组成。这些状态被定义为Q1导通阶段、Q2导通阶段和钳位阶段。为了了解零电压开关的动作是如何发生的，你必须假设Q1在一次谐振转换后在接近零电压时导通。Q1在零电流时导通，此时D-S电压几乎为零。MOSFET和输出电感的电流上升到峰值电流，该电流由Q1的导通时间、电感器两端的电压和电感值决定。在Q1导通阶段，能量被存储在输出电感器中，输出电容被充电。标记为黄色的区域显示了等效电路和对应Q1导通阶段的电流。在Q1导通阶段，Q1的功耗主要是由MOSFET导通电阻决定的。开关损耗可忽略不计。

接下来，Q1迅速关断，随后是小于10ns的很短的体二极管导通时间。这个体二极管导通时间增加的功耗可以忽略不计。在电流经过体二极管时，Q1出现与峰值电感电流成比例的关断损耗。接着Q2导通，存储在输出电感器中的能量传送到负载和输出电容。当电感电流达到零时，同步MOSFET Q2被保持足够长的时间，在输出电感器中存储来自输出电容的一定能量。这里的电感电流会略变为负。蓝色的阴影区域是Q2导通阶段和其等效电路。

一旦控制器已经确定有足够的能量存储在电感器中，则同步MOSFET关断，而钳位开关导通，钳位 V_s 节点到 V_{OUT} 。钳位开关隔离输出电感电流与输出，同时以几乎无损的方式循环作为电流存储的能量。在钳位阶段（它非常短），功率输出是由输出电容提供的。

当钳位阶段结束时，钳位开关被开启。存储在输出电感中的能量与并联组合的Q1和Q2输出电容产生谐振，导致 V_s 节点的电压接近 V_{IN} 的电压。这个谐振对Q1的输出电容放电，减少了Q1的米勒电荷，并对Q2的输出电容充电。当 V_s 节点几乎等于 V_{IN} 时，它可以用一个无损的方式导通Q1。绿色部分示出钳位阶段的操作，包括的谐振转换及其等效电路。在这里重要的是要指出，当钳位开关导通时，电流流过粉红色所示的电流回路，而当开关处于关断状态时，电流流过红色箭头所示的地方。

这种拓扑结构解决了先前几个重要方法的限制：

- 1.只要有一个钳位阶段，在高边MOSFET开启前，就没有高反向恢复电流的体二极管导通。
- 2.几乎完全消除了导通的开关损耗。
- 3.高边MOSFET栅极驱动不会受到寄生电感 L_{shs} 的影响。由于ZVS动作和低电流开关导通，高边MOSFET的导通的开关米勒效应将被消除。这使得高边栅极驱动器体积更小、功耗更低。高边MOSFET没有必要特别快地开启，从而实现平滑的波形并降低噪声。

图7： 比较仿真

采用寄生电感的ZVS降压

图7显示了使用先前寄生电感值的ZVS降压拓扑结构的示意图。对相同36V至12V稳压器的仿真比较了与先前设计在高边MOSFET的损耗，运行条件是1.3MHz和8A。ZVS降压使用230nH电感器和相同的MOSFET，以及以前仿真中使用的栅极驱动器表征。

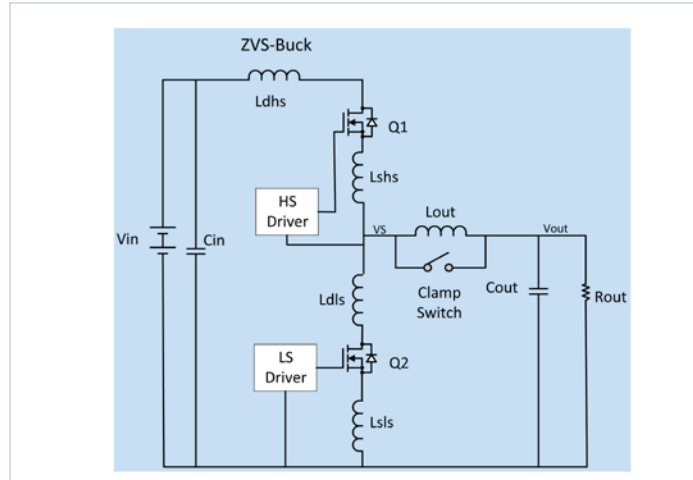


图8显示了运行在1.3MHz的ZVS降压拓扑结构的仿真结果，以及高边MOSFET Q1相应的瞬时功率曲线。平均功耗包括在高边MOSFET Q1上测得的1.33W的开关损耗和导通损耗，它甚至低于在一半开关频率工作和使用较大电感的传统稳压器。与1.3MHz的两个设计仿真结果相比，高边MOSFET的功率消耗的节省要大得多，即1.37W。从图8中的功率曲线可以看出，导通损耗几乎为零，而且在Q1导通时没有高电流尖峰。在Q1导通之前，没有体二极管导通，也没有反向恢复效应，包括Q2的体二极管中的反向恢复损耗。

该图显示了谐振转换ZVS动作由与并联的两个MOSFET (Q1和Q2) 输出电容振铃的Lout组成。也可以看到，Q1的导通不会恰好在零伏发生。最佳整体效率通常是通过用Q1两端的一些残余电压来开关Q1获得的，以减少钳位阶段循环所需存储的能量。在最大限度地减少钳位阶段的损耗，与通过在恰好零伏开关Q1来节省功耗之间需要做一个权衡。在ZVS动作所消除的米勒电荷也有助于栅极驱动损耗的减小。驱动器不必对Q1的G-D电容放电，所以高边驱动器的损耗得以下降。此外，由于在开关期间驱动器对MOSFET充电更少，而且在Lshs中没有大电流存储能量，寄生电感Lshs对高边驱动器的影响很小。

图8：
ZVS降压仿真波形

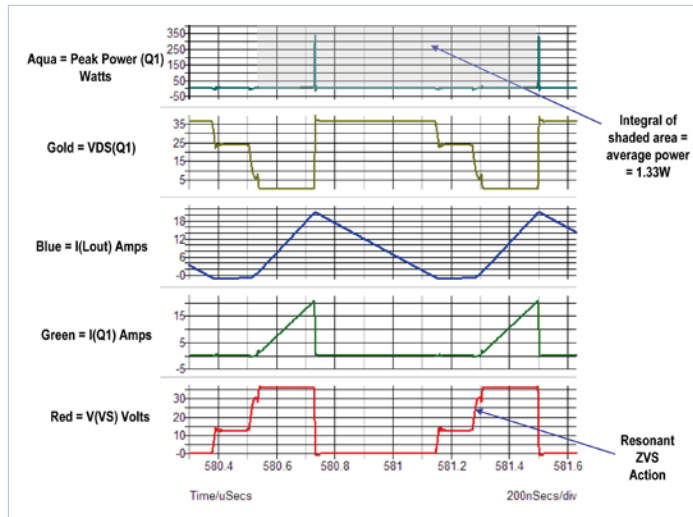
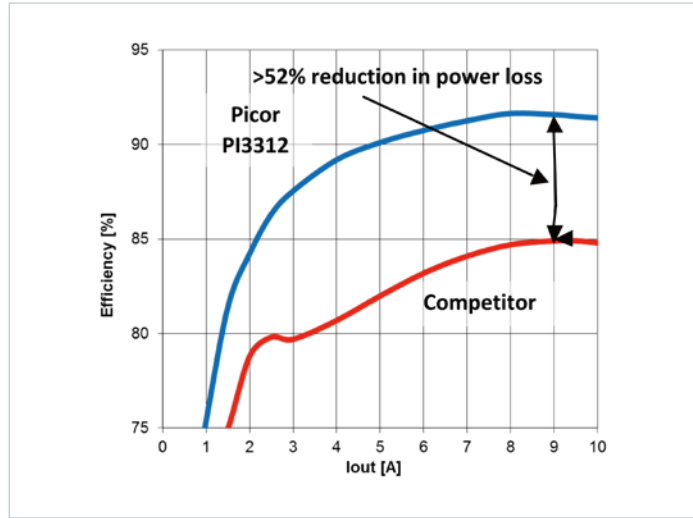


图9示出了一个当前具有竞争力的硬开关解决方案和24VIN至2.5V_{OUT}（9.6:1）10A设计的ZVS降压拓扑结构之间的性能差异。满载效率差异接近6.5%（在轻负载时效率也有显著差异），在9A测量点实现了大于52%的功率损耗改善。

图9:
ZVS降压9.6:1步降
24V-2.5V @ 10A性能与
竞争解决方案的对比



其他优点

利用Picor高性能硅控制器架构的集成ZVS降压拓扑结构，开发出了PI33XX系列宽输入范围DC-DC稳压器。这个DC-DC解决方案由只需要外加一个输出电感器和几个陶瓷电容器组成与10mm × 14mm 大小的SiP芯片（包含构成一个完整电源系统所需的所有电路）。高开关频率允许使用非常小的电感，整体解决方案的尺寸（25mm × 21.5mm）小于有竞争力的集成解决方案，同时可产生98%峰值效率的高达120W输出功率。凭借20ns的最小导通时间，PI33XX可以在36V输入至1V输出的10A负载条件下运行，效率超过了86%，而且在从1V至15V的输出电压范围输出电流没有减少。

先进硅和ZVS降压拓扑结构的结合为宽输入范围和高效率带来了一些额外的好处。由于ZVS拓扑结构可以在本质上稳定控制-1的增益斜率和相移为90度的输出传递函数，借助于高开关频率可以实现很宽频带的反馈回路。PI33XX不需要外部补偿（虽然也可以添加一些）。55度相位裕度的闭环穿越频率通常是100kHz，增益裕度为20dB。高闭环增益和小输出电感器有助于降低宽频率范围的闭环输出阻抗。这会实现非常快的瞬态响应，只采用合适的陶瓷输出电容，无需借助额外的大容量电容就可以实现20-30 μs范围的恢复时间。一个非常准确的输入前馈方法有助于误差放大器输出电压准确地反映输出负载的要求。这有助于实现一个非常简单的均流方法，可并联连接硅芯片来增加输出功率。只需要将每个PI33XX的误差放大器单独连接就可以准确均流。如果用户希望各单元彼此跟踪和一起同步，可以进行额外的连接。

PI33XX可以与采用交错（interleaving）并联的多达六个类似型号器件同步。PI33XX有近乎理想的同步整流驱动器，只允许高边MOSFET关断到同步MOSFET开启之间个位数纳秒的体二极管换向时间。这将有助于减少高边MOSFET的关断损耗和体二极管导通损耗。除了高负载时的高效率好处，PI33XX还使用了一个效率非常高的偏置系统和脉冲跳跃模式，实现了出色的轻负载效率。见图9。

灵活性

采用零电压开关的Picor高性能硅控制器架构可以应用于其他拓扑结构，如升压拓扑结构和降压-升压拓扑结构，只是通过重新排列电源开关，一样可以获得类似的好处。这将有助于在高效率，甚至更高输入电压条件下实现几乎任何组合的电源转换，同时产生低开关损耗，带来高吞吐功率并减小解决方案尺寸。

结论

本文介绍并详细说明了到现在为止当在高输入电压和开关频率条件下试图运行传统降压拓扑结构所面临的挑战。为了减少电源系统解决方案的整体尺寸，以便可以用来取代双转换级，并以高效率在更宽的输入范围工作，需要工作于高频和高输入电压的降压稳压器。实践证明，为了在较高开关频率下运行，需要减少或消除高边MOSFET的导通损耗。

ZVS降压拓扑结构为实现不降低输出功率，同时又缩减所需尺寸提供了一个手段。本文介绍的采用Picor高性能硅控制器架构且包含了必要功能的PI33XX，能够以高吞吐功率和效率实现8V-36V输入的宽输入电压范围，以及各种输出（1 V、2.5 V、3.3 V、5 V、12 V和15 V）。最后，解释了同样的高性能硅控制器架构可以用来解决硬开关应用的问题，而这通常是用升压或降压-升压拓扑结构实现的，从而带来显著的输出功率和密度的提升。

作者是Vicor公司Picor半导体解决方案首席工程师。他拥有超过25年电力系统设计经验，是IEEE的会员。

The Power Behind Performance