

## 开关电源的数字控制技术

高锐<sup>1</sup>,陈丹<sup>2</sup>,杨贵恒<sup>3</sup>

(1. 中国电力科学院,北京 100192;2. 北京电力公司,北京 100071;3. 重庆通信学院电力工程系,重庆 400035)

**摘要:** 开关电源的数字控制技术近年来得到了广泛的关注和快速的发展。开关电源数字控制器的核心是三个主要功能模块:模数转换器(ADC)、补偿器(COMP)和数字脉宽调制器(DPWM)。文章基于开关电源数字控制技术的发展现状,对这三个主要功能模块的不同实现方式进行了分类概述,分析了各种不同方式之间的区别,并给出了适用范围。

**关键词:** 开关电源;数字;控制

中图分类号:TN86,TP273

文献标识码:A

## Digital Control of Switching Mode Power Supply

GAO Rui<sup>1</sup>, CHEN Dan<sup>2</sup>, YANG Gui-heng<sup>3</sup>

(1. China Electric Power Research Institute, Beijing 100192, China; 2. Beijing Electric Power Company, Beijing 100071, China; 3. Chongqing Communication Institute, Chongqing 400035, China)

**Abstract:** Digital control of switching mode power supply has been widely studied and fast developed in recent years. Digital controller of switching mode power supply contains three main function blocks: ADC (analog-to-digital converter), COMP (digital compensation algorithm) and DPWM (digital-pulse-width-modulation). Various implementations of these three function blocks are introduced and differences between them are analyzed. Also the application of different implementations are given.

**Key words:** switching mode power supply; digital; control

近年来,开关电源的数字控制技术得到了快速的发展和广泛的关注<sup>[1-2]</sup>。开关电源的数字控制与传统的模拟控制相比有很多突出的优点:更低的功耗,易于与数字系统接口、支持更多的协议、易于实现多种控制算法而不需要更改硬件电路等。数字控制器是数字化控制的核心,图1所示为典型的数字控制器的结构框图,该控制器由三个主要部分组成:模数转换器(ADC)、离散补偿器(COMP)和数字脉宽调制器(DPWM)。ADC将第 $n$ 时刻的输出电压 $U_o$ 与参考电压 $U_{ref}$ 之间的模拟误差信号转换为数字误差代码 $e[n]$ ;通过程序实现的数字补偿器COMP利用预先编好的控制算法计算出占空比代码 $d_c[n]$ ;数字脉宽调制器(Digital PWM)基于所需要的开关频率 $f_s$ 和由补偿器提供的占空比代码 $d_c[n]$ ,输出驱动信号 $g_1$ 、 $g_2$ 来控制主开关管和同步整流管的导通和关断。

基于开关电源数字控制技术的发展现状,本文将重点分析和讨论开关电源数字控制器的三个主要功能模块:模数转换器(ADC)、补偿器(COMP)和数字脉宽调制器(DPWM),对这三个主要功能模块的不同实现

方式进行分类概述,分析各种不同实现方式之间的区别,并给出其适用范围。

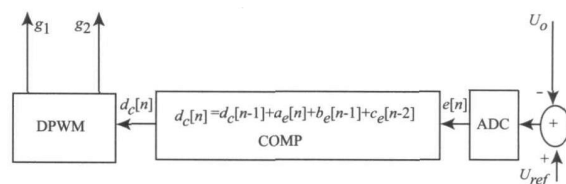


图1 数字脉冲宽度调制控制器

## 1 模数转换器(ADC)

为了实现高精度的电压调节,模数转换器必须有足够高的分辨率(如在输出电压范围为5V,输出电压的误差不超过5mV时,其分辨率必须达到1/1000以上);为了实现快速的电压调节动态响应特性,模数转换器至少需要以开关频率对输出电压进行采样和转换,而且转换周期只能占用开关周期中的一部分(如当开关频率为1MHz时,模数转换时间通常要少于100ns)。然而,常用的高速率(如10MSPS)、高分辨率(如10位)的模数转换器,因结构复杂、能耗大、尺寸大、成本高等缺点,难以在高频开关电源数字控制器中得到普及。下面我们将分类讨论目前应用于开关电源的各种ADC。

## 1.1 闪速架构(FLASH)ADC

如图2所示<sup>[1-2]</sup>闪速式(Flash)ADC是高频开关电源数字控制器中较为常用的一种ADC架构。Flash

收稿日期:2009-02-06

作者简介:高锐(1978-),男,陕西米脂县人,硕士,工程师,研究方向为电力电子技术的计算机应用。

陈丹(1981-),女,四川广安人,硕士,研究方向为电力电子在电力系统的应用。

杨贵恒(1970-),男,湖北大悟县人,副教授,研究方向为电力电子与电力传动。

ADC 通过 DAC 将数字参考代码转换为所需的模拟参考电压,并通过电压偏置网络在参考电压的两侧形成均匀的电压分格,从而产生一组以参考电压为中心的量化电压值;通过比较器网络将电源的输出电压与这些量化电压值进行比较,从而以“温度计码”的形式输出转换结果。

之所以称输出结果  $D_c$  为“温度计码”,是因为在  $D_c$  中低位都是“1”,高位都是“0”,而且“1”的个数随电源输出电压的增大而增多,这与温度计中因环境温度变化而变化的水银柱非常相似。很明显,这种“温度计码”必需通过编码电路转换成数字处理内核能够识别的二进制码,以便于运算或查表。

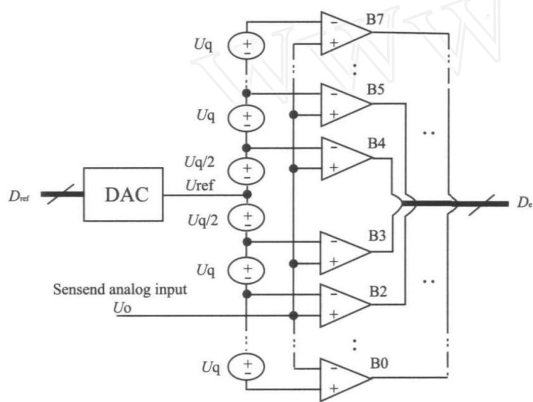


图2 用于高频开关电源的Flash ADC结构图

这种结构的转换周期仅为一个时钟周期,因此转换速度非常快。但是,对于精度要求较高的开关电源应用场合,所需的编码电路也将会非常复杂,从而导致控制器芯片面积的急剧增大和成本的增加。目前,FLASH 只提供不大于 8 位精度的集成电路,所以这种 Flash ADC 适用于电源输出电压范围比较小,采样频率要求高的场合。

### 1.2 流水线(Pipe-line) ADC

图3所示流水线架构ADC总共有  $k$  个分段,每一分段都由采样保持电路、 $p$  位闪速转换器组成,该ADC的分辨率为  $n = pk$  位,总共需要  $p(2^k - 1)$  个比较器。例如,一个 10 位、2 段流水线转换器需要 62 个比较器,并且转换过程只需 2 个时钟周期;而 10 位的闪速转换器需要 1 023 个比较器,10 位逼近式模数转换器 SA-ADC (successive-approximation ADC)

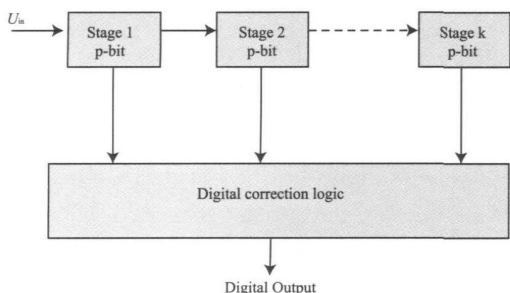


图3 流水线架构

的转换过程需要 10 个时钟周期。

上述对分辨率和转换速率的分析表明,流水线结构体现了电路结构与转换速度的折中。因此,这种架构的 ADC 通常用于对精度要求较高,但是对采样速度要求不是特别高的高频开关电源数字控制器。

### 1.3 延迟线 ADC

延迟线(delay-line) ADC 结构是利用在标准的 CMOS 工艺中,信号在逻辑电路中的传播延迟  $t_d$  在一定条件下与供电电压  $U_{DD}$  成反比的特性<sup>[3]</sup>：

$$t_d = K \frac{U_{DD}}{(U_{DD} - U_{th})^2} \quad (1)$$

式中,  $U_{th}$  为 MOS 器件的门限电压,它通常远小于供电电压  $U_{DD}$ ,从式(1)可以看出  $t_d$  与  $U_{DD}$  近似成反比。

如果将一定数量逻辑门连接起来,便可以组成一个延迟单元。每个延迟单元具有一个输入端、一个输出端和一个复位端。如图4所示为一种可行的延迟单元结构,可以在其中添加更多的逻辑门来实现对时延的控制,然后将若干这样的延迟单元串接起来,组成一条延迟线。如图5所示为延迟线的基本结构,在每个开关周期的开始,从输入端输入一个测试信号“start”;经过一个固定的时间间隔 ( $T_{sample}$ ) 之后,产生一个采样脉冲,将各延迟单元的输出通过一串 D 触发器采集到寄存器中。如图6所示采样波形表示信号在采样时刻正好传播到第 6 个延迟单元,即  $D_c = [0 0 1 1 1 1 1]$ ,其中低位的延迟单元输出均为“1”,高位的延迟单元输出均为“0”;在  $T_{sample}$  之后,所有采到的延迟单元输出被清零。

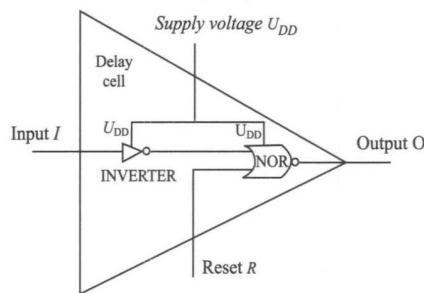


图4 延迟单元的组成

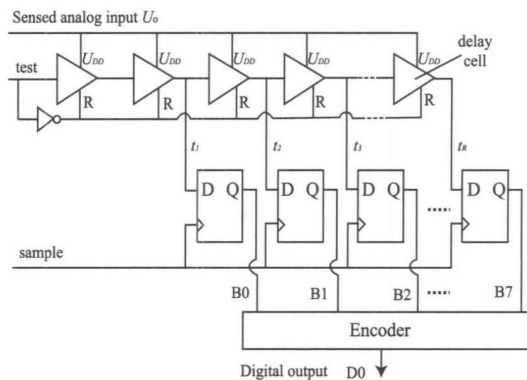


图5 延迟线 ADC 的基本结构

由于信号在逻辑电路中的传播速度与电源输出电

压(即ADC的供电电压)成反比,因此采样结果中“1”的个数随电源输出电压的增大而增多。这种基于“温度计码”的转换方式也需要编码电路进行转换。由于编码电路复杂度的限制,延迟线ADC在保持较高精度的基础上,也只能实现较小范围的模数转换。

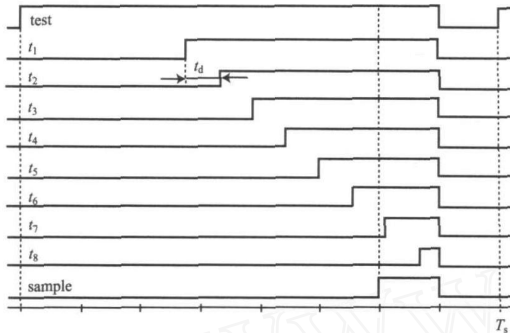


图6 延迟线ADC的延迟波形

### 1.4 压频振荡式ADC

在一些应用中,也可以通过压频振荡器(VCO)获得电源输出电压的数字代码<sup>[4]</sup>。在一定电压范围内,压频振荡器的振荡频率与输入电压成正比,如图7所示。因此可以首先对电源输出电压进行预放大,将其调节到该范围内,然后再作用于压频振荡器。如果电源输出电压较大,得到的振荡次数就多;反之就少。通过计数器可得到振荡器在一个固定的时间段内的振荡次数;然后将其与表征电源参考电压的参考数值相减,便可得到误差电压的数字代码。

为了获得较为精确的转换结果,这种方法通常需要较长的计数时间来记取较多的次数,使得留给数字补偿器进行运算的时间比较短。因此要求其补偿器具有简便有效的控制算法,否则将会引入较长的时延。

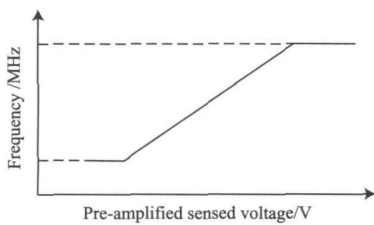


图7 VCO的压频转换特性

## 2 数字补偿器

数字补偿器的设计方法通常可分为两大类:间接数字设计方法和直接数字设计方法。在间接数字设计方法中,首先基于电源的连续模型,在“S”域设计出模拟控制器,然后将其离散化,转换为“Z”域中的离散模型;而在直接数字设计方法中,首先将开关电源在“S”域中的连续模型离散化,转换为“Z”域中的模型,然后在“Z”域中直接设计数字控制器。另外,在从“S”到“Z”域的过程中,存在若干不同的离散化方法;而在“Z”域中直接设计离散模型时,也存在若干种直接

数字设计方法。应用不同方法会产生不同的控制器模型,其控制性能也会有所差异。

### 2.1 间接数字设计

进行间接数字设计时,首先在“S”域中设计出系统的模拟控制器,如图8所示。其中, $H(s)$ 是功率变换器的传递函数, $G_c(s)$ 是控制器的传递函数, $H_{SH}(s)$ 是由于采样和保持所产生时延的传递函数,表示为 $(1 + e^{-Ts})/s$ , $T_s$ 是采样周期。通常,当采样频率 $f_s = 1/T_s$ 足够高时,时延可以通过线性化近似表示为 $1/(1 + Ts/2)$ 。当时延被线性化以后,就可以采用“bode图法”等“S”域中标准的设计方法设计出控制器的连续模型 $G_c(s)$ 。

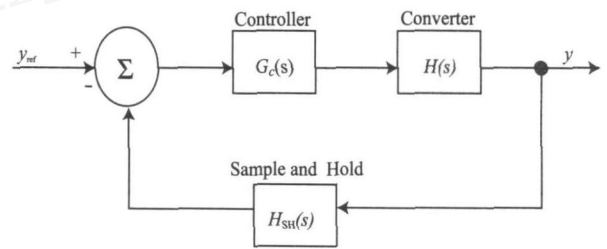


图8 开关电源反馈控制系统

$G_c(s)$ 设计完成后,需要将模拟控制器离散化。离散化的方法很多,主要有:

- (1) 积分法 (numerical integration)
  - 前向矩形法 (forward rectangular rule)
  - 后向矩形法 (backward rectangular rule)
  - 梯形法 (trapezoid、bilinear transformation、Tustin's rule)
- (2) 零极点匹配法 (zero-pole matching)
- (3) 保持等效法 (hold equivalents)
  - 零阶保持等效 (zero-order hold equivalent)
  - 一阶保持等效 (first-order hold equivalent)

其中较为常用的方法是后向矩形法、梯形法(双线性变换法)、零极点匹配法和零阶保持器法。各转换方法中“S”域与“Z”域的对应关系如表1所示。

表1 离散化方法

变换方法	“S”域	“Z”域
向前矩形法	$s$	$\frac{z+1}{T_s}$
向后矩形法	$s$	$\frac{1+z^{-1}}{T_s}$
梯形法	$s$	$\frac{2}{T_s} \cdot \frac{1-z^{-1}}{1+z^{-1}}$
零极点匹配法	$s+a$	$1-z^{-1}e^{-aT_s}$
	$s+a \pm jb$	$1-2z^{-1}e^{-aT_s} \cos bT_s + z^{-2}e^{-2aT_s}$
零阶保持法	$G_c(s)$	$(1-z^{-1})Z\left\{\frac{H(s)}{s}\right\}$
一阶保持法	$G_c(s)$	$\frac{(1-z^{-1})^2}{T_s z}Z\left\{\frac{H(s)}{s^2}\right\}$

后向矩形法非常容易使用,但是它不保持模拟控制器的脉冲和频率响应;梯形法将“ $s$ ”平面的左半平面映射到“ $z$ ”平面的单位圆中,因此没有重叠效应,这个方法最大的优点是可以保持控制器的增益和相位的性质;零阶保持器法可以保持阶跃响应,但是不保持脉冲和频率响应;零极点匹配法可以保持零、极点的位置,但是当零点的频率大于奈奎斯特频率时,会出现重叠效应。

## 2.2 直接数字设计

进行直接数字设计时,可以先通过上述方法(如 Zero-Pole Matching 法)将开关电源的“ $s$ ”域模型离散化,转换成“ $z$ ”域中的离散模型,然后再运用直接数字设计方法设计出符合性能要求的控制器离散模型。主要的直接数字设计方法有:

- (1) 频率响应法(frequency response method)
- (2) 根轨迹法(root locus method)
- (3) 无差拍法(deadbeat method)

在“ $z$ ”域中使用频率响应法是非常方便实用的,可以利用与在“ $s$ ”域中设计时同样的参数要素,如转折频率、增益裕量、相位裕量等来设计和调整控制规律,然而这种方法有一个限制,那就是采样频率必须比闭环的带宽高出 10 倍以上,否则设计性能难以保证。根轨迹法是通过解  $N$  阶多项式进行图像分析的方法,通过调整控制器的参数,整个系统的零、极点能够被设置到比较合适的位置上,可是这个调整的过程比较长,尤其是当系统有多个未定的控制器参数时,调整工作将花费非常多的时间。无差拍法可以迫使系统输出在有限的几个采样周期后达到希望值,但是这个方法极大地依赖于系统模型的准确度,因此在大多数情况下,无差拍法的优势无法正常发挥。

总体来说,与各间接数字设计方法相比,使用直接数字设计方法得到的控制器模型能够使系统具有较小的超调、较大的带宽、较小的谐波分量以及较小的相位裕量;而在各种间接数字设计方法中,使用零阶保持等效法得到的控制器模型使系统产生较大的超调、较小的带宽、较大的谐波分量以及较大的相位裕量。

## 3 数字脉宽调制器

数字脉宽调制器(DPWM)充当数字控制器中数模转换单元,将数字信号  $d_c$  转换为时间信号(即产生具有一定脉宽的脉冲信号)。数字控制器通过 DPWM 能产生一组离散的占空比,从而能够控制开关电源以输出一组离散的稳定输出电压值。因此电源的输出电压的精度将直接取决于 DPWM 的时间分辨率。

### 3.1 基于计数器的 DPWM

最早提出的 DPWM 方法是通过一个快速的时钟计数器对锯齿波直接进行数字模拟,从而实现了以锯齿波规律周期变化的数字编码<sup>[2,5]</sup>。在每个周期的开始时刻,功率开关导通;每过一个时钟周期,计数器加

1;当比较器检测到这个计数器输出与  $d[k]$  相等时,DPWM 输出翻转,使功率开关关断,从而实现了对时间分格的选取。这样一个基于  $n$  位计数器的 DPWM 可以将开关周期  $T_s$  等分成  $2^n$  段。然而,这样一个高频率( $f_s = 1/T_s$ )、高分辨率( $n$  位)的 DPWM 对时钟频率的要求是非常高( $2^n f_s$ ),所带来的功耗和对信号处理技术的要求也非常高。

### 3.2 基于延迟线的 DPWM

#### (1) 异步延迟线 DPWM

同样为了解决基于计数器的 DPWM 对时钟频率要求过高这一缺点,提出了如图 9 所示基于延迟线(delay-line)的 DPWM 结构<sup>[6]</sup>。它由一组延迟单元串接起来组成延迟线,利用外部输入的时钟脉冲信号在延迟线上均匀的传播速度实现对时间的均匀量化。占空比直接取决于对接受到输入信号的延迟单元个数的选择,这个选择可以通过由数字占空比信息  $d[k]$  控制的多路选择器的控制来实现从  $2^n$  个时间分格中选出  $d[k]$  所需要的时间分格。这样,时钟频率只需达到开关频率即可,大大缓解了对时钟频率的要求。在设计时,延迟线的最大延迟应与最大占空比相对应,其每个单元的延迟与占空比的分辨率相对应,它取决于延迟单元的供电电压和单元内逻辑门的数量。这种开环 DPWM 结构被称为异步延迟线 DPWM,其开关频率与延迟线无直接关系,而是通过外部时钟进行精准控制的。然而由于延迟单元时延的大小受温度等工作环境因素的影响,使得这种 DPWM 在环境因素发生变化时,无法精准地得到预期的占空比。

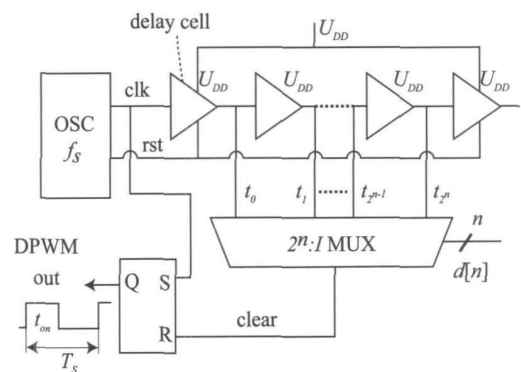


图 9 异步延迟线 DPWM 结构框图

#### (2) 同步延迟线 DPWM

与异步延迟线 DPWM 特性相反的还有开关频率由延迟线本身决定的闭环 DPWM 结构,被称为同步延迟线 DPWM,如图 10 所示。其开关频率由闭环延迟线中延迟单元的个数决定,因此能够根据  $d[k]$  精准地得到预期的占空比,但是由于温度变化对延迟单元时延的影响,会使开关频率产生微小的变动。

可见这两种基于延迟线的 DPWM 对时钟频率的要求不高,甚至根本没有要求。然而,它们需要首先对  $n$  位  $d[k]$  进行译码,然后通过多路选择器从  $2^n$  个“温

度计码'中选取某一个所对应的时间分格。当 DPWM 的分辨率较高时,多路选择器和译码器的结构将非常复杂,且占用较大的芯片面积。对于延时线结构的 DPWM 结构,还有其他形式的应用如二进制加权延迟线、分段延时线<sup>[7]</sup>。

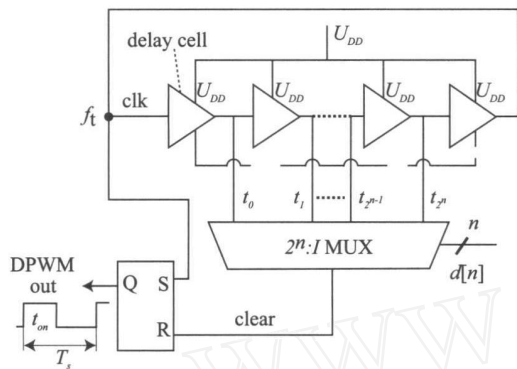


图 10 同步延迟线 DPWM 结构框图

### 3.3 混合式 DPWM

针对时钟频率、功耗、电路复杂度及芯片面积等方面的综合考虑,提出了混合式 DPWM<sup>[8]</sup>。在混合结构中,时钟计数器按照  $d[k]$  的高位给出粗略的脉冲宽度,而延迟线按照  $d[k]$  的低位给出精细的脉宽;反之也可。然后将两个子电路串接将粗略脉宽和精细脉宽合并,从而得到与整个  $d[k]$  所对应的精确的脉冲宽度。这种 DPWM 在时钟频率和电路的复杂度方面都得到了改善。

## 4 结论

ADC、COMP 和 DPWM 作为开关电源数字控制器中的三个主要的功能模块得到了许多研究,有多种实现方式得到了应用。

应用于开关电源中的 ADC 在精度和速度方面有较高的要求。本文对开关电源数字控制技术中采用的各种 ADC 进行了分析和总结,指出了其各自的应用特点:FLASH 具有最高的采样速率;流水线 ADC 可以支持较高的分辨率;延迟线只能用于小范围的转换;压频振荡式所需的计数时间较长。

COMP 作为系统的补偿环节可以从  $s$  域变换得到,也可以通过直接数字设计法如频率响应法、根轨迹

法以及无差拍法得到。与各种间接变换法相比,直接数字设计可以使系统得到更优化的设计。

DPWM 的实现有最基本的计数器方式以及依赖于工艺的延迟线方式,较高精度的 DPWM 可以提供更高的时间分辨率。计数器式 DPWM 受频率的限制;延迟线结构依赖于集成电路的工艺来实现,与异步延时相比,同步延时对时钟没有较高的要求,但是电路结构却更复杂;混和式 DPWM 可以综合两者的优点。

### 参考文献:

- [1] Peterchev A V, Xiao Jinwen, Sanders S R. Architecture and IC implementation of a digital VRM controller [J]. IEEE Transactions on Power Electronics, 2003, 18(1): 356-364.
- [2] 周涛. 高频开关电源数字控制技术研究[D]. 成都:西南交通大学硕士学位论文,2006.
- [3] Patella B J, Prodic A, Zirger A, Maksimovic D. High-frequency digital PWM controller IC for DC-DC converters [J]. IEEE Transactions on Power Electronics Jan. 2003, 18(1) 2: 438-446.
- [4] Gu Yeon Wei, M. Horowitz, A fully digital, energy-efficient, adaptive power supply regulator [J]. IEEE Journal of April 1999, 34(4): 520-528.
- [5] Wei G Y, Horowitz M. A low power switching power supply for self-clocked systems [C]. International Symposium on Low Power Electronics and Design, 1996: 313-317.
- [6] Dancy A P, Chandrakasan A P. Ultra low power control circuits for PWM converters [C]. IEEE Power Electronics Specialists Conference, 1997: 21-27.
- [7] Syed A, Ahmed E, Maksimovic D, Alarcon E. Digital pulse width modulator architectures [C]. IEEE Power Electronics Specialists Conference, 2004: 4689-4695.
- [8] Malley E O, Rinne K. A programmable digital pulse width modulator providing versatile pulse patterns and supporting switching frequencies beyond 15 MHz [C]. IEEE Applied Power Electronics Conference, 2004: 53-59.

## 行业信息

### 全球首个 3G 演进技术示范网在沪创建

上海公司五月十七日披露,中国移动将在上海世博园区投资十亿元人民币,建成十三个室外宏,并创建全球第一个 TD-(演进技术)示范网,运用射频识别等新技术,开展世博购票、手机支付、无线视频监控等世博移动综合应用。

据悉,TD-LTE 与 3G 相比,其主要特性体现在高数据速率、分组传送、灵活带宽和向下兼容。全球第一个 TD-LTE 示范网在沪创建,可为海内外世博游客提供一流的便捷服务。

上海移动方面介绍称,今年将投资三十六亿元人民币完善,全面加快推进 TD 网络建设,使总站点数达到四千五百个左右。其中在世博园区内投资十亿元,建成十三个宏基站,完成二百五十幢单位楼宇覆盖,满足每天八十万峰值人流量的通话需求。通过创建 TD-LTE 网络及综合应用示范点,以及运用射频识别等新技术,让游客实现“一部手机畅游世博园区”梦想。

此外,为确保世博会期间 TD 运行,上海移动已加强 TD-SCDMA 网络及终端推进无线城市、金融证券、警务通、应急视频监控等信息化应用在世博期间的普及推广。

(摘自:中国新闻网)