

**8 位 MCU  
HR7P166**

# 数 据 手 册

- 产品简介
- 数据手册
- 产品规格

上海海尔集成电路有限公司

2014 年 5 月 13 日

## 海尔 MCU 芯片使用注意事项

### 关于芯片的上/下电

海尔 MCU 芯片具有独立电源管脚。当 MCU 芯片应用在多电源供电系统时，应先对 MCU 芯片上电，再对系统其它部件上电；反之，下电时，先对系统其它部件下电，再对 MCU 芯片下电。若操作顺序相反则可能导致芯片内部元件过压或过流，从而导致芯片故障或元件退化。具体可参照芯片的数据手册说明。

### 关于芯片的复位

海尔 MCU 芯片具有内部上电复位。对于不同的快速上/下电或慢速上/下电系统，内部上电复位电路可能失效，建议用户使用外部复位、下电复位、看门狗复位等，确保复位电路正常工作。在系统设计时，若使用外部复位电路，建议采用三极管复位电路、RC 复位电路。若不使用外部复位电路，建议采用复位管脚接电阻到电源，或采取必要的电源抖动处理电路或其它保护电路。具体可参照芯片的数据手册说明。

### 关于芯片的时钟

海尔 MCU 芯片具有内部和外部时钟源。内部时钟源会随着温度、电压变化而偏移，可能会影响时钟源精度；外部时钟源采用陶瓷、晶体振荡器电路时，建议使能起振延时；使用 RC 振荡电路时，需考虑电容、电阻匹配；采用外部有源晶振或时钟输入时，需考虑输入高/低电平电压。具体可参照芯片的数据手册说明。

### 关于芯片的初始化

海尔 MCU 芯片具有各种内部和外部复位。对于不同的应用系统，有必要对芯片寄存器、内存、功能模块等进行初始化，尤其是 I/O 管脚复用功能进行初始化，避免由于芯片上电以后，I/O 管脚状态的不确定情况发生。

### 关于芯片的管脚

海尔 MCU 芯片具有宽范围的输入管脚电平，建议用户输入高电平应在 VIHMIN 之上，低电平应在 VILMAX 之下。避免输入电压介于 VIHMIN 和 VILMAX 之间，以免波动噪声进入芯片。对于未使用的输入/输出管脚，建议设置为输入状态，并通过电阻接至电源或地，或设置为输出状态，输出固定电平。对未使用的管脚处理因应用系统而异，具体遵循应用系统的相关规定和说明。

### 关于芯片的 ESD 防护措施

海尔 MCU 芯片具有满足工业级 ESD 标准保护电路。建议用户根据芯片存储/应用的环境采取适当静电防护措施。应注意应用环境的湿度；建议避免使用容易产生静电的绝缘体；存放和运输应在抗静电容器、抗静电屏蔽袋或导电材料容器中；包括工作台在内的所有测试和测量工具必须保证接地；操作者应该佩戴静电消除手腕环手套，不能用手直接接触芯片等。

### 关于芯片的 EFT 防护措施

海尔 MCU 芯片具有满足工业级 EFT 标准的保护电路。当 MCU 芯片应用在 PCB 系统时，需要遵守 PCB 相关设计要求，包括电源、地走线（包括数字/模拟电源分离，单/多点接地等等）、复位管脚保护电路、电源和地之间的去耦电容、高低频电路单独分别处理以及单/多层板选择等。

### 关于芯片的开发环境

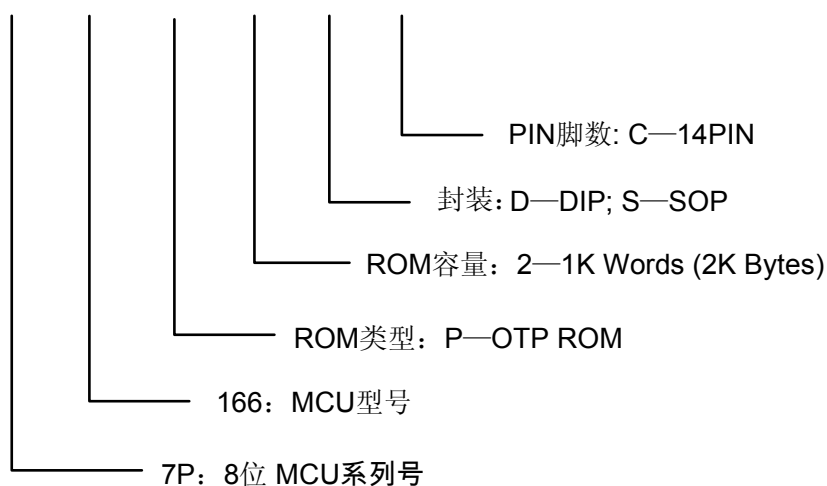
海尔 MCU 芯片具有完整的软/硬件开发环境，并受知识产权保护。选择上海海尔集成电路有限公司或其指定的第三方公司的汇编器、编译器、编程器、硬件仿真器开发环境，必须遵循与芯片相关的规定和说明。

注：在产品开发时，如遇到不清楚的地方，请通过销售或其它方式与上海海尔集成电路有限公司联系。

## 产品订购信息

型号	程序存储器	数据存储器	封装
HR7P166P2DC	OTP: 1K Words	SRAM: 128 Bytes	DIP14
HR7P166P2SC			SOP14

**HR 7P No. X X X X**



地 址: 中国上海市龙漕路 299 号天华信息科技园 2A 楼 5 层

邮 编: 200235

E-mail: support@ichaier.com

电 话: +86-21-60910333

传 真: +86-21-60914991

网 址: <http://www.ichaier.com>

版权所有©

**上海海尔集成电路有限公司**

本数据手册的信息在发行时是经过核实并且尽最大努力使之精确的。上海海尔集成电路有限公司不为由于使用本数据手册而可能带来的风险或后果负责。手册中的实例仅作为说明用途，上海海尔集成电路有限公司不担保或确认这些实例是合适的、不需进一步修改的、或推荐使用的。上海海尔集成电路有限公司保留不需要通知本数据手册读者而修改本数据手册的权利。如需得到最新的产品信息，请随时用上述联系方式与上海海尔集成电路有限公司联系。

## 修订历史

版本	修改日期	更改概要
V1.0	2013-11-27	初版
V1.1	2014-5-13	优化 T16G1 模块描述

## 目 录

### 内容目录

<b>第 1 章</b>	<b>芯片简介</b> .....	<b>11</b>
1.1	概述 .....	11
1.2	应用领域 .....	13
1.3	结构框图 .....	13
1.4	管脚分配图 .....	14
1.4.1	14-pin .....	14
1.5	管脚说明 .....	15
1.5.1	管脚封装对照表 .....	15
1.5.2	管脚复用说明 .....	16
<b>第 2 章</b>	<b>内核特性</b> .....	<b>18</b>
2.1	CPU内核概述 .....	18
2.2	系统时钟和机器周期 .....	18
2.3	指令集概述 .....	18
2.4	硬件乘法器 .....	18
2.5	特殊功能寄存器 .....	19
<b>第 3 章</b>	<b>存储资源</b> .....	<b>21</b>
3.1	程序存储器 .....	21
3.1.1	概述 .....	21
3.1.2	程序计数器 (PC) .....	22
3.1.3	硬件堆栈 .....	22
3.1.4	程序存储器查表操作 .....	23
3.1.4.1	概述 .....	23
3.1.4.2	操作例程 .....	23
3.1.5	特殊功能寄存器 .....	24
3.2	数据存储器 .....	25
3.2.1	概述 .....	25
3.2.2	寻址方式 .....	26
3.2.2.1	直接寻址 .....	26
3.2.2.2	GPR特殊寻址 .....	26
3.2.2.3	间接寻址 .....	27
3.2.3	特殊功能寄存器地址分配表 .....	28
3.2.4	特殊功能寄存器 .....	30
<b>第 4 章</b>	<b>输入/输出端口</b> .....	<b>31</b>
4.1	概述 .....	31
4.2	结构框图 .....	31
4.3	I/O端口弱上拉 .....	32
4.4	I/O端口大电流驱动 .....	32
4.5	外部按键中断 (KINT) .....	32
4.6	外部端口中断 (PINT) .....	33
4.7	特殊功能寄存器 .....	34
<b>第 5 章</b>	<b>外设</b> .....	<b>37</b>

5.1	定时器/计数器模块 (Timer/Counter)	37
5.1.1	8位定时器/计数器 (T8N)	37
5.1.1.1	概述	37
5.1.1.2	内部结构图	37
5.1.1.3	工作模式	38
5.1.1.4	预分频器	38
5.1.1.5	中断标志	38
5.1.1.6	特殊功能寄存器	39
5.1.2	8位增强型EPWM时基定时器 (T8P1/T8P2/T8P3)	40
5.1.2.1	概述	40
5.1.2.2	内部结构图	40
5.1.2.3	预分频器和后分频器	41
5.1.2.4	工作模式	41
5.1.2.5	定时器模式	42
5.1.2.6	标准PWM输出模式	42
5.1.2.7	增强型PWM输出模式	44
5.1.2.8	PWM自动关断和重启	46
5.1.2.9	PWM输出启动AD转换	47
5.1.2.10	特殊功能寄存器	48
5.1.3	16位门控型定时器T16G1	51
5.1.3.1	概述	51
5.1.3.2	内部结构图	51
5.1.3.3	时钟源配置	52
5.1.3.4	预分频器配置	52
5.1.3.5	工作模式	52
5.1.3.6	定时器模式	52
5.1.3.7	同步计数模式	52
5.1.3.8	异步计数模式	52
5.1.3.9	门控计数	53
5.1.3.10	捕捉器模式	53
5.1.3.11	比较器模式	53
5.1.3.12	单边PWM模式	54
5.1.3.13	双边PWM模式	55
5.1.3.14	过零检测ZCD模式	56
5.1.3.15	中断和唤醒	57
5.1.3.16	T16G1 复用功能输出端口	57
5.1.3.17	特殊功能寄存器	58
5.2	模拟数字转换器(ADC)	62
5.2.1	概述	62
5.2.2	内部结构图	62
5.2.3	ADC时序特示意图	62
5.2.4	ADC自动触发	63
5.2.5	电源电压检测功能	63
5.2.6	参考例程	63

5.2.7	特殊功能寄存器 .....	64
<b>第 6 章</b>	<b>特殊功能及操作特性 .....</b>	<b>67</b>
6.1	系统时钟与振荡器 .....	67
6.1.1	概述 .....	67
6.1.2	时钟源 .....	67
6.1.2.1	外部时钟 .....	67
6.1.2.2	内部时钟 .....	69
6.1.3	系统时钟切换 .....	69
6.1.3.1	系统上电时序 .....	69
6.1.3.2	系统时钟切换时序 .....	70
6.1.4	特殊功能寄存器 .....	72
6.2	看门狗定时器 .....	75
6.2.1	概述 .....	75
6.2.2	内部结构图 .....	75
6.2.3	特殊功能寄存器 .....	76
6.3	复位模块 .....	77
6.3.1	概述 .....	77
6.3.2	复位时序图 .....	77
6.3.3	低电压复位配置 .....	78
6.3.4	N_MRST复位参考 .....	78
6.3.5	特殊功能寄存器 .....	79
6.4	中断处理 .....	80
6.4.1	概述 .....	80
6.4.2	中断逻辑表 .....	80
6.4.3	默认中断模式 .....	81
6.4.4	中断向量分组 .....	81
6.4.5	操作说明 .....	81
6.4.6	特殊功能寄存器 .....	82
6.5	MCU低功耗操作 .....	88
6.5.1	MCU低功耗模式 .....	88
6.5.2	低功耗模式配置 .....	88
6.5.3	IDLE唤醒方式配置 .....	89
6.5.4	唤醒时间计算 .....	89
6.5.5	特殊功能寄存器 .....	90
6.6	芯片配置字 .....	91
<b>第 7 章</b>	<b>芯片封装图 .....</b>	<b>93</b>
7.1	14-pin 封装图 .....	93
<b>附录 1</b>	<b>指令集 .....</b>	<b>95</b>
附录 1.1	概述 .....	95
附录 1.2	寄存器操作指令 .....	95
附录 1.3	程序控制指令 .....	95
附录 1.4	算术/逻辑运算指令 .....	97
<b>附录 2</b>	<b>特殊功能寄存器总表 .....</b>	<b>99</b>
<b>附录 3</b>	<b>电气特性 .....</b>	<b>102</b>

---

附录 3.1	参数特性表.....	102
附录 3.2	参数特性图.....	107



## 图目录

图 1-1	HR7P166 结构框图 .....	13
图 1-2	DIP14/SOP14 顶视图 .....	14
图 2-1	硬件乘法器内部结构图 .....	18
图 3-1	HR7P166P2D/SC程序区地址映射和堆栈示意图 .....	21
图 3-2	数据区地址映射示意图 .....	25
图 3-3	直接寻址示意图 .....	26
图 3-4	GPR特殊寻址示意图 .....	26
图 3-5	间接寻址示意图 .....	27
图 4-1	输入/输出端口结构图A .....	31
图 4-2	输入端口结构图B .....	31
图 5-1	T8N内部结构图 .....	37
图 5-2	T8Px内部结构图 .....	40
图 5-3	标准PWM模式示意图 .....	43
图 5-4	标准PWM输出示意图 .....	43
图 5-5	EPWM单桥输出示意图 .....	44
图 5-6	EPWM半桥输出示意图 .....	45
图 5-7	EPWM关断与自动重启 (PRESNx=1) .....	46
图 5-8	EPWM关断与重启 (PRESNx=0) .....	47
图 5-9	T16G1 内部结构图 .....	51
图 5-10	T16G1 单边PWM模式示意图 .....	54
图 5-11	T16G1 双边PWM模式示意图 .....	55
图 5-12	过零检测示意图 .....	56
图 5-13	ADC内部结构图 .....	62
图 5-14	ADC时序特征示意图 .....	62
图 6-1	系统时钟切换图 .....	67
图 6-2	晶体/陶瓷振荡器模式 (HS、XT、LP模式) .....	68
图 6-3	振荡器RC模式等效电路图及外围参考图 .....	68
图 6-4	系统上电时序图 .....	69
图 6-5	INTOSCL时钟切换到HS/XT/RC/INTOSCH时钟时序图 .....	70
图 6-6	HS/XT/RC/INTOSCH时钟切换到INTOSCL时钟时序图 .....	70
图 6-7	低速LP时钟切换到INTOSCH时钟时序图 .....	71
图 6-8	INTOSCH时钟切换到低速LP时钟时序图 .....	71
图 6-9	看门狗定时器内部结构图 .....	75
图 6-10	芯片复位原理图 .....	77
图 6-11	上电复位时序示意图 .....	77
图 6-12	低电压复位时序示意图 .....	77
图 6-13	N_MRST复位参考电路图 1 .....	78
图 6-14	N_MRST复位参考电路图 2 .....	78
图 6-15	中断控制逻辑 .....	80

## 表目录

表 1-1	管脚封装对照表 .....	15
表 1-2	管脚说明 .....	17
表 4-1	I/O端口结构信息表 .....	31
表 4-2	I/O端口弱上拉 .....	32
表 4-3	I/O端口大电流驱动 .....	32
表 4-4	外部按键中断 .....	33
表 4-5	外部端口中断 .....	33
表 5-1	T8N工作模式配置表 .....	38
表 5-2	T8N预分频器配置表 .....	38
表 5-3	捕捉条件配置表 .....	53
表 5-4	比较匹配触发事件配置表 .....	53
表 6-1	晶体振荡器电容参数参考表 .....	68
表 6-2	外部RC模式推荐参数 .....	68
表 6-3	低电压检测配置表 .....	78
表 6-4	中断逻辑表（默认中断模式） .....	80
表 6-5	中断向量分组表 .....	81
表 6-5	低功耗模式配置表 .....	88
表 6-6	休眠唤醒表 .....	89

## 第 1 章 芯片简介

### 1.1 概述

- ◆ 内核
  - ◇ HR7P RISC CPU 内核
  - ◇ 79 条精简指令
  - ◇ 指令周期为 2 个系统时钟周期
  - ◇ 复位向量位于 000<sub>H</sub>，默认中断向量位于 004<sub>H</sub>
  - ◇ 支持中断处理，14 个中断源，支持中断向量表
  - ◇ 系统时钟最高工作频率
    - 2MHz (VDD=2.2~5.5V)
    - 8MHz (VDD=2.7~5.5V)
    - 16MHz (VDD=3.0~5.5V)
- ◆ 存储资源
  - ◇ 1K Words OTP 程序存储器，8 级程序堆栈
  - ◇ 128 Bytes SRAM 数据存储器
  - ◇ 程序存储器支持直接寻址、相对寻址及查表读操作
  - ◇ 数据存储器支持直接寻址、GPR 特殊寻址和间接寻址
- ◆ I/O 端口
  - ◇ 支持 11 个 I/O 和 1 个输入端口
    - PA 端口 (PA0~PA7)
    - PC 端口 (PC0~PC3)
  - ◇ 支持 4 个外部端口中断 PINT
  - ◇ 支持 1 个 8 输入外部按键中断 KINT (KIN0~KIN7 为输入端)
  - ◇ 支持独立的可配置内部弱上拉输入端口
  - ◇ 支持独立的可配置大电流驱动端口
- ◆ 复位及时钟
  - ◇ 内嵌上电复位电路 POR
  - ◇ 内嵌掉电复位电路 BOR
  - ◇ 内嵌低电压检测中断电路
  - ◇ 支持外部复位
  - ◇ 支持独立硬件看门狗定时器
  - ◇ 支持内部高频 16MHz RC 振荡时钟源
    - 支持内部分频选择，最低可分频至 32KHz
    - 出厂前，芯片已经在常温 25℃ 条件下校准，校准精度为 ±2%
  - ◇ 支持内部低频 32KHz RC 振荡器时钟源 (用于 WDT 时钟源及可配置为系统时钟源)

- ◇ 支持外部振荡器时钟源
- ◇ 支持高低速系统时钟切换
- ◆ 外设
  - ◇ 一路 8 位定时器 T8N
    - 定时器模式（时钟源为系统时钟二分频（Fosc/2））
    - 计数器模式（时钟源为 T8NCKI 输入）
    - 支持可配置预分频器
    - 支持中断产生
  - ◇ 3 组增强型 EPWM 时基定时器 T8P1/T8P2/T8P3
    - 支持定时器模式（时钟源为系统时钟二分频（Fosc/2））
    - 支持可配置预分频器及可配置后分频器
    - T8Px 包括 8 位计数器(T8Px)，精度寄存器(T8PxRL)，精度缓冲寄存器(T8PxRH)和周期寄存器(T8PxP)
    - T8Px 计数器的初值可任意配置
    - 支持 3 组带死区互补输出的增强型脉宽调制（EPWM）输出扩展功能
    - 支持 6 路脉宽调制（PWM）输出扩展功能
    - 支持外部端口关断 EPWM 输出
    - 支持 EPWM 自动重启
    - 支持 PWM 沿启动 ADC 转换
    - T8Px 支持中断产生 T8PxIF
  - ◇ 1 路 16 位门控型定时器 T16G1
    - 支持定时器模式（时钟源为系统时钟二分频（Fosc/2））
    - 支持计数器模式（时钟源为 T16G1CKI 或外部 LP 晶振可选）
    - 支持比较器模式
    - 支持捕捉器模式
    - 支持单边 PWM 模式
    - 支持双边 PWM 模式
    - 支持过零检测功能
    - 支持外部门控使能
    - 支持中断产生
  - ◇ 模拟数字转换器 ADC
    - 支持 12 位数字转换精度
    - 支持 5 通道模拟输入端
    - 支持电源电压检测，电源分压比可选（VDD/4、VDD/8）
    - 支持外部参考源
    - 支持内部参考源（参考源为 VDD/4V/3V/2.1V/1.6V 可选）
    - 支持中断产生
- ◆ 低功耗特性
  - ◇ IDLE 电流
    - 3uA@3.0V, 25°C, 典型值
  - ◇ 动态电流
    - 20uA@32KHz, 3.0V, 25°C, 典型值

- 1.5mA@16MHz, 5.0V, 25°C, 典型值

- ◆ 编程及调试接口
  - ◇ 支持在线编程 (ISP) 接口
  - ◇ 支持编程代码加密保护
- ◆ 设计工艺及封装
  - ◇ 低功耗、高速 OTP CMOS 工艺
  - ◇ 14 个管脚, 采用 DIP/SOP 封装
- ◆ 工作条件
  - ◇ 工作电压范围: 2.2V ~ 5.5V
  - ◇ 工作温度范围: -40°C ~ 85°C

## 1.2 应用领域

本芯片可用于数显表、移动电源、电机驱动、航模、小家电等领域。

## 1.3 结构框图

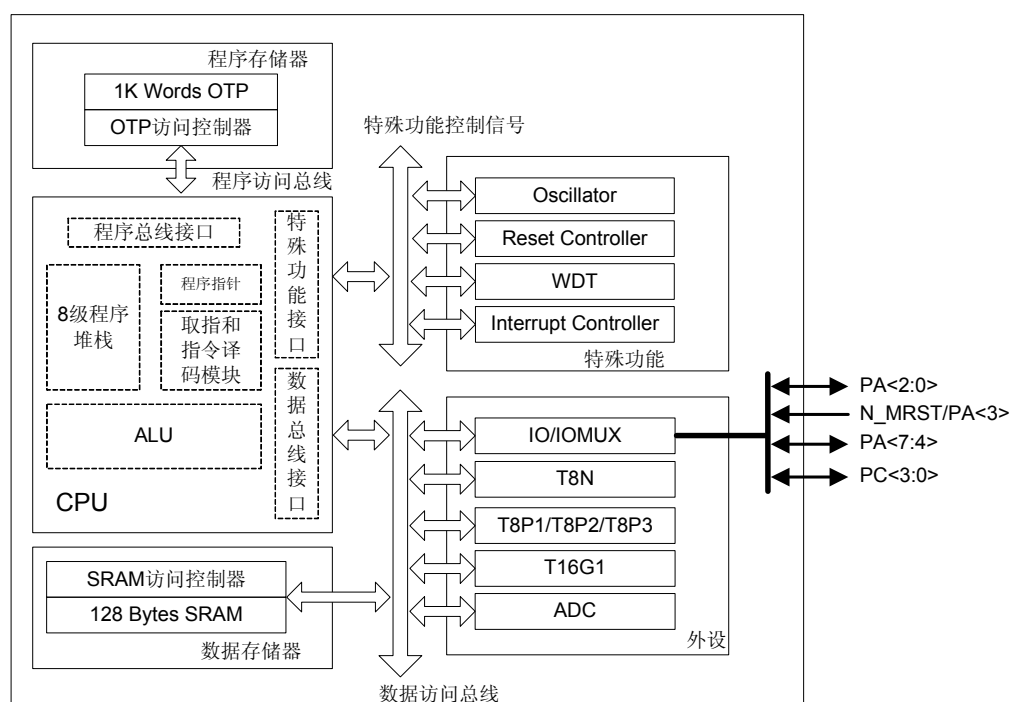


图 1-1 HR7P166 结构框图

注: N\_MRST 表示低电平复位有效。

## 1.4 管脚分配图

### 1.4.1 14-pin

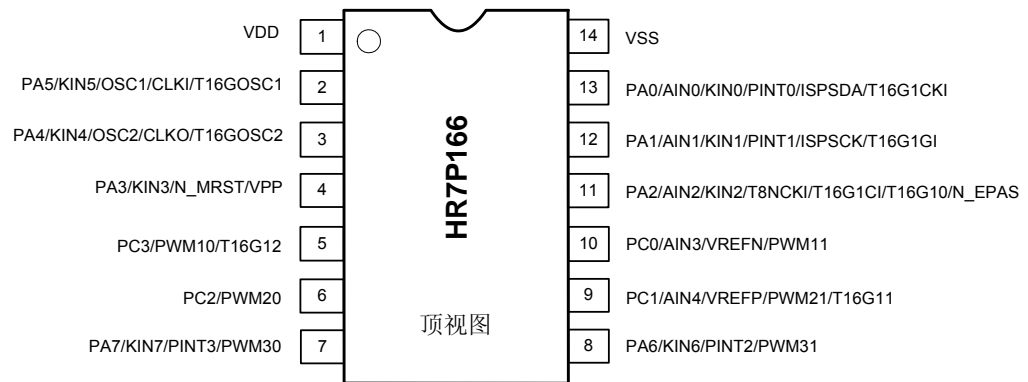


图 1-2 DIP14/SOP14 顶视图

注 1: N\_MRST 表示低电平有效;

## 1.5 管脚说明

### 1.5.1 管脚封装对照表

管脚名	DIP14/SOP14
PA0/AIN0/KIN0/PINT0/ISPSDA/T16G1CKI	13
PA1/AIN1/KIN1/PINT1/ISPSCK/T16G1GI	12
PA2/AIN2/KIN2/T8NCKI/T16G1CI/T16G10/N_EPAS	11
PA3/KIN3/N_MRST/VPP	4
PA4/KIN4/OSC2/CLKO/ T16GOSC2	3
PA5/KIN5/OSC1/CLKI/T16GOSC1	2
PA6/KIN6/PINT2/PWM31	8
PA7/KIN7/PINT3/PWM30	7
PC0/AIN3/VREFN/PWM11	10
PC1/AIN4/VREFP/PWM21/T16G11	9
PC2/PWM20	6
PC3/PWM10/T16G12	5
VDD	1
VSS	14

表 1-1 管脚封装对照表

### 1.5.2 管脚复用说明

管脚名	管脚复用	A/D	端口说明	备注
PA0/AIN0/KIN0/PINT0/ ISPSDA/T16G1CKI	PA0	D	通用 I/O	可单独使能弱上拉 可配置为大电流驱动端 口
	AIN0	A	ADC 模拟通道 0	
	KIN0	D	外部按键唤醒输入 0	
	PINT0	D	外部端口中断输入 0	
	ISPSDA	D	串行编程数据输入输出	
	T16G1C KI	D	T16G1 时钟输入	
PA1/AIN1/KIN1/PINT1/ ISPSCK/T16G1GI	PA1	D	通用 I/O	可单独使能弱上拉 可配置为大电流驱动端 口
	AIN1	A	ADC 模拟通道 1	
	KIN1	D	外部按键唤醒输入 1	
	PINT1	D	外部端口中断输入 1	
	ISPSCK	D	串行编程时钟输入	
	T16G1GI	D	T16G1 门控输入	
PA2/AIN2/KIN2/T8NCKI/ T16G1CI/T16G10/N_EP AS	PA2	D	通用 I/O	可单独使能弱上拉 可配置为大电流驱动端 口
	AIN2	A	ADC 模拟通道 2	
	KIN2	D	外部按键唤醒输入 2	
	T8NCKI	D	T8N 时钟输入	
	T16G1CI	D	T16G1 捕捉输入	
	T16G10 N_EPAS	D	T16G1 比较或 PWM 输出 0 EPWM 外部关断输入	
PA3/KIN3/N_MRST/VPP	PA3	D	通用 I	可单独使能弱上拉
	KIN3	D	外部按键唤醒输入 3	
	N_MRST	D	主复位输入	
	VPP	A	OTP 编程高压输入	
PA4/KIN4/OSC2/CLKO /T16GOSC2	PA4	D	通用 I/O	可单独使能弱上拉 可配置为大电流驱动端 口
	KIN4	D	外部按键唤醒输入 4	
	OSC2	A	晶振/谐振器输出	
	CLKO	D	Fosc/2 参考时钟输出	
PA5/KIN5/OSC1/CLKI /T16GOSC1	T16GOSC C2	A	T16G1 晶振输出	可单独使能弱上拉 可配置为大电流驱动端 口
	PA5	D	通用 I/O	
	KIN5	D	外部按键唤醒输入 5	
	OSC1	A	晶振/谐振器输入	
	CLKI	A/D	时钟输入	
T16GOSC C1	A	T16G1 晶振输入		



[续 1]

管脚名	管脚复用	A/D	端口说明	备注
PA6/KIN6/PINT2/PWM3 1	PA6	D	通用 I/O	可单独使能弱上拉 可配置为大电流驱动端 口
	KIN6	D	外部按键唤醒输入 6	
	PINT2	D	外部端口中断输入 2	
	PWM31	D	T8P3 PWM 输出	
PA7/KIN7/PINT3/PWM3 0	PA7	D	通用 I/O	可单独使能弱上拉 可配置为大电流驱动端 口
	KIN7	D	外部按键唤醒输入 7	
	PINT3	D	外部端口中断输入 3	
	PWM30	D	T8P3 PWM 输出	
PC0/AIN3/VREFN/PWM 11	PC0	D	通用 I/O	可单独使能弱上拉 可配置为大电流驱动端 口
	AIN3	A	ADC 模拟通道 3	
	VREFN	A	ADC 外部参考电压负端	
	PWM11	D	T8P1 PWM 输出	
PC1/AIN4/VREFP /PWM21/T16G11	PC1	D	通用 I/O	可单独使能弱上拉 可配置为大电流驱动端 口
	AIN4	A	ADC 模拟通道 4	
	VREFP	A	ADC 外部参考电压正端	
	PWM21	D	T8P2 PWM 输出	
	T16G11	D	T16G1 比较或 PWM 输出 1	
PC2/PWM20	PC2	D	通用 I/O	可单独使能弱上拉 可配置为大电流驱动端 口
	PWM20	D	T8P2 PWM 输出	
PC3/PWM10/T16G12	PC3	D	通用 I/O	可单独使能弱上拉 可配置为大电流驱动端 口
	PWM10	D	T8P1 PWM 输出	
	T16G12	D	T16G1 比较或 PWM 输出 2	
VDD	VDD	-	电源	-
VSS	VSS	-	地, 0V 参考点	-

表 1-2 管脚说明

注 1: A = 模拟, D = 数字; N\_MRST 表示低电平有效;

注 2: 除 PA3 外, 所有通用数据 I/O 均为 TTL 施密特输入和 CMOS 输出驱动, PA3 为 TTL 输入;

## 第 2 章 内核特性

### 2.1 CPU 内核概述

- ◆ 内核特性
  - ◇ 用 HR7P RISC CPU 内核，79 条精简指令集
  - ◇ 最多支持 14 个中断源，支持中断优先级和中断向量表
  - ◇ 支持硬件乘法器
  - ◇ 系统时钟最高工作频率
    - 2MHz (VDD=2.2~5.5V)
    - 8MHz (VDD=2.7~5.5V)
    - 16MHz (VDD=3.0~5.5V)

### 2.2 系统时钟和机器周期

本芯片系统时钟频率最高支持 16MHz。

CPU 采用 2T 架构实现，即 1 个机器周期 = 2 个系统时钟周期。

例如当芯片系统时钟频率为 4MHz，一个机器周期的时间为 0.5μs。

### 2.3 指令集概述

本芯片采用 HR7P 系列 79 条精简指令集系统。

指令集描述可参考《附录 1 指令集》。

### 2.4 硬件乘法器

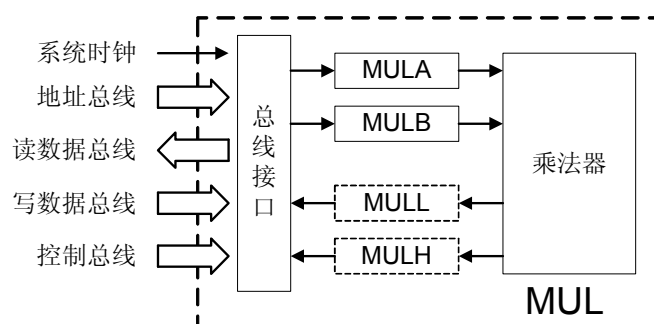


图 2-1 硬件乘法器内部结构图

硬件乘法器： $[8 \text{ 位乘数 } A] \times [8 \text{ 位乘数 } B] = 16 \text{ 位乘积}$ 。

通过 MULA 寄存器设置乘数 A，通过 MULB 寄存器设置乘数 B，这两个寄存器只能被写入，无法被读取。运算的乘积存入 MULL 和 MULH 寄存器中，这两个寄存器只能被读取，无法被写入。MULA 和 MULL 共用一个寄存器地址，MULB 和 MULH 共用一个寄存器地址。被乘数和乘数设置完成后，下一条指令即可读取乘积结果。

**应用实例：硬件乘法器操作应用程序**

```

.....
MOVI    mul_operand_a
MOVA    MULA          ; 写乘数 A
MOVI    mul_operand_b
MOVA    MULB          ; 写乘数 B
MOV     MULL,0        ; 读结果低 8 位
.....
MOV     MULH,0        ; 读结果高 8 位
.....

```

**2.5 特殊功能寄存器**

寄存器名称		程序状态字寄存器 (PSW)	
地址	FF83 <sub>H</sub>		
复位值	x00x xxxx		
<b>C</b>	bit0	R/W	<b>全进位或全借位标志位</b> 0: 无进位或有借位 1: 有进位或无借位
<b>DC</b>	bit1	R/W	<b>半进位或半借位标志位</b> 0: 低四位无进位或低四位有借位 1: 低四位有进位或低四位无借位
<b>Z</b>	bit2	R/W	<b>零标志位</b> 0: 算术或逻辑运算的结果不为零 1: 算术或逻辑运算的结果为零
<b>OV</b>	bit3	R/W	<b>溢出标志位</b> 0: 有符号算术运算未发生溢出 1: 发生溢出
<b>N</b>	bit4	R/W	<b>负数标志位</b> 0: 有符号算术或逻辑运算结果为正数 1: 结果为负数
<b>OF</b>	bit5	R	<b>程序压栈溢出标志位</b> 0: 程序压栈未溢出 1: 程序压栈溢出
<b>UF</b>	bit6	R	<b>程序出栈溢出标志位</b> 0: 程序出栈未溢出 1: 程序出栈溢出
-	bit7	-	-

注 1: 仅部分指令可对 PSW 寄存器进行写操作, 包括 JDEC、JINC、SWAP、BCC、BSS、BTT、MOVA 和 SETR。其它指令对 PSW 寄存器的写操作, 只根据运行结果影响相应状态标志位。

注 2: OF 和 UF 位为只读标志位, 仅上电复位、复位指令和 N\_MRST 复位会将其清零, 其他复位不影响该两位标志位。

寄存器名称		A 寄存器 (AREG)	
地址	FF84 <sub>H</sub>		
复位值	XXXX XXXX		
A	bit7-0	R/W	A 寄存器<7:0>

寄存器名称		程序计数器<7:0> (PCRL)	
地址	FF8B <sub>H</sub>		
复位值	0000 0000		
PCRL	bit7-0	R/W	程序计数器低 8 位

寄存器名称		程序计数器<15:8> (PCRH)	
地址	FF8C <sub>H</sub>		
复位值	0000 0000		
PCRH	Bit2-0	R/W	程序计数器高 3 位
-	bit7-3	-	-

寄存器名称		乘数 A 寄存器 (MULA) / 乘积低 8 位寄存器 (MULL)	
地址	FF85 <sub>H</sub>		
复位值	XXXX XXXX		
MULA	bit7-0	W	乘数 A
MULL		R	乘积低 8 位

寄存器名称		乘数 B 寄存器 (MULB) / 乘积高 8 位寄存器 (MULH)	
地址	FF86 <sub>H</sub>		
复位值	XXXX XXXX		
MULB	bit7-0	W	乘数 B
MULH		R	乘积高 8 位

## 第 3 章 存储资源

### 3.1 程序存储器

#### 3.1.1 概述

程序存储器为 1K Words OTP, 地址范围 000H~3FFH, 其中保留区为 3E0H~3FFH。寻址到保留区会执行 NOP 指令, 然后程序计数器 PC 地址回到 000H。

复位向量位于 000H, 默认中断向量入口地址位于 004H。

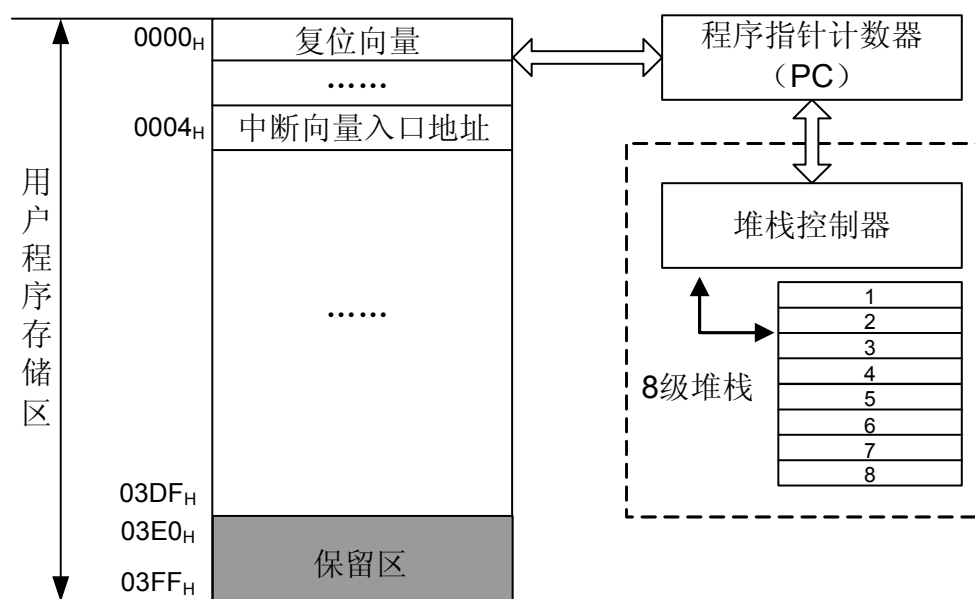


图 3-1 HR7P166P2D/SC 程序区地址映射和堆栈示意图

### 3.1.2 程序计数器 (PC)

本芯片 10 位程序计数器 PC<9:0>。最大可寻址 1K Words 程序存储空间 000H ~ 3FFH，寻址到保留区会执行 NOP 指令，然后程序计数器 PC 地址回到 000H。程序计数器 PC 的低 8 位 PC<7:0>可通过 PCRL 直接读写，而 PC 高 2 位不能直接读写，只能通过 PCRH 寄存器来间接赋值。复位时，PCRL、PCRH 和 PC 都会被清零。PC 硬件堆栈操作不会影响 PCRH 的值。

注：各种指令对 PC 的影响：

- 1 通过指令直接修改 PC 值时，对 PCRL 为目标寄存器的操作可直接修改 PC<7:0>，即  $PC<7:0>=PCRL<7:0>$ ；而操作 PC<7:0>的同时也会执行  $PC<9:8>=PCRH<1:0>$ ，因此，修改 PC 时，应先修改 PCRH<1:0>，再修改 PCRL<7:0>。
- 2 执行 RCALL 指令时，PC<7:0>为寄存器 R 中的值；而  $PC<9:8>=PCRH<1:0>$ 。
- 3 执行 CALL，GOTO 指令时，PC<9:0>为指令中 10 位立即数 I（操作数）。
- 4 执行 LCALL 指令时，该指令为双字指令共有 16 位立即数 I（操作数）。PC<9:0>被修改为该 16 位立即数 I 的低 10 位；同时 PCRH<1:0>被修改为 I<9:8>的值。
- 5 执行 AJMP 指令时，该指令为双字指令共有 16 位立即数 I（操作数）。PC<9:0> 被修改为该 16 位立即数 I 的低 10 位，同时 PCRH<1:0>修改为 I<9:8>的值。
- 6 执行其他指令时，PC 值自动加 1。

### 3.1.3 硬件堆栈

本芯片内有 8 级硬件堆栈，堆栈位宽与 PC 位宽相等，用于 PC 的压栈和出栈。执行 CALL、LCALL 指令或中断被响应后，PC 自动压栈保护；当执行 RET、RETIA 或 RETIE 指令时，堆栈会将最近一次压栈的值返回至 PC。

硬件堆栈只支持 8 级缓冲操作，即硬件堆栈只保存最近的 8 次压栈值，对于连续超过 8 次的压栈操作，第 9 次的压栈数据使得第 1 次的压栈数据被覆盖。同样，超过 8 次的连续出栈，第 9 次出栈操作，可能使得程序流程不可控。

### 3.1.4 程序存储器查表操作

#### 3.1.4.1 概述

程序存储器查表操作仅支持对程序存储器的查表读。

查表读操作通过查表读指令将 FRA (FRAH, FRAL) 所指向的程序存储器地址中的一个字 (Word) 读入 ROMD (ROMDH, ROMDL) 中。

#### 3.1.4.2 操作例程

**应用例程 1: 程序存储器查表读。**

```
MOVI    0x05           ; 读取程序存储器 0105H
MOVA    FRAL
MOVI    0X01
MOVA    FRAH
TBR
MOV     ROMDH, 0
... ..
MOV     ROMDL, 0
... ..
```

### 3.1.5 特殊功能寄存器

寄存器名称	程序存储器查表地址寄存器<7:0> (FRAL)		
地址	FF87 <sub>H</sub>		
复位值	XXXX XXXX		
<b>FRAL</b>	bit7-0	R/W	程序存储器查表地址低 8 位

寄存器名称	程序存储器查表地址寄存器<15:8> (FRAH)		
地址	FF88 <sub>H</sub>		
复位值	XXXX XXXX		
<b>FRAH</b>	bit7-0	R/W	程序存储器查表地址高 8 位

寄存器名称	程序存储器查表数据寄存器<7:0> (ROMDL)		
地址	FF89 <sub>H</sub>		
复位值	XXXX XXXX		
<b>ROMDL</b>	bit7-0	R/W	程序存储器查表数据低 8 位

寄存器名称	程序存储器查表数据寄存器<15:8> (ROMDH)		
地址	FF8A <sub>H</sub>		
复位值	XXXX XXXX		
<b>ROMDH</b>	bit7-0	R/W	程序存储器查表数据高 8 位



## 3.2 数据存储器

### 3.2.1 概述

本芯片的数据存储器由 2 部分组成,通用数据存储器 GPR 和特殊功能寄存器 SFR。

GPR 只有 1 个存储体组,地址范围  $000_H \sim 07F_H$  (SECTION 指令在本芯片中操作无效)。

SFR 支持 128 个特殊寄存器,地址范围  $FF80_H \sim FFFF_H$ 。

数据存储器支持 3 种寻址方式:直接寻址、GPR 特殊寻址和间接寻址。

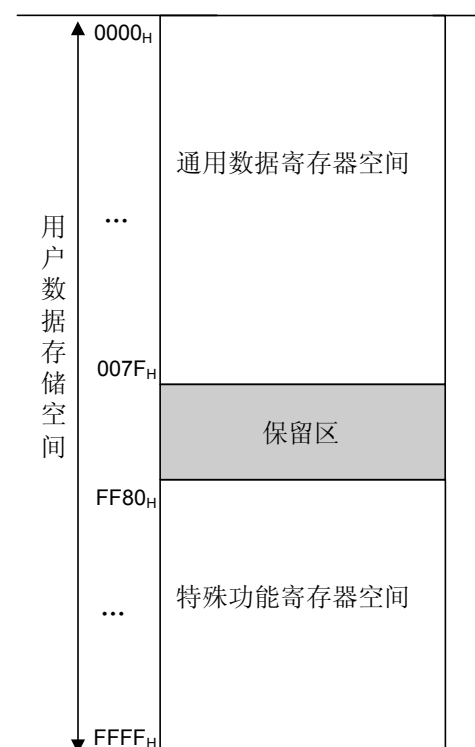


图 3-2 数据区地址映射示意图

### 3.2.2 寻址方式

#### 3.2.2.1 直接寻址

在直接寻址时，指令中的 8 位地址信息用于 GPR 和 SFR 中寻址。当指令中的 8 位地址信息  $R<7:0>$  小于 80H 时，直接寻址 GPR 映射区。当  $R<7:0>$  大于或等于 80H 时，直接寻址 SFR 映射区。

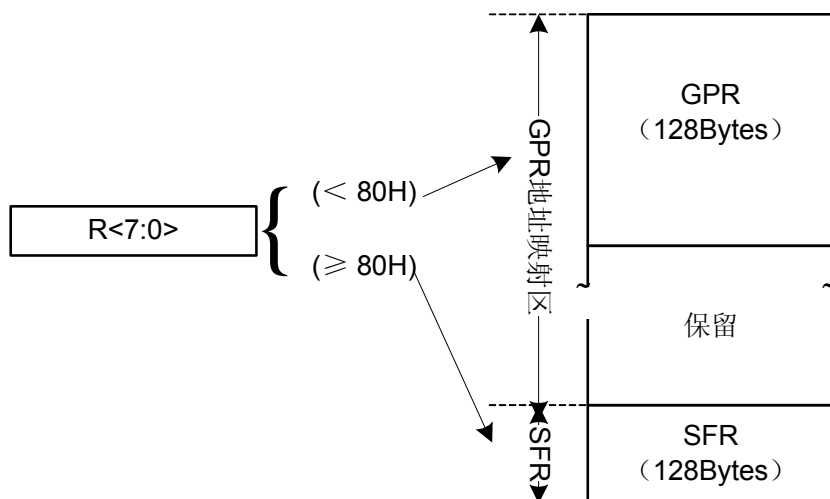


图 3-3 直接寻址示意图

#### 3.2.2.2 GPR特殊寻址

为方便较大的数据段（例如数组）在 GPR 中的移动，指令 MOVAR 和 MOVRA 用于对 GPR 进行特殊寻址读/写操作，指令中支持 11 位地址信息 ( $R<10:0>$ )，可寻址 2K 字节地址空间。由于本芯片 GPR 存储区的大小为 128 字节，GPR 特殊寻址时，高 4 位地址实际为 0。MOVAR 和 MOVRA 指令无法访问 SFR。

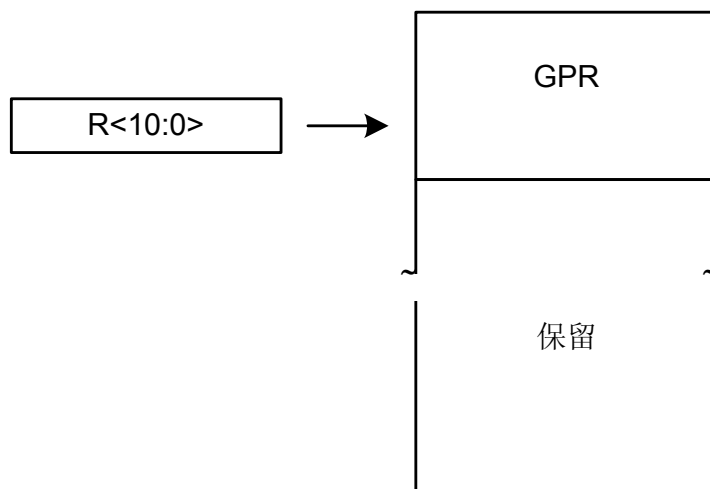


图 3-4 GPR 特殊寻址示意图

### 3.2.2.3 间接寻址

8 位 IAAH 和 8 位 IAAL 组成 16 位间接寻址索引寄存器，寻址空间 0000H~FFFFH。通过对间接寻址数据寄存器 IAD 的读写操作，完成间接寻址操作。

由于 IAD 这个寄存器自身也有物理地址 FF80H。因此，这个寄存器也是可以间接寻址的。只是，当用间接寻址的方式，读 IAD 这个寄存器的时候，读出的值始终为 00H，而写入则是一个空操作（可能影响状态位）。

ISTEP 指令，用来对间接寻址索引寄存器 IAAH/IAAL 进行偏移计算。该指令支持 8 位有符号立即数，即偏移范围-128~127。虽然只有 8 位立即数，但是该条指令对整个 IAA(IAAL 和 IAAH)进行 16 位计算。计算的结果依然存放于 IAAL 和 IAAH 中。

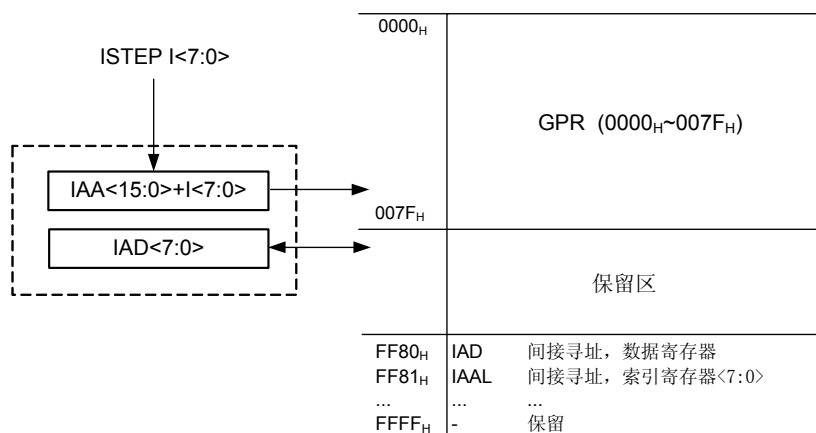


图 3-5 间接寻址示意图

### 3.2.3 特殊功能寄存器地址分配表

地址	寄存器名称	功能说明	备注
FF80 <sub>H</sub>	IAD	间接寻址数据寄存器	内核控制区
FF81 <sub>H</sub>	IAAL	间接寻址, 索引寄存器低<7:0>	
FF82 <sub>H</sub>	IAAH	间接寻址, 索引寄存器高<15:8>	
FF83 <sub>H</sub>	PSW	程序状态字寄存器	
FF84 <sub>H</sub>	AREG	A 寄存器	
FF85 <sub>H</sub>	MULA/MULL	乘数 A 寄存器/乘积低 8 位寄存器	
FF86 <sub>H</sub>	MULB/MULH	乘数 B 寄存器/乘积高 8 位寄存器	
FF87 <sub>H</sub>	FRAL	程序存储器查表地址寄存器<7:0>	
FF88 <sub>H</sub>	FRAH	程序存储器查表地址寄存器<15:8>	
FF89 <sub>H</sub>	ROMDL	程序存储器查表数据寄存器<7:0>	
FF8A <sub>H</sub>	ROMDH	程序存储器查表数据寄存器<15:8>	
FF8B <sub>H</sub>	PCRL	程序计数器<7:0>	
FF8C <sub>H</sub>	PCRH	程序计数器<15:8>	
FF8D <sub>H</sub>	CALPROT	校准值保护寄存器	
FF8E <sub>H</sub>	PA	PA 端口电平状态寄存器	
FF8F <sub>H</sub>	PAT	PA 端口输入输出控制寄存器	
FF90 <sub>H</sub>	-	-	
FF91 <sub>H</sub>	-	-	
FF92 <sub>H</sub>	PC	PC 端口电平状态寄存器	
FF93 <sub>H</sub>	PCT	PC 端口输入输出控制寄存器	
FF94 <sub>H</sub>	N_PAU	PA 弱上拉控制寄存器	
FF95 <sub>H</sub>	-	-	
FF96 <sub>H</sub>	N_PCU	PC 弱上拉控制寄存器	
FF97 <sub>H</sub>	PALC	PA 控制寄存器	
FF98 <sub>H</sub>	-	-	
FF99 <sub>H</sub>	PCLC	PC 控制寄存器	
FF9A <sub>H</sub>	ANS0	IO 端口数模选择寄存器	
FF9B <sub>H</sub>	-	-	
FF9C <sub>H</sub>	-	-	
FF9D <sub>H</sub>	INTF0	中断标志寄存器 0	中断控制区
FF9E <sub>H</sub>	INTE0	中断使能寄存器 0	
FF9F <sub>H</sub>	INTC0	中断控制寄存器 0	
FFA0 <sub>H</sub>	INTG	中断全局寄存器	
FFA1 <sub>H</sub>	LVDC	低电压检测寄存器	
FFA2 <sub>H</sub>	INTF1	中断标志寄存器 1	
FFA3 <sub>H</sub>	INTE1	中断使能寄存器 1	
FFA4 <sub>H</sub>	INTC1	中断控制寄存器 1	
FFA5 <sub>H</sub>	OSCCAL	内部 16MHz 时钟校准寄存器	特殊功能控制区
FFA6 <sub>H</sub>	WDTCAL	内部 32KHz 时钟校准寄存器	

FFA7 <sub>H</sub>	PWRC	电源控制寄存器		
FFA8 <sub>H</sub>	OSCC	时钟控制寄存器		
FFA9 <sub>H</sub>	WKDC	唤醒延时控制寄存器		
FFAA <sub>H</sub>	OSCP	时钟控制写保护寄存器		
FFAB <sub>H</sub>	WDTC	WDT 控制寄存器		
FFAC <sub>H</sub>	PWEN	功耗控制寄存器		
FFAD <sub>H</sub>	-	-		
FFAE <sub>H</sub>	-	-		
FFAF <sub>H</sub>	-	-		
FFB0 <sub>H</sub>	T8N	T8N 寄存器		外设控制区
FFB1 <sub>H</sub>	T8NC	T8N 控制寄存器		
FFB2 <sub>H</sub>	T8P1	T8P1 计数器		
FFB3 <sub>H</sub>	T8P1C	T8P1 控制寄存器		
FFB4 <sub>H</sub>	T8P1P	T8P1 周期寄存器		
FFB5 <sub>H</sub>	T8P1RL	T8P1 精度寄存器		
FFB6 <sub>H</sub>	T8P1RH	T8P1 精度缓冲寄存器		
FFB7 <sub>H</sub>	T8P1OC	T8P1 输出控制寄存器		
FFB8 <sub>H</sub>	EPWM1C	EPWM 配置寄存器 1		
FFB9 <sub>H</sub>	PDD1C	死区延时控制寄存器 1		
FFBA <sub>H</sub>	TE1AS	自动关断控制寄存器 1		
FFBB <sub>H</sub>	T16G1L	T16G1 计数器<7:0>		
FFBC <sub>H</sub>	T16G1H	T16G1 计数器<15:8>		
FFBD <sub>H</sub>	T16G1PL	T16G1 周期寄存器<7:0>		
FFBE <sub>H</sub>	T16G1PH	T16G1 周期寄存器<15:8>		
FFBF <sub>H</sub>	T16G1RL	T16G1 精度寄存器<7:0>		
FFC0 <sub>H</sub>	T16G1RH	T16G1 精度寄存器<15:8>		
FFC1 <sub>H</sub>	T16G1CL	T16G1 控制寄存器<7:0>		
FFC2 <sub>H</sub>	T16G1CH	T16G1 控制寄存器<15:8>		
FFC3 <sub>H</sub>	T16GOC	T16G 输出控制寄存器		
FFC4 <sub>H</sub>	ADCC0	ADC 控制寄存器<7:0>		
FFC5 <sub>H</sub>	ADCC1	ADC 控制寄存器<15:8>		
FFC6 <sub>H</sub>	ADCC2	ADC 控制寄存器<23:16>		
FFC7 <sub>H</sub>	ADCRL	ADC 转换值寄存器<7:0>		
FFC8 <sub>H</sub>	ADCRH	ADC 转换值寄存器<15:8>		
FFC9 <sub>H</sub>	TMRADC	ADC 延时触发定时器		
FFCA <sub>H</sub>	-	-		
FFCB <sub>H</sub>	-	-		
FFCC <sub>H</sub>	-	-		
FFCD <sub>H</sub>	-	-		
FFCE <sub>H</sub>	T8P2	T8P2 计数器		
FFCF <sub>H</sub>	T8P2C	T8P2 控制寄存器		
FFD0 <sub>H</sub>	T8P2P	T8P2 周期寄存器		

FFD1 <sub>H</sub>	T8P2RL	T8P2 精度寄存器	
FFD2 <sub>H</sub>	T8P2RH	T8P2 精度缓冲寄存器	
FFD3 <sub>H</sub>	T8P2OC	T8P2 输出控制寄存器	
FFD4 <sub>H</sub>	EPWM2C	EPWM 配置寄存器 2	
FFD5 <sub>H</sub>	PDD2C	死区延时控制寄存器 2	
FFD6 <sub>H</sub>	TE2AS	自动关断控制寄存器 2	
FFD7 <sub>H</sub>	T8P3	T8P3 计数器	
FFD8 <sub>H</sub>	T8P3C	T8P3 控制寄存器	
FFD9 <sub>H</sub>	T8P3P	T8P3 周期寄存器	
FFDA <sub>H</sub>	T8P3RL	T8P3 精度寄存器	
FFDB <sub>H</sub>	T8P3RH	T8P3 精度缓冲寄存器	
FFDC <sub>H</sub>	T8P3OC	T8P3 输出控制寄存器	
FFDD <sub>H</sub>	EPWM3C	EPWM 配置寄存器 3	
FFDE <sub>H</sub>	PDD3C	死区延时控制寄存器 3	
FFDF <sub>H</sub>	TE3AS	自动关断控制寄存器 3	
FFE0 <sub>H</sub> ~FFFF <sub>H</sub>	-	-	

### 3.2.4 特殊功能寄存器

寄存器名称	间接寻址数据寄存器 (IAD)		
地址	FF80 <sub>H</sub>		
复位值	0000 0000		
IAD	bit7-0	R/W	间接寻址数据

寄存器名称	间接寻址索引寄存器<7:0> (IAAL)		
地址	FF81 <sub>H</sub>		
复位值	0000 0000		
IAAL	bit7-0	R/W	间接寻址索引低 8 位

寄存器名称	间接寻址索引寄存器<15:8> (IAAH)		
地址	FF82 <sub>H</sub>		
复位值	0000 0000		
IAAH	bit7-0	R/W	间接寻址索引高 8 位

## 第 4 章 输入/输出端口

### 4.1 概述

本芯片支持一个输入端口和 11 个双向 I/O 端口。

输入端口 PA3 是 TTL 输入，不受特殊功能寄存器 PAT 控制。

所有 I/O 端口都是 TTL/SMT 输入和 CMOS 输出驱动。每个端口都有相应的特殊功能寄存器 PxT，来进行输入/输出控制。若 PxT 置 1，则 I/O 端口为输入状态，若 PxT 置 0，则 I/O 端口为输出状态。当 I/O 管脚用于通用 I/O 口且处于输出状态时，其电平由 Px 寄存器决定。1 为高电平，0 为低电平。当 I/O 管脚处于输入状态时，其电平状态可由 Px 寄存器读取。

### 4.2 结构框图

管脚	0	1	2	3	4	5	6	7	备注
PA	A	A	A	B	A	A	A	A	-
PC	A	A	A	A	-	-	-	-	

表 4-1 I/O 端口结构信息表

注 1: A 表示端口结构图 A; B 表示输入端口结构图 B (图略)。

注 2: PA3 端口对应的 PAT 始终为 1, 即 PA3 只能作输入用。

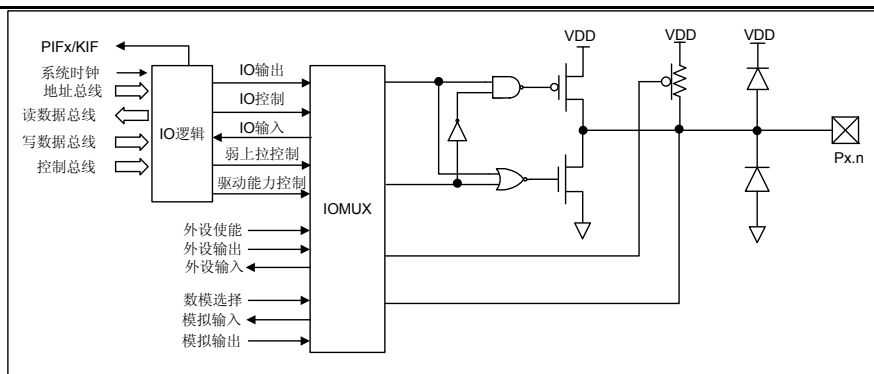


图 4-1 输入/输出端口结构图 A

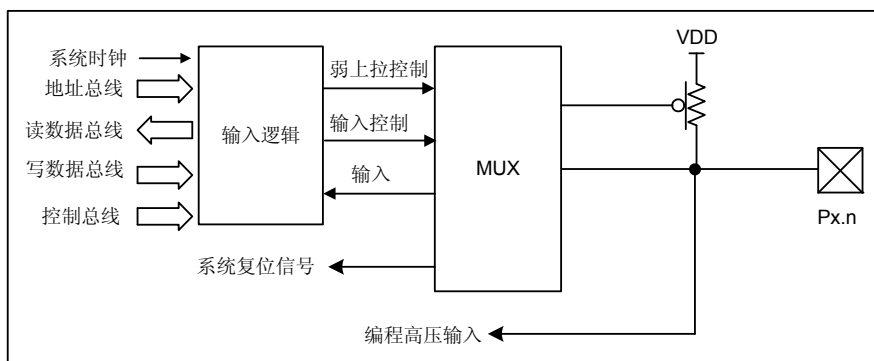


图 4-2 输入端口结构图 B

### 4.3 I/O端口弱上拉

PA 和 PC 端口可软件独立配置弱上拉。只有 PA3 端口默认弱上拉使能。

管脚	0	1	2	3	4	5	6	7
PA	支持	支持	支持	支持	支持	支持	支持	支持
PC	支持	支持	支持	支持	-	-	-	-

表 4-2 I/O 端口弱上拉

### 4.4 I/O端口大电流驱动

除 PA3 外，其它 PA 和 PC 端口可软件独立配置强、弱两种不同的驱动能力。默认为弱驱动能力端口。驱动能力的大小，参考《电气特性》章节。

管脚	0	1	2	3	4	5	6	7
PA	支持	支持	支持	不支持	支持	支持	支持	支持
PC	支持	支持	支持	支持	-	-	-	-

表 4-3 I/O 端口大电流驱动

### 4.5 外部按键中断 (KINT)

PA 端口支持 1 组外部按键中断。按键中断支持最多 8 个按键输入端 KIN<7:0>，每个输入端可以由相应的 INTC0<7:0>屏蔽。其中任何一个未屏蔽的按键变化将影响中断标志 KIF。

PA0~PA7 端口电平变化可以产生中断，在端口电平变化中断使能的情况下，输入端口 PA0~PA7 与锁存器上的最后输入值进行比较，如果不匹配则引起中断，中断标志位置 1，此中断能将芯片从睡眠状态唤醒。

用户可在中断服务中用软件清除该中断标志，操作过程如下：

- 1) 对 PA 端口进行读或者写操作，结束端口电平与锁存器值的不匹配条件；
- 2) 软件清除中断标志位。

在按键中断使能 (KMSKx=1, KIE=1) 前，先对 PA 端口进行读或者写操作，然后清除中断标志位，以免误产生中断。



管脚名	端口输入	按键屏蔽	中断名	中断使能	中断标志
PA0	KIN0	KMSK0	KINT	KIE	KIF
PA1	KIN1	KMSK1			
PA2	KIN2	KMSK2			
PA3	KIN3	KMSK3			
PA4	KIN4	KMSK4			
PA5	KIN5	KMSK5			
PA6	KIN6	KMSK6			
PA7	KIN7	KMSK7			

表 4-4 外部按键中断

#### 4.6 外部端口中断 (PINT)

PA 端口支持 4 个外部端口中断。外部端口中断由相应的 PIE<sub>x</sub> 使能，通过 PEG<sub>x</sub> 选择上升沿触发还是下降沿触发。中断产生将影响相应的中断标志 PIF<sub>x</sub>。

管脚名	中断名	中断使能	端口输入	边沿选择	中断标志
PA0	PINT0	PIE0	PINT0	PEG0	PIF0
PA1	PINT1	PIE1	PINT1	PEG1	PIF1
PA6	PINT2	PIE2	PINT2	PEG2	PIF2
PA7	PINT3	PIE3	PINT3	PEG3	PIF3

表 4-5 外部端口中断

#### 4.7 特殊功能寄存器

寄存器名称		PA 端口电平状态寄存器 (PA)	
地址		FF8E <sub>H</sub>	
复位值		XXXX XXXX	
PA<7:0>	bit7-0	R/W	PA 端口电平状态 0: 低电平 1: 高电平

寄存器名称		PC 端口电平状态寄存器 (PC)	
地址		FF92 <sub>H</sub>	
复位值		0000 xxxx	
PC<3:0>	bit3-0	R/W	PC 端口电平状态 0: 低电平 1: 高电平
-	bit7-4	-	-

寄存器名称		PA 端口输入输出控制寄存器 (PAT)	
地址		FF8F <sub>H</sub>	
复位值		1111 1111	
PAT<2:0>	bit2-0	R/W	PA 端口输入输出状态选择位 0: 输出状态 1: 输入状态
PAT3	bit3	R	硬件固定为 1, 该端口只能用作输入
PAT<7:4>	bit7-4	R/W	PA 端口输入输出状态选择位 0: 输出状态 1: 输入状态

寄存器名称		PC 端口输入输出控制寄存器 (PCT)	
地址		FF93 <sub>H</sub>	
复位值		0000 1111	
PCT<3:0>	bit3-0	R/W	PC 端口输入输出状态选择位 0: 输出状态 1: 输入状态
-	bit7-4	-	-

寄存器名称		PA 端口弱上拉控制寄存器 (N_PAU)	
地址		FF94 <sub>H</sub>	
复位值		1111 0111	
N_PAPU<7:0>	bit7-0	R/W	PA 端口内部弱上拉控制位 0: 弱上拉使能 1: 弱上拉不使能

寄存器名称		PC 端口弱上拉控制寄存器 (N_PCU)	
地址		FF96 <sub>H</sub>	
复位值		0000 1111	
<b>N_PCPU&lt;3:0&gt;</b>	bit3-0	R/W	<b>PC 端口内部弱上拉控制</b> 0: 弱上拉使能 1: 弱上拉不使能
-	bit7-4	-	-

寄存器名称		PA 端口大电流控制寄存器 (PALC)	
地址		FF97 <sub>H</sub>	
复位值		0000 0000	
<b>PALC&lt;2:0&gt;</b>	bit2-0	R/W	<b>PA2-0 端口大电流控制位</b> 0: 禁止大电流驱动 1: 使能大电流驱动
-	bit3	-	-
<b>PALC&lt;7:4&gt;</b>	bit7-4	R/W	<b>PA7-4 端口大电流控制位</b> 0: 禁止大电流驱动 1: 使能大电流驱动

寄存器名称		PC 端口大电流控制寄存器 (PCLC)	
地址		FF99 <sub>H</sub>	
复位值		0000 0000	
<b>PCLC&lt;3:0&gt;</b>	bit3-0	R/W	<b>PC 端口大电流控制位</b> 0: 禁止大电流驱动 1: 使能大电流驱动
-	bit7-4	-	-

寄存器名称		I/O 端口数模选择寄存器 (ANS0)	
地址	FF9A <sub>H</sub>		
复位值	0000 0000		
ANPA0	bit0	R/W	<b>PA0 端口数模选择位(AIN0)</b> 0: 模拟端口 1: 数字端口
ANPA1	bit1	R/W	<b>PA1 端口数模选择位(AIN1)</b> 0: 模拟端口 1: 数字端口
ANPA2	bit2	R/W	<b>PA2 端口数模选择位(AIN2)</b> 0: 模拟端口 1: 数字端口
ANPC0	bit3	R/W	<b>PC0 端口数模选择位(AIN3)</b> 0: 模拟端口 1: 数字端口
ANPC1	bit4	R/W	<b>PC1 端口数模选择位(AIN4)</b> 0: 模拟端口 1: 数字端口
-	bit7-5	-	-

## 第 5 章 外设

### 5.1 定时器/计数器模块 (Timer/Counter)

本芯片包含 1 组 8 位定时器/计数器 (T8N)、3 组增强型 EPWM 时基定时器 (T8P1/T8P2/T8P3) 和 1 组 16 位定时器/计数器 (T16G1)。

#### 5.1.1 8 位定时器/计数器 (T8N)

##### 5.1.1.1 概述

- 支持定时器模式 (时钟源为系统时钟二分频,  $F_{osc}/2$ );
- 支持计数器模式 (时钟源为外部计数时钟, T8NCKI);
- 支持 1 组 8 位可配置预分频器 (T8NPRS);
- 支持 1 组 8 位计数器 (T8N);
- 支持 1 组 8 位控制寄存器 (T8NC);
- 支持溢出中断标志 (T8NIF);
- T8N 在低功耗模式下不工作。

##### 5.1.1.2 内部结构图

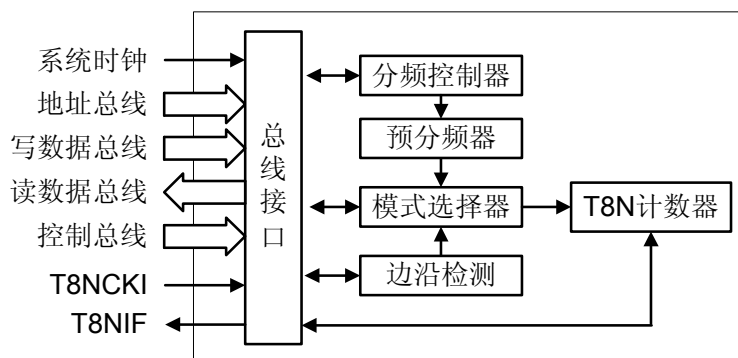


图 5-1 T8N 内部结构图

### 5.1.1.3 工作模式

工作模式	T8NM
定时器模式	0
同步计数模式	1

表 5-1 T8N 工作模式配置表

注：T8N 工作模式配置

1. 当 T8N 配置为定时器模式时，若不使用预分频器，T8N 计数器的时钟为系统时钟 2 分频( $F_{osc}/2$ )；若使用预分频器，T8N 计数器的时钟为  $F_{osc}/2$  分频后的输出信号频率。
2. 当 T8N 配置为计数器模式时，T8N 计数器的时钟为外部输入时钟 T8NCKI，内部相位时钟 p2 将对 T8NCKI 进行时钟同步。所以 T8NCKI 保持高电平或者低电平的时间，至少为一个机器周期。通过 T8NEG (T8NC<4>)选择外部时钟的计数边沿为上升沿或下降沿。外部计数模式同样支持预分频器。另外，T8NCKI 所在 IO 端口必须配置为输入状态。

### 5.1.1.4 预分频器

T8N 定时器频率	T8NPRE	T8NPRS<2:0>
T8N_CLK	0	-
T8N_CLK /2	1	000
T8N_CLK /4	1	001
T8N_CLK /8	1	010
T8N_CLK /16	1	011
T8N_CLK /32	1	100
T8N_CLK /64	1	101
T8N_CLK /128	1	110
T8N_CLK /256	1	111

表 5-2 T8N 预分频器配置表

注 1：当 T8NPRE=1 时，使能 T8N 预分频器。此时，任何对 T8N 计数器的写操作都会清零预分频器，但不影响预分频器的分频比，预分频器的计数值无法读写。

注 2：T8N\_CLK，在定时器模式下，为系统时钟 2 分频，在计数器模式下，为外部计数时钟 T8NCKI。

### 5.1.1.5 中断标志

T8N 提供了一个溢出中断标志。当 T8N 计数器递增计数，计数值由 FFH 变为 00H 时，T8N 计数器发生溢出，T8NIF 位置 1，如果 T8NIE 位和全局中断 GIE 位使能，则产生 T8N 溢出中断，否则中断不被响应。在重新使能这个中断之前，为了避免误触发中断，T8NIF 位必须软件清零。在 CPU 进入休眠模式后，T8N 模块不工作，因此不产生中断。

注：T8NIE 和 T8NIF 位请参考《中断处理》章节中的中断使能寄存器和中断标志寄存器。

### 5.1.1.6 特殊功能寄存器

寄存器名称		T8N 计数器 (T8N)	
地址	FFB0 <sub>H</sub>		
复位值	0000 0000		
T8N<7:0>	bit7-0	R/W	T8N 计数器 00 H ~ FF H

寄存器名称		T8N 控制寄存器 (T8NC)	
地址	FFB1 <sub>H</sub>		
复位值	0000 0000		
T8NPRS<2:0>	bit2-0	R/W	预分频器分频比选择位 000: 1:2 001: 1:4 010: 1:8 011: 1:16 100: 1:32 101: 1:64 110: 1:128 111: 1:256
T8NPRE	bit3	R/W	预分频器使能位 0: 禁止 1: 使能
T8NEG	bit4	R/W	T8NCKI 计数边沿选择位 0: T8NCKI 上升沿计数 1: T8NCKI 下降沿计数
T8NM	bit5	R/W	T8N 模式选择位 0: 定时器模式 (时钟源为系统时钟二分频, Fosc/2) 1: 计数器模式 (时钟源为 T8NCKI)
-	bit6	-	-
T8NEN	bit7	R/W	T8N 使能位 0: 关闭 T8N 模块 1: 使能 T8N 模块

## 5.1.2 8位增强型EPWM时基定时器 (T8P1/T8P2/T8P3)

### 5.1.2.1 概述

- 支持定时器模式 (时钟源为系统时钟二分频 ( $F_{osc}/2$ ))
- 支持可配置预分频器及可配置后分频器
- T8Px 包括 8 位计数器(T8Px)、精度寄存器(T8PxRL)、精度缓冲寄存器(T8PxRH)和周期寄存器(T8PxP)
- T8Px 计数器的初值可任意配置
- 支持 3 组带互补输出的增强型脉宽调制 (EPWM) 输出扩展功能
- 支持 6 路脉宽调制 (PWM) 输出扩展功能
- 支持外部端口关断 EPWM 输出
- 支持 EPWM 自动重启
- 支持 PWM 沿启动 ADC 转换
- T8Px 支持中断产生 T8PxIF (不同工作模式作用不同, 必须软件清零)
- T8Px 在低功耗模式下不工作

### 5.1.2.2 内部结构图

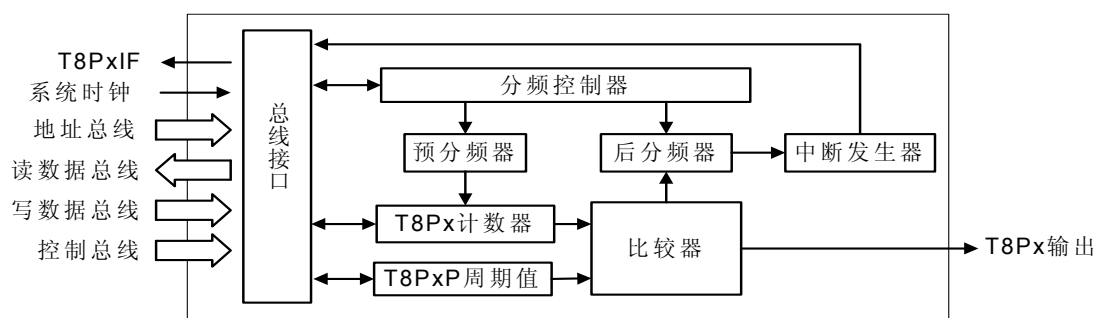


图 5-2 T8Px 内部结构图



### 5.1.2.3 预分频器和后分频器

T8Px 匹配中断	T8PxPOS<3:0>
计数器与周期寄存器匹配 1 次	0000
计数器与周期寄存器匹配 2 次	0001
计数器与周期寄存器匹配 3 次	0010
计数器与周期寄存器匹配 4 次	0011
计数器与周期寄存器匹配 5 次	0100
计数器与周期寄存器匹配 6 次	0101
计数器与周期寄存器匹配 7 次	0110
计数器与周期寄存器匹配 8 次	0111
计数器与周期寄存器匹配 9 次	1000
计数器与周期寄存器匹配 10 次	1001
计数器与周期寄存器匹配 11 次	1010
计数器与周期寄存器匹配 12 次	1011
计数器与周期寄存器匹配 13 次	1100
计数器与周期寄存器匹配 14 次	1101
计数器与周期寄存器匹配 15 次	1110
计数器与周期寄存器匹配 16 次	1111

表 5-3 T8Px 后分频器配置表

T8Px 定时器频率	T8PxPRS<1:0>
Fosc/2	00
Fosc/8	01
Fosc/32	1x

表 5-4 T8Px 预分频器配置表

注：T8Px 包括 1 个可配置预分频器和 1 个可配置后分频器。预分频器与后分频器的计数值都无法读写，修改 T8PxC 控制寄存器或 T8Px 计数器都会把预分频器和后分频器清零。

### 5.1.2.4 工作模式

工作模式	T8PxM
定时器模式	0
PWM 输出模式	1

表 5-5 T8Px 工作模式配置表

### 5.1.2.5 定时器模式

T8PxM=0 时, T8Px 为定时器模式。

T8Px 计数器的时钟源为系统时钟 2 分频 ( $F_{osc}/2$ ), 可选择预分频器对计数时钟进行分频。T8Px 在定时器模式下对计数时钟进行递增计数, 当 T8Px 的计数值与周期寄存器 T8PxP 相等时, T8Px 被自动清零并重新开始计数, 同时后分频器加 1 计数。当后分频器的计数值与后分频器分频比相同时, 复位后分频器, 并将中断标志 T8PxIF 置 1, 该中断标志需要软件清零。当 T8PxIF 置 1, 如果 T8PxIE 使能, 且全局中断 GIE 使能, 则产生 T8Px 中断, 否则中断不被响应。在重新使能这个中断之前, 为了避免误触发中断, T8PxIF 位必须软件清零。在 CPU 进入休眠模式后, T8Px 停止工作。

### 5.1.2.6 标准PWM输出模式

T8PxM=1 时, T8Px 为 PWM 输出模式, 相应的 PWM 输出端口设置为输出状态。

使能 PWM 输出模式后, 首先从一个起始周期开始, 起始周期完成后不断循环 PWM 周期。

#### 起始周期

T8Px 在起始周期内从初始值递增计数到与周期寄存器 T8PxP 相等, 此时将精度寄存器 T8PxRL 的数值载入精度缓冲寄存器 T8PxRH 内, 并产生 T8PxIF 中断标志。起始周期内 PWM 输出状态不定。

#### PWM 周期

起始周期完成后, T8Px 从零开始重新递增计数, 并保持 PWM 输出为 1, 当 T8Px 与 T8PxRH 的值相等时, PWM 输出改变为 0, 并继续递增计数。当 T8Px 的计数值与 T8PxP 再次相等时, PWM 输出恢复为 1, 同时将当前 T8PxRL 的数值载入精度缓冲寄存器 T8PxRH 内, 并产生 T8PxIF 中断标志。T8Px 清零并重新开始计数, 循环 PWM 周期。在 PWM 输出模式下, T8PxRH 寄存器只可读。

特别的, 若精度缓冲寄存器 T8PxRH 的值为 0, 则当前 PWM 周期内 PWM 输出始终为 0; 若精度缓冲寄存器 T8PxRH 的值大于 T8PxP, 则当前 PWM 周期内 PWM 输出始终为 1。

PWM 输出模式下, 计数时钟源为系统时钟二分频  $F_{osc}/2$ , 并支持预分频器。此模式下, 后分频器的设置不影响 PWM 输出周期和占空比; 只影响 T8PxIF 中断标志位的产生, 详见表 5-3 《T8Px 后分频器配置表》。

对于 PWM 输出，波形如下图所示：

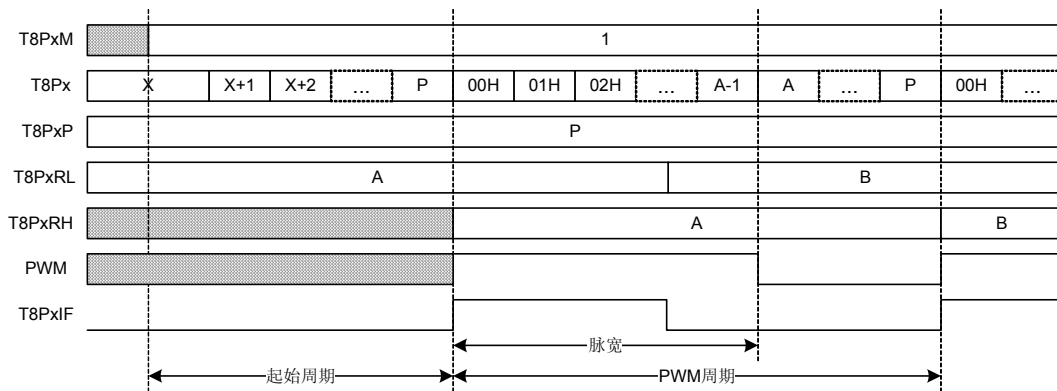


图 5-3 标准 PWM 模式示意图

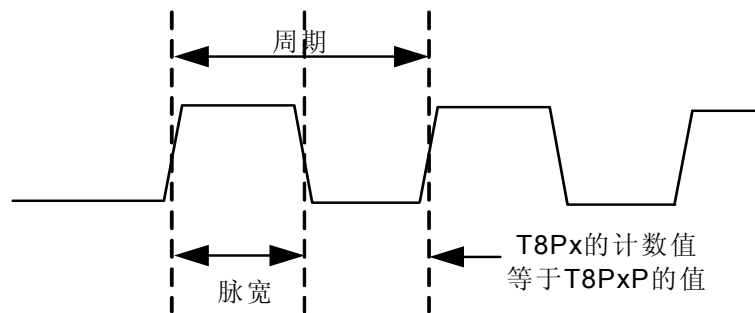


图 5-4 标准 PWM 输出示意图

PWM 计算公式如下：

$$\text{PWM 周期} = [(T8PxP)+1] \times 2 \times T_{osc} \times (T8Px \text{ 预分频比})$$

$$\text{PWM 频率} = 1 / (\text{PWM 周期})$$

$$\text{PWM 脉宽} = T8PxRL \times 2 \times T_{osc} \times (T8Px \text{ 预分频比})$$

$$\text{PWM 占空比} = [\text{PWM 脉宽}] / [\text{PWM 周期}]$$

PWM 的分辨率计算公式：

$$\text{分辨率} = \frac{\log\left(\frac{F_{osc}/2}{F_{pwm} * F_{ckps}}\right)}{\log 2} \text{ 位}$$

注 1:  $T_{osc} = 1/F_{osc}$  ,  $F_{pwm} = 1/(\text{PWM 周期})$ ,  $F_{ckps}$  为 T8px 预分频比

### 5.1.2.7 增强型PWM输出模式

本芯片支持 3 组增强型 PWM 功能（即 EPWM），选择 T8Px 作为其时基。EPWM 输出包括单桥输出和半桥输出。

#### 单桥输出

单桥输出就是标准 PWM 输出，5.1.2.6 节《标准 PWM 输出模式》已经详细介绍。

#### 半桥输出

在半桥输出模式下，有两个端口作为驱动推拉式负载输出。调制波输出到 PWMx0 端口，它的互补信号输出到 PWMx1 端口，用这两个端口来驱动负载。在这两个端口输出的调制波之间，可编程设置一个死区时间 Tdelay，来防止半桥功率器件直通引起瞬间大电流，从而损坏半桥功耗设备。死区时间由主时钟频率和寄存器 PDDxC 的值决定，在系统时钟频率固定的条件下，死区时间通过设置 PDDxC<6:0>来设置。Tdelay = 2 \* Tosc \* (PDDxC<6:0>)。如果死区时间设置大于或者等于 PWM 的工作周期，则 PWM 输出无效。

在半桥输出模式下，调制输出端口必须清零，将端口设置为输出状态。

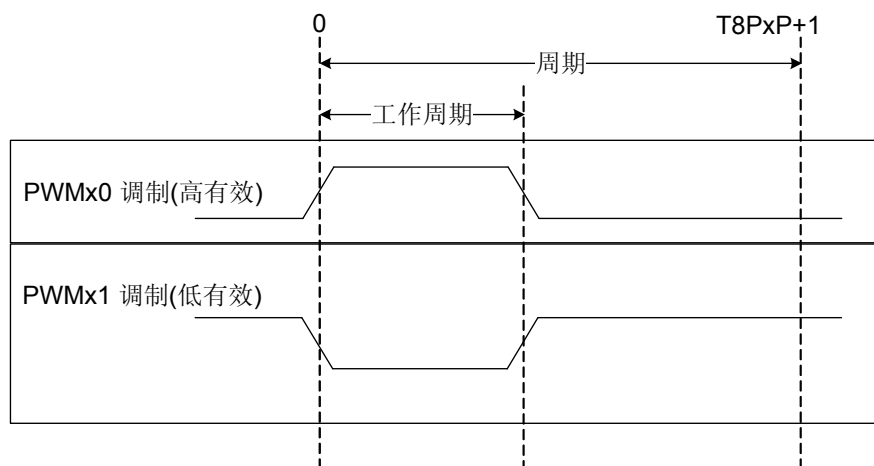


图 5-5 EPWM 单桥输出示意图

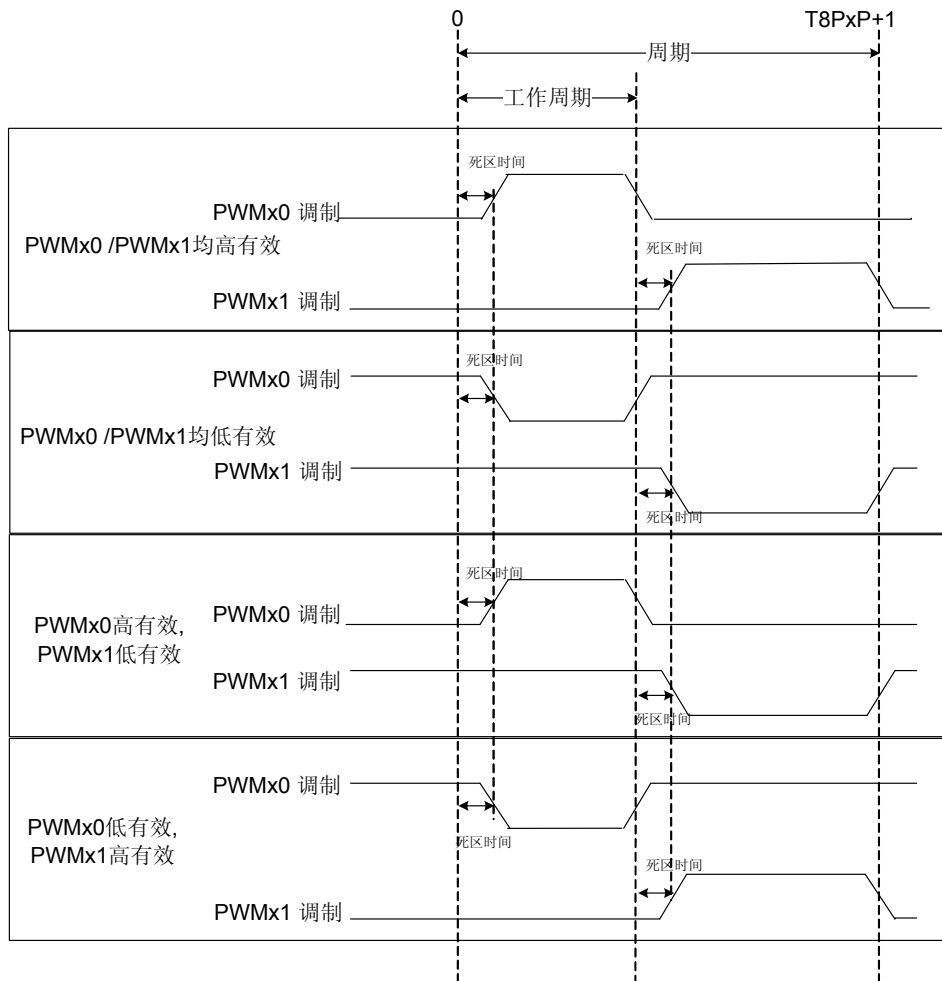


图 5-6 EPWM 半桥输出示意图

### 5.1.2.8 PWM自动关断和重启

本芯片支持 PA2/N\_EPAS 管脚输入关断事件。当自动关断位 EPWMxAS0 使能，PA2/N\_EPAS 管脚输入为“0”时，会发生自动关断事件。任何时刻发生自动关断事件时，停止当前 EPWM 输出，直到关断事件撤销，关断事件标志位清零后，才恢复 EPWM 输出。

当关断事件发生后，EPWM 输出管脚处于关断状态，管脚的关断状态可通过设置 TExAS 寄存器的 PSSxBD<1:0>位来控制，可以被设置输出为“1”、“0”或者高阻(三态)。同时，在关断状态下，关断事件标志位 EPWMxASF (TExAS<7>)置 1。如果关断事件一直保持，关断事件标志位就不会被清零。详见 TExAS 自动关断寄存器控制位介绍。

EPWM 的重启，通过配置寄存器 PRSENx (PDDxC<7>) 位来决定在关断状态下是否自动重启。如果 PRSENx 位为 1，当关断事件撤离后，硬件会自动清零关断事件标志位，并重启 EPWM 功能；如果 PRSENx 位为 0，当关断事件撤离后，需要用软件清零关断事件标志位，重启 EPWM 功能；EPWM 重启后，EPWM 的输出会在下一个 PWM 周期正常输出。可参考图 5-7 和图 5-8。

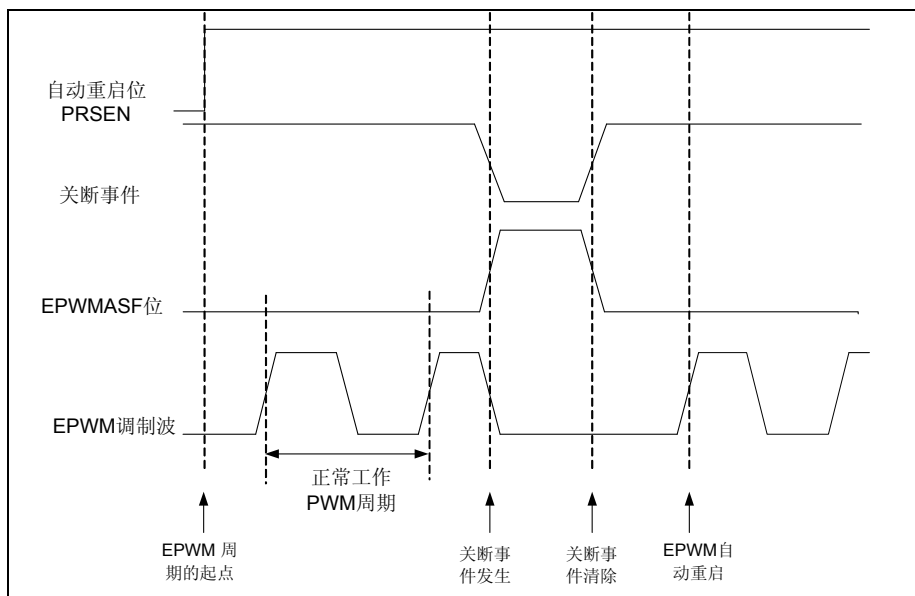


图 5-7 EPWM 关断与自动重启 (PRESNx=1)

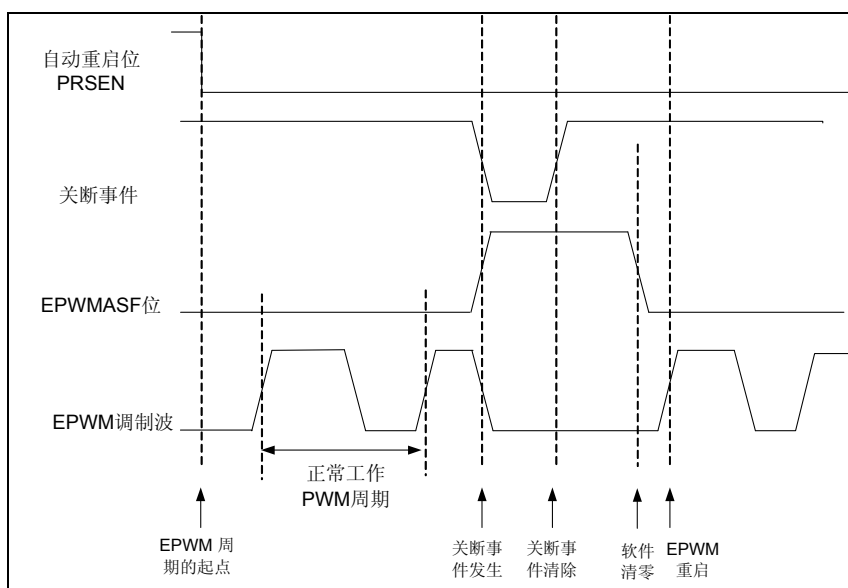


图 5-8 EPWM 关断与重启 (PRESNx=0)

### 启动注意事项

EPWMxC<1:0>位允许用户为每一组 EPWM 输出引脚选择 EPWM 输出信号为高电平有效或低电平有效。EPWM 的输出极性，必须在 EPWM 引脚配置为输出之前选择。由于可能导致应用电路的损坏，因此不推荐在 EPWM 引脚为输出状态时，改变输出极性的配置。在 EPWM 功能扩展模块初始化时，需在初始化工作完成后，再将 PWMx0 和 PWMx1 所在的 EPWM 引脚设置为输出状态。

### 5.1.2.9 PWM输出启动AD转换

本芯片支持 PWM 输出启动 AD 自动转换，PWM10、PWM20、PWM30 都可作为 ADC 自动转换的触发信号，详情见模拟数字转换器 (ADC) 章节关于自动转换触发的相关描述。

### 5.1.2.10 特殊功能寄存器

寄存器名称		T8Px 计数器 (T8Px)	
地址	T8P1: FFB2 <sub>H</sub> T8P2: FFCE <sub>H</sub> T8P3: FFD7 <sub>H</sub>		
复位值	0000 0000		
T8Px<7:0>	bit7-0	R/W	T8Px 计数器

寄存器名称		T8PxC 控制寄存器 (T8PxC)	
地址	T8P1C: FFB3 <sub>H</sub> T8P2C: FFCF <sub>H</sub> T8P3C: FFD8 <sub>H</sub>		
复位值	0000 0000		
T8PxPRS<1:0>	bit1-0	R/W	<b>T8Px 预分频器分频比选择位</b> 00: 分频比为 1:1 01: 分频比为 1:4 1x: 分频比为 1:16
T8PxE	bit2	R/W	<b>T8Px 使能位</b> 0: 关闭 T8Px 1: 使能 T8Px
T8PxPOS<3:0>	bit6-3	R/W	<b>T8Px 后分频器分频比选择位</b> 0000: 分频比为 1:1 0001: 分频比为 1:2 0010: 分频比为 1:3 ... 1111: 分频比为 1:16
T8PxM	bit7	R/W	<b>T8Px 工作模式选择位</b> 0: 定时器模式 1: PWM 输出模式

寄存器名称		T8PxP 周期寄存器 (T8PxP)	
地址	T8P1P: FFB4 <sub>H</sub> T8P2P: FFD0 <sub>H</sub> T8P3P: FFD9 <sub>H</sub>		
复位值	1111 1111		
T8PxP<7:0>	bit7-0	R/W	T8Px 周期寄存器

寄存器名称		T8Px 精度寄存器 (T8PxRL)	
地址	T8P1RL: FFB5 <sub>H</sub> T8P2RL: FFD1 <sub>H</sub> T8P3RL: FFDA <sub>H</sub>		
复位值	0000 0000		
T8PxRL<7:0>	bit7-0	R/W	8 位精度寄存器



寄存器名称		T8Px 精度缓冲寄存器 (T8PxRH)	
地址	T8P1RH: FFB6 <sub>H</sub> T8P2RH: FFD2 <sub>H</sub> T8P3RH: FFDB <sub>H</sub>		
复位值	0000 0000		
T8PxRH<7:0>	bit7-0	R/W	8 位精度寄存器

寄存器名称		EPWM 输出控制寄存器 (T8PxOC)	
地址	T8P1OC: FFB7 <sub>H</sub> T8P2OC: FFD3 <sub>H</sub> T8P3OC: FFDC <sub>H</sub>		
复位值	0000 0000		
PWMx0EN	bit0	R/W	<b>PWMx0 端口使能位</b> 0: 通用 I/O 1: EPWM 输出功能
PWMx1EN	bit1	R/W	<b>PWMx1 端口使能位</b> 0: 通用 I/O 1: EPWM 输出功能
-	bit7-2	-	-

寄存器名称		EPWM 配置寄存器 (EPWMxC)	
地址	EPWM1C: FFB8 <sub>H</sub> EPWM2C: FFD4 <sub>H</sub> EPWM3C: FFDD <sub>H</sub>		
复位值	0000 0000		
EPWMxM<1:0>	bit1-0	R/W	<b>EPWM 工作模式选择位</b> 00: EPWM, PWMx0 高有效, PWMx1 高有效 01: EPWM, PWMx0 高有效, PWMx1 低有效 10: EPWM, PWMx0 低有效, PWMx1 高有效 11: EPWM, PWMx0 低有效, PWMx1 低有效
-	bit5-2	-	-
P1Mx	bit6	R/W	<b>T8PxM=1, EPWM 输出端口选择位</b> 0: 单桥输出, PWMx0、PWMx1 为 6 路 PWM 输出端口 1: 半桥输出, PWMx0 与 PWMx1 为 3 组互补 EPWM 输出端口, 并带有死区时间控制
-	bit7	-	-

寄存器名称		EPWM 死区控制寄存器 (PDDxC)	
地址	PDD1C: FFB9 <sub>H</sub> PDD2C: FFD5 <sub>H</sub> PDD3C: FFDE <sub>H</sub>		
复位值	0000 0000		
PDDxC<6:0>	bit6-0	R/W	EPWM 死区延时计数位 00 <sub>H</sub> ~ 7F <sub>H</sub>
PRSENx	bit7	R/W	EPWM 重启控制位 0: 当自动关断事件撤离后, 自动关断事件标志位必须软件清零, 才能重启 EPWM。 1: 当自动关断事件撤离后, 自动关断事件标志位硬件自动清零, EPWM 自动重启。

寄存器名称		EPWM 自动关断寄存器 (TExAS)	
地址	TE1AS: FFBA <sub>H</sub> TE2AS: FFD6 <sub>H</sub> TE3AS: FFDF <sub>H</sub>		
复位值	0000 0000		
PSSxBD<1:0>	bit1-0	R/W	管脚 PWMx0 和 PWMx1 关断状态控制位 00: 端口输出 “0” 01: 端口输出 “1” 1x: 端口为三态
-	bit3-2	-	-
EPWMxAS0	bit4	R/W	EPWM 自动关断位 0 0: N_EPAS 端口不影响 EPWM 1: N_EPAS 端口为 “0” 引起关断
-	bit5	-	-
-	bit6	-	-
EPWMxASF	bit7	R/W	EPWM 自动关断事件标志位 0: 没有关断事件发生 1: 关断事件已经发生

### 5.1.3 16 位门控型定时器 T16G1

#### 5.1.3.1 概述

- ◆ T16G1 支持 6 种工作模式
  - 定时器/计数器模式
  - 过零检测 ZCD 模式
  - 捕捉器模式
  - 比较器模式
  - 单边 PWM 模式，17 位 PWM 输出精度
  - 双边 PWM 模式，17 位 PWM 输出精度
- ◆ 定时器/计数器模式可分为三种工作模式
  - 定时器模式（时钟源为系统时钟二分频（Fosc/2））
  - 同步计数模式（时钟源为外部时钟 T16G1CKI 或 T16G1OSC）
  - 异步计数模式（时钟源为外部时钟 T16G1CKI 或 T16G1OSC）
- ◆ T16G1 主要功能组件
  - 支持一个可配置的预分频器（无实际物理地址，不可读写）
  - 16 位计数器(T16G1H, T16G1L)
  - 16 位精度寄存器(T16G1RH, T16G1RL)
  - 16 位周期寄存器(T16G1PH, T16G1PL)
  - 16 位控制寄存器（T16G1CH, T16G1CL）
  - 8 位输出控制寄存器（T16GOC）
  - 17 位精度缓冲器 resbuf（无实际物理地址，不可读写）
- ◆ 中断和唤醒
  - 支持计数溢出中断标志（T16G1IF，必须软件清零）
  - 捕捉/比较/PWM 中断标志（TEIF，必须软件清零）
  - 在 IDLE 模式下，异步计数模式，溢出中断可产生唤醒 CPU
- ◆ 支持门控设计，通过门控信号 T16G1GI 控制 T16G1 定时/计数

#### 5.1.3.2 内部结构图

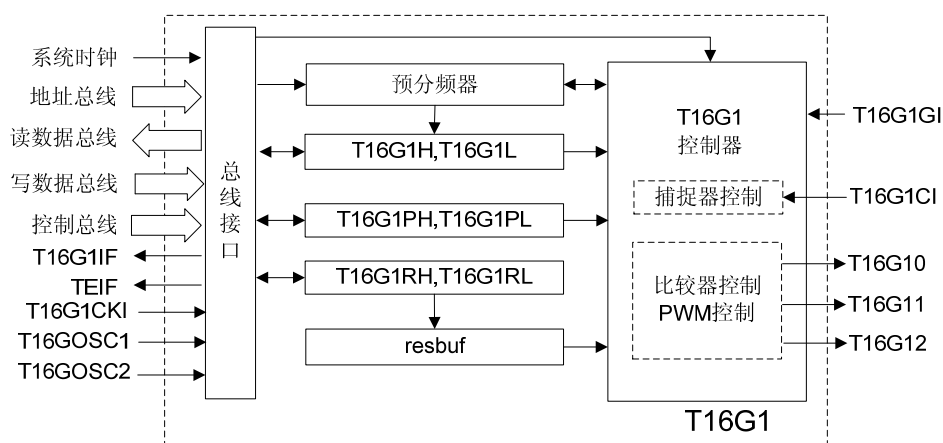


图 5-9 T16G1 内部结构图

### 5.1.3.3 时钟源配置

T16G1 支持 3 种时钟源：系统时钟二分频（Fosc/2）、T16G1CKI 和 T16G1OSC。

T16G1CS	T16G1OSCEN	时钟源
0	0	Fosc/2
1	0	T16G1CKI
1	1	T16G1OSC

表 5-1 时钟源配置表

注 1: T16G1OSC 为外部 LP 晶振输入。

### 5.1.3.4 预分频器配置

T16G1 支持一个可配置的预分频器，对选择的时钟源进行预分频，作为计数器 T16G1 的计数时钟。通过 T16G1PRS<1:0>（T16G1CL<5:4>）配置预分频器的分频比。任何对计数器的写操作都会清零预分频器，但不影响预分频器的分频比。预分频器的计数值不可读写。

### 5.1.3.5 工作模式

T16GON	T16G1M<3:0>	T16G1CS	T16G1SYN	工作模式
1	0000	0	0/1	定时器模式
1	0000	1	0	同步计数模式
1	0000	1	1	异步计数模式
1	0001	0	0/1	过零检测 ZCD 模式
1	01xx	0/1	0	捕捉器模式
1	10xx	0/1	0	比较器模式
1	1100	0	0/1	单边 PWM 模式
1	1101	0	0/1	双边 PWM 模式

表 5-2 工作模式配置表

### 5.1.3.6 定时器模式

当 T16G1CS=0 时，T16G1 工作在定时器模式，时钟源为系统时钟 2 分频。T16G1 计数器（T16G1H，T16G1L）递增计数，计数溢出后重新开始计数。当计数值溢出时（即从 FFFFH 变为 0000H），产生 T16G1 中断，该中断必须软件清零。

当 T16GON=0 时，可对计数器（T16G1H，T16G1L）赋值。

### 5.1.3.7 同步计数模式

当 T16G1CS=1，T16G1SYN =0 时，T16G1 工作在同步计数器模式，时钟源为外部输入时钟 T16G1CKI 或者外部 LP 振荡时钟 T16G1OSC。外部输入时钟经过系统时钟同步后作为计数时钟源。

此工作模式要求外部输入时钟的高/低电平时间，至少保持 1 个机器周期。

### 5.1.3.8 异步计数模式

当 T16G1CS=1，T16G1SYN =1 时，T16G1 工作在异步计数器模式，时钟源为外部输入时钟 T16G1CKI 或者外部 LP 振荡时钟 T16G1OSC。外部输入时钟不经系

统时钟同步。

注 1: 当 T16G1 计数时钟源为 T16G1OSC 时, 在同步计数模式下, 系统时钟必须配置为内部 INTOSC 时钟源; 在异步计数模式下, 系统时钟可配置为内部 INTOSC 或者 T16G1OSC 时钟源;  
注 2: 外部 T16G1OSC 是否稳定, 可通过查询 OSC 寄存器中 T16GOSCF 标志位进行判断。

### 5.1.3.9 门控计数

T16G1 支持门控计数, 通过 T16G1GI 门控信号对 T16G1 计数进行门控。T16G1GINV 位用于选择门控信号的极性。当 T16G1GINV=0 时, T16G1GI 为低电平时使能计数, 高电平暂停计数; 当 T16G1GINV=1 时, 则相反。

### 5.1.3.10 捕捉器模式

T16G1M<3:2>=01 时, T16G1 配置为捕捉器模式, T16G1CI 所在管脚作为捕捉信号输入端口。T16G1M<1:0>用于设置捕捉条件。

T16G1M<3:2>	T16G1M<1:0>	捕捉条件
01	00	捕捉 T16G1CI 每 1 个脉冲下降沿
	01	捕捉 T16G1CI 每 1 个脉冲上升沿
	10	捕捉 T16G1CI 每 4 个脉冲上升沿
	11	捕捉 T16G1CI 每 16 个脉冲上升沿

表 5-3 捕捉条件配置表

T16G1 配置为捕捉模式时, 时钟源必须配置为系统时钟 2 分频 (Fosc/2), 或经系统时钟同步后的外部时钟输入。

在此模式下, 当 T16G1CI 输入信号的变化状态满足捕捉条件时, 计数器 T16G1 (T16G1H,T16G1L) 的值将被分别捕捉到寄存器 (T16G1RH,T16G1RL) 中, 并产生中断标志 TEIF。计数器 T16G1 (T16G1H,T16G1L) 继续递增计数, 当计数值溢出时, 产生中断标志 T16G1IF。若下一次捕捉事件发生时, 寄存器 T16G1R (T16G1RH,T16G1RL) 中的值未被及时读取, 将被新捕捉的值覆盖。

当切换捕捉模式后, 首次捕捉可能存在误差, 同时也可能导致错误的中断产生。为了避免产生错误中断, 用户在改变模式时应该禁止中断产生, 并且清除中断标志。

### 5.1.3.11 比较器模式

当 T16G1M<3:2>=10 时, T16G1 配置为比较器模式, T16G1CO 所在管脚作为比较器输出端口。T16G1M<1:0>用于设置匹配触发事件。

T16G1M<3:2>	T16G1M<1:0>	匹配触发事件
10	00	比较匹配时比较器输出 1
	01	比较匹配时比较器输出 0
	10	比较匹配时比较器输出不变
	11	比较匹配时复位 T16G1H/T16G1L, 触发 ADC

表 5-4 比较匹配触发事件配置表

T16G1 配置为比较器模式时, 时钟源必须配置为系统时钟 2 分频 (Fosc/2), 或经系统时钟同步后的外部时钟输入。

在此模式下，当计数器 T16G1 (T16G1H,T16G1L) 的计数值与寄存器 (T16G1RH,T16G1RL) 中的比较值相等时，执行相应的比较匹配事件，并产生比较匹配中断标志 TEIF。

比较匹配事件可以作为 ADC 自动转换触发信号 (详细说明见 ADC 章节)。

### 5.1.3.12 单边PWM模式

T16G1M<3:0>=1100 时，T16G1 配置为单边 PWM 模式。

在单边 PWM 模式下，计数时钟源为系统时钟 2 分频 (Fosc/2)。

在此模式下，T16G1 计数器 (T16G1H,T16G1L) 从设定的初始值开始递增计数，当 T16G1 (T16G1H,T16G1L) 及当前时钟相位与 17 位精度缓冲器 resbuf 的值相匹配时，PWM 输出 (pwmout) 改变为 0，并继续递增计数。当 T16G1 (T16G1H,T16G1L) 的计数值与周期寄存器 T16G1P (T16G1PH,T16G1PL) 相等时，PWM 输出 (pwmout) 改变为 1，同时将当前 T16G1R (T16G1RH,T16G1RL) 和扩展精度位 T16G1REX (T16G1CH<4>) 的数值载入 17 位精度缓冲器 resbuf 内，并产生中断标志 TEIF，该中断必软件清零。再重新开始循环 PWM 周期。

注 1: 若 resbuf 的值为 0，则当前 PWM 周期内 PWM 输出始终为 0。  
 注 2: 若 resbuf 的高 16 位值(即上一次载入的 T16G1RH,T16G1RL)大于 T16G1P(T16G1PH,T16G1PL)，则当前 PWM 周期内 PWM 输出始终为 1。  
 注 3: 使能单边 PWM 模式后的第一个 PWM 周期内，由于 resbuf 的值不确定，所以 PWM 的输出也是不确定的。

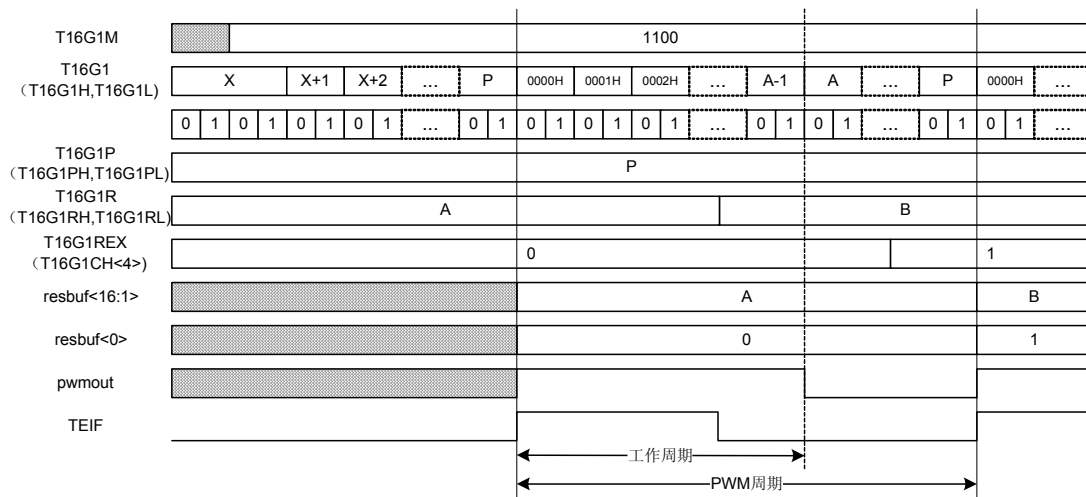


图 5-10 T16G1 单边 PWM 模式示意图

PWM 计算公式如下:

$$\text{PWM 周期} = [(T16G1PH, T16G1PL) + 1] \times 2 \times T_{osc} \times (\text{预分频器分频比})$$

$$\text{PWM 频率} = 1 / [\text{PWM 周期}]$$

$$\text{PWM 脉宽} = [(T16G1RH, T16G1RL) \times 2 + T16G1REX] \times T_{osc} \times (\text{预分频器分频比})$$

$$\text{PWM 占空比} = [\text{PWM 脉宽}] / [\text{PWM 周期}]$$

给定 PWM 频率，PWM 的最大分辨率可计算为：

$$\text{分辨率} = \frac{\log\left(\frac{F_{osc}}{F_{pwm} * F_{ckps}}\right)}{\log 2} \text{位}$$

注：Fckps 是计数器的预分频器的分频比。

### 5.1.3.13 双边PWM模式

当 T16G1M<3:0>=1101 时，T16G1 配置为双边 PWM 模式。

在双边 PWM 模式下，计数时钟源为系统时钟 2 分频 (Fosc/2)。

在此模式下，T16G1 (T16G1H,T16G1L) 从与 T16G1P 相等的值开始递减计数，当 T16G1 (T16G1H,T16G1L) 及当前时钟相位与 17 位精度缓冲器 resbuf 的值相匹配时，PWM 输出 pwmout 被置 1，并继续递减计数直至减到零。

当 T16G1 (T16G1H,T16G1L) 的计数值为零时，再进行递增计数。当 T16G1 (T16G1H,T16G1L) 及当前时钟相位与 17 位精度缓冲器 resbuf 的值相匹配时，PWM 输出 pwmout 被清 0。并继续递增计数直至与 T16G1P(T16G1PH,T16G1PL) 的值相等。

当 T16G1 (T16G1H,T16G1L) 的计数值与 T16G1P (T16G1PH,T16G1PL) 相等时，将当前精度寄存器 T16G1R (T16G1RH,T16G1RL) 和扩展精度位 T16G1REX (T16G1CH<4>) 的数值载入 17 位精度缓冲器 resbuf 内，并产生中断标志 TEIF。再重新开始循环 PWM 周期。

注 1：若 resbuf 的值为 0，则当前 PWM 周期内 PWM 输出始终为 0。

注 2：若 resbuf 的高 16 位值(即上一次载入的 T16G1RH,T16G1RL)大于 T16G1P(T16G1PH,T16G1PL)，则当前 PWM 周期内 PWM 输出始终为 1。

注 3：使能双边 PWM 模式后的第一个 PWM 周期内，由于 resbuf 的值不确定，所以 PWM 的输出也是不确定的。

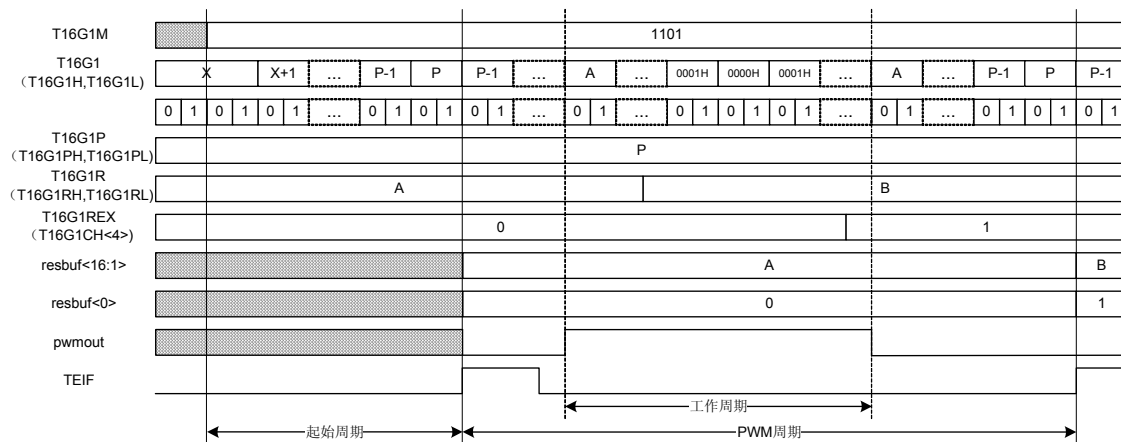


图 5-11 T16G1 双边 PWM 模式示意图

### 5.1.3.14 过零检测ZCD模式

当  $T16G1M<3:0>=0001$  时，T16G1 配置为过零检测 ZCD 模式。

在过零检测 ZCD 模式下，计数时钟源为系统时钟 2 分频 ( $F_{osc}/2$ )。预分频器的配置，应满足 T16G1 定时溢出时间大于相邻 2 次触发信号的时间间隔。

过零检测功能用于对交流信号过零点时刻的检测。其工作原理，是将被检测信号从 T16G1 的复用端口 T16G1CI 输入(如图示)，T16G1CI 为 SCHMITT 输入特性(请参考电气特性章节)，被检测信号到达零点附近会触发 T16G1CI 电平翻转，产生相应的上升或下降沿信号。此上升或下降沿信号通过数字滤波器后产生边沿检测信号，此信号会将处于 ZCD (过零检测) 模式的 T16G1 (T16G1H,T16G1L) 的计数值清零并重新开始计数。通过 T16G1ZCDM (T16G1CH[7:6]) 位选择触发边沿。通过 T16G1ZCDP (T16G1CH[5]) 位进行判断，当前被检测信号处于交流信号的正半周或负半周。

T16G1CI 的边沿滤波时间由 T16G1PL 寄存器决定。

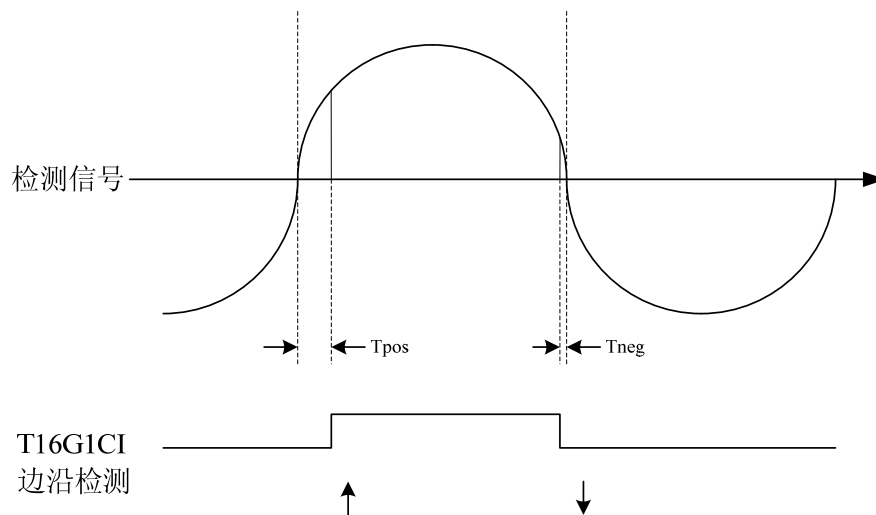


图 5-12 过零检测示意图

零点时刻判断依据如下公式：

当前时刻为交流信号正半周  $T_{zcp} = T_{cnt} + T_{flt} + T_{pos}$

当前时刻为交流信号负半周  $T_{zcp} = T_{cnt} + T_{flt} - T_{neg}$

Tcnt 为依据 T16G1 当前计数值及分频配置所计算出的计数时间；

Tflt 为边沿信号的滤波时间： $T_{flt} = (T16G1PL + 2) \times T_{osc}$

Tpos 为零点时刻至上升沿电平翻转点的时间；

Tneg 为下降沿电平翻转点至零点时刻的时间

注：只有在 T16G1 模块关闭 (T16GON=0) 时，才可对 T16G1 (T16G1H,T16G1L) 计数器进行写操作，否则写操作无效。



### 5.1.3.15 中断和唤醒

当 T16G1 计数溢出中断标志 T16G1IF(INTF0<6>)置 1,如果中断使能位 T16G1IE (INTE0<6>)和全局中断使能位 GIE (INTG<7>)使能,则产生 T16G1 计数溢出中断,否则中断不被响应。在重新使能这个中断之前,为了避免误触发中断,T16G1IF 位必须软件清零。

在比较/捕捉/PWM 模式下,当满足条件时,中断标志 TEIF ((INTF0<5>)置 1,如果中断使能位 TEIE (INTE0<5>)和全局中断使能位 GIE (INTG<7>)使能,则产生比较/捕捉/PWM 中断,否则中断不被响应。在重新使能这个中断之前,为了避免误触发中断,TEIF 位必须软件清零。

在异步工作模式下,当 T16G1 使用 T16G1CKI 或外部 T16GOSC 晶振(系统时钟配置为 INTOSC 模式时)作为时钟源时,计数器溢出产生中断标志 T16G1IF。在 IDLE 模式下,T16G1 异步计数可继续工作,并且可以唤醒 CPU。

### 5.1.3.16 T16G1 复用功能输出端口

在 T16G1 的比较器或单/双边 PWM 模式下,均支持 3 个输出端口 T16G10、T16G11、T16G12。可单独使能作为 T16G1 复用功能输出端口,且可分别通过 T16G10INV、T16G11INV、T16G12INV 选择正向输出或反向输出。

### 5.1.3.17 特殊功能寄存器

寄存器名称	T16G1 计数器<7:0> (T16G1L)		
地址	FFBB <sub>H</sub>		
复位值	XXXX XXXX		
T16G1L<7:0>	bit7-0	R/W	T16G1 计数器低 8 位

寄存器名称	T16G1 计数器<15:8> (T16G1H)		
地址	FFBC <sub>H</sub>		
复位值	XXXX XXXX		
T16G1H<7:0>	bit7-0	R/W	T16G1 计数器高 8 位

寄存器名称	T16G1 周期寄存器<7:0> (T16G1PL)		
地址	FFBD <sub>H</sub>		
复位值	1111 1111		
T16G1PL<7:0>	bit7-0	R/W	T16G1 周期值低 8 位

寄存器名称	T16G1 周期寄存器<15:8> (T16G1PH)		
地址	FFBE <sub>H</sub>		
复位值	1111 1111		
T16G1PH<7:0>	bit7-0	R/W	T16G1 周期值高 8 位

寄存器名称	T16G1 精度寄存器<7:0> (T16G1RL)		
地址	FFBF <sub>H</sub>		
复位值	0000 0000		
T16G1RL<7:0>	bit7-0	R/W	T16G1 精度值低 8 位

寄存器名称	T16G1 精度寄存器<15:8> (T16G1RH)		
地址	FFC0 <sub>H</sub>		
复位值	0000 0000		
T16G1RH<7:0>	bit7-0	R/W	T16G1 精度值高 8 位

寄存器名称		T16G1 控制寄存器<7:0> (T16G1CL)	
地址		FFC1 <sub>H</sub>	
复位值		0000 0000	
T16GON	bit0	R/W	<b>T16G1 使能位</b> 0: 关闭 T16G1 1: 打开 T16G1
T16G1CS	bit1	R/W	<b>T16G1 时钟源选择位</b> 0: 系统时钟二分频 (Fosc/2) 1: 外部时钟 (T16G1CKI 上升沿或者 LP) 注 1
T16G1SYN	bit2	R/W	<b>T16G1 外部时钟输入同步控制位</b> 0: 外部时钟输入经系统时钟同步 1: 外部时钟输入不经系统时钟同步
T16G1OSCEN	bit3	R/W	<b>T16G1 晶振使能位 (时钟源选 T16GOSC 晶振时, 需先将该位使能)</b> 0: 禁止 T16G1OSC 晶振注 1 1: 使能 T16G1OSC 晶振注 1
T16G1PRS	bit5-4	R/W	<b>T16G1 输入预分频选择位</b> 00 : 1:1 01 : 1:2 10 : 1:4 11 : 1:8
T16G1GEN	bit6	R/W	<b>T16G1 门控使能位</b> 0: 禁止 T16G1 门控 1: 使能 T16G1 门控
T16G1GINV	bit7	R/W	<b>T16G1 门控信号极性选择位</b> 0: T16G1 门控信号为低时, T16G1 计数 1: T16G1 门控信号为高时, T16G1 计数

注 1: 当 T16G1CS 为 1 时选择外部时钟源, 此时 T16G1OSCEN 为 0 选择 T16G1CKI 的上升沿作为计数源, T16G1OSCEN 为 1 选择 LP 晶振作为计数源。

寄存器名称	T16G1 控制寄存器<15:8> (T16G1CH)		
地址	FFC2 <sub>H</sub>		
复位值	00X0 0000		
<b>T16G1M&lt;3:0&gt;</b>	bit3-0	R/W	<b>T16G1 工作模式选择位</b> 0000: 定时器/计数器模式 0001: ZCD 模式 001x: 保留 0100: 捕捉 T16G1CI 每 1 个脉冲下降沿 0101: 捕捉 T16G1CI 每 1 个脉冲上升沿 0110: 捕捉 T16G1CI 每 4 个脉冲上升沿 0111: 捕捉 T16G1CI 每 16 个脉冲上升沿 1000: 匹配时输出 1 1001: 匹配时输出 0 1010: 匹配时输出保持不变 1011: 匹配时复位 T16G1H/T16G1L, 触发 ADC 1100: 单边 PWM 模式 1101: 双边 PWM 模式 111x: 保留
<b>T16G1REX</b>	bit4	R/W	PWM 模式扩展精度位
<b>T16G1ZCDP</b>	bit5	R	<b>过零检测信号极性状态位</b> 0: 负半周 1: 正半周
<b>T16G1ZCDM&lt;1:0&gt;</b>	bit7-6	R/W	<b>ZCD 触发边沿选择位</b> 00: 检测上升沿 01: 检测下降沿 1x: 检测上升沿和下降沿

寄存器名称		T16G 输出控制寄存器 (T16GOC)	
地址	FFC3 <sub>H</sub>		
复位值	0000 0000		
T16G10EN	bit0	R/W	<b>T16G10 端口使能位</b> 0: 通用 I/O 1: 比较器/PWM 输出功能
T16G11EN	bit1	R/W	<b>T16G11 端口使能位</b> 0: 通用 I/O 1: 比较器/PWM 输出功能
T16G12EN	bit2	R/W	<b>T16G12 端口使能位</b> 0: 通用 I/O 1: 比较器/PWM 输出功能
-	bit3	-	-
T16G10INV	bit4	R/W	<b>T16G10 输出反向控制位</b> 0: 输出不反向 1: 输出反向
T16G11INV	bit5	R/W	<b>T16G11 输出反向控制位</b> 0: 输出不反向 1: 输出反向
T16G12INV	bit6	R/W	<b>T16G12 输出反向控制位</b> 0: 输出不反向 1: 输出反向
-	bit7	-	-

## 5.2 模拟数字转换器(ADC)

### 5.2.1 概述

- ◇ 支持 12 位 ADC 采样精度
- ◇ 12 位转换结果可选择高位对齐或低位对齐格式
- ◇ 支持 5 个模拟输入端
- ◇ 支持 ADC 中断标志 ADIF
- ◇ 可选择外部或内部参考电压
- ◇ 支持电源电压检测，电源分压比可选（VDD/4、VDD/8）
- ◇ 支持可配置 ADC 转换时钟
- ◇ 支持 ADC 自动转换触发源及边沿选择

### 5.2.2 内部结构图

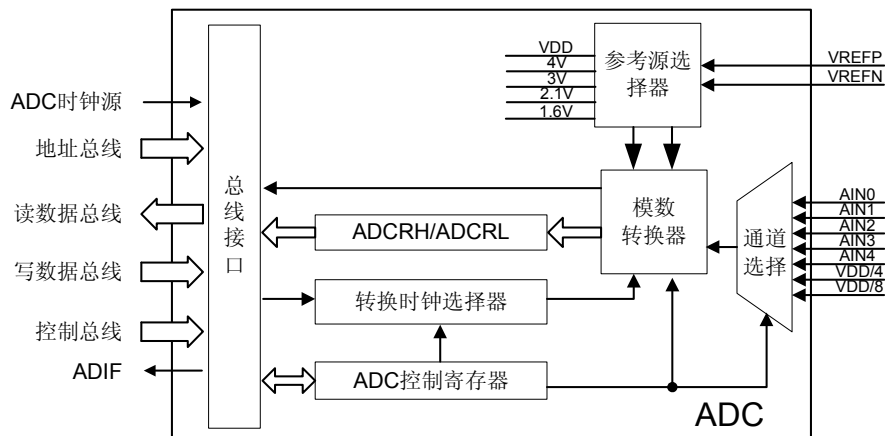
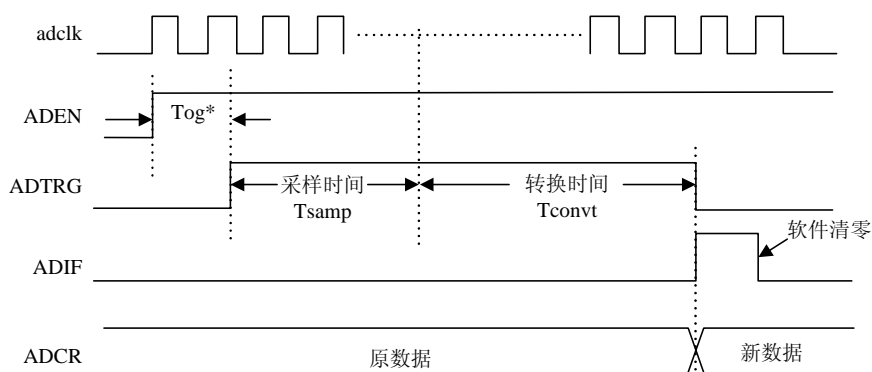


图 5-13 ADC 内部结构图

### 5.2.3 ADC 时序特示意图



注1:  $T_{samp} = 1 \sim 15 T_{adclk}$

注2:  $T_{convt} = 17 T_{adclk} + 2$  个机器周期

图 5-14 ADC 时序特征示意图

### 5.2.4 ADC自动触发

当 ADC 模块使能并且 EXTTIG\_EN 位为 1 时，ADC 自动转换触发使能，可通过 ADSS 寄存器位选择自动触发源，通过 EXTTIG\_PEG 位选择触发信号的边沿，通过 TMRAD 寄存器设置延时触发时间，延时触发时间由 TMRAD 寄存器和系统时间（fosc）决定。

### 5.2.5 电源电压检测功能

当 ADCC2 寄存器的 VDET\_EN 位为 1 时，使能电源电压检测模块，此时电源电压的分压可作为 ADC 的输入源，通过 ADCHS 选择 1/4 VDD 或 1/8 VDD，经过 AD 采样并转换后，用户可以推算出芯片的电源电压。

### 5.2.6 参考例程

#### 应用例程：对模拟输入通道 0（AIN0 进行模数转换）

```

BCC    ANS0,0           ; AIN0 所在端口配置为模拟端口
BCC    ADCC1,ADFM      ; 转换结果高位对齐放置
MOVI   0X01
MOVA   ADCC0           ; 使能 ADC 转换器，选中通道 0
BSS    ADCC0,ADTRG     ; 触发 ADC 转换
AD_WAIT
JBC    ADCC0,ADTRG     ; 等待 ADC 转换完成
GOTO   AD_WAIT
MOV    ADCRH, 0         ; 读取高 8 位转换结果
... ..
MOV    ADCRL, 0         ; 读取低 4 位转换结果
... ..
    
```

### 5.2.7 特殊功能寄存器

寄存器名称	ADC 控制寄存器<7:0> (ADCC0)		
地址	FFC4 <sub>H</sub>		
复位值	0000 0000		
ADEN	bit0	R/W	<b>ADC 转换使能位</b> 0: 关闭 ADC 转换器 1: 使能 ADC 转换器
ADTRG	bit1	R/W	<b>ADC 转换状态位</b> 0: ADC 未进行转换, 或 ADC 转换已完成 1: ADC 转换正在进行, 该位置 1 启动 ADC 转换
ADCHS	bit4-2	R/W	<b>ADC 模拟通道选择位</b> 000: 通道 0 (AIN0) 001: 通道 1 (AIN1) 010: 通道 2 (AIN2) 011: 通道 3 (AIN3) 100: 通道 4 (AIN4) 101: 保留 110: VDD/4 111: VDD/8
ADVREFS	bit7-5	R/W	<b>参考源选择位</b> 000: A/D 参考电压正端为 VDD,负端为 VSS 001: A/D 参考电压正端为 4.0V,负端为 VSS 010: A/D 参考电压正端为 3.0V,负端为 VSS 011: A/D 参考电压正端为 2.1V,负端为 VSS 100: A/D 参考电压正端为 1.6V 负端为 VSS 101: A/D 参考电压正端为外部 VREFP,负端为 VSS 110: A/D 参考电压正端为外部 VREFP,负端为外部 VREFN 其他: 保留



寄存器名称	ADC 控制寄存器<15:8> (ADCC1)		
地址	FFC5 <sub>H</sub>		
复位值	0000 1000		
ADST	bit3-0	R/W	<b>ADC 采样时间选择位</b> 0000: 禁止使用 0001~1111: ADC 采样时间分别对应 1~15 个 ADC 时钟(默认值为 8)
ADCS	bit6-4	R/W	<b>ADC 时钟选择位</b> 000: Fosc 001: Fosc/2 010: Fosc/4 011: Fosc/8 100: Fosc/16 101: Fosc/32 110: Fosc/64 111: 保留
ADFM	bit7	R/W	<b>ADC 转换数据格式选择位</b> 0: 高位对齐 (ADCRH<7:0>, ADCRL<7:4>) 1: 低位对齐 (ADCRH<3:0>, ADCRL<7:0>)

寄存器名称	ADC 控制寄存器<23:16> (ADCC2)		
地址	FFC6 <sub>H</sub>		
复位值	0000 0000		
EXTTIG_EN	bit0	R/W	<b>ADC 自动触发使能位</b> 0: 禁止自动触发 1: 使能自动触发
EXTTIG_PEG	bit1	R/W	<b>ADC 自动触发边缘选择位</b> 0: 上升沿自动触发 1: 下降沿自动触发
VDET_EN	bit2	R/W	<b>电源电压检测使能位</b> 0: 禁止 1: 使能电压检测模块
	bit3	-	-
ADSS<1:0>	bit5-4	R/W	<b>ADC 自动触发源选择位</b> 00: PWM10 01: PWM20 10: PWM30 11: T16G1 匹配 (仅 T16G1M=1011 时有效)
-	bit7-6		-

寄存器名称		ADC 转换结果寄存器<7:0> (ADCRL)		
地址		FFC7 <sub>H</sub>		
复位值		XXXX XXXX		
ADCRL	bit7-0	R/W	A/D 转换结果低 8 位	

寄存器名称		ADC 转换结果寄存器<15:8> (ADCRH)		
地址		FFC8 <sub>H</sub>		
复位值		XXXX XXXX		
ADCRH	bit7-0	R/W	A/D 转换结果高 8 位	

寄存器名称		ADC 延时触发定时器 (TMRADC)		
地址		FFC9 <sub>H</sub>		
复位值		0000 0000		
TMRADC<7:0>	bit7-0	R/W	PWM 沿启动 ADC 定时器 00 H ~ FF H	

## 第 6 章 特殊功能及操作特性

### 6.1 系统时钟与振荡器

#### 6.1.1 概述

本芯片有两种时钟源，一种是外部时钟源，支持 4 种时钟模式，分别是 HS、XT、LP、RC 振荡器；另一种是内部时钟源，支持 2 种时钟模式，分别是内部高速 INTOSCH 16MHz 和低速 INTOSCL 32KHz RC 时钟。

系统时钟源可通过芯片配置字 OSCS<2:0>位和软件配置寄存器 OSCC 决定。

高速系统时钟：外部 HS/XT/RC 时钟和内部 INTOSCH 16MHz 时钟

低速系统时钟：INTOSCL 32KHz 时钟和 LP 振荡器

本芯片支持高、低速时钟切换。

#### 6.1.2 时钟源

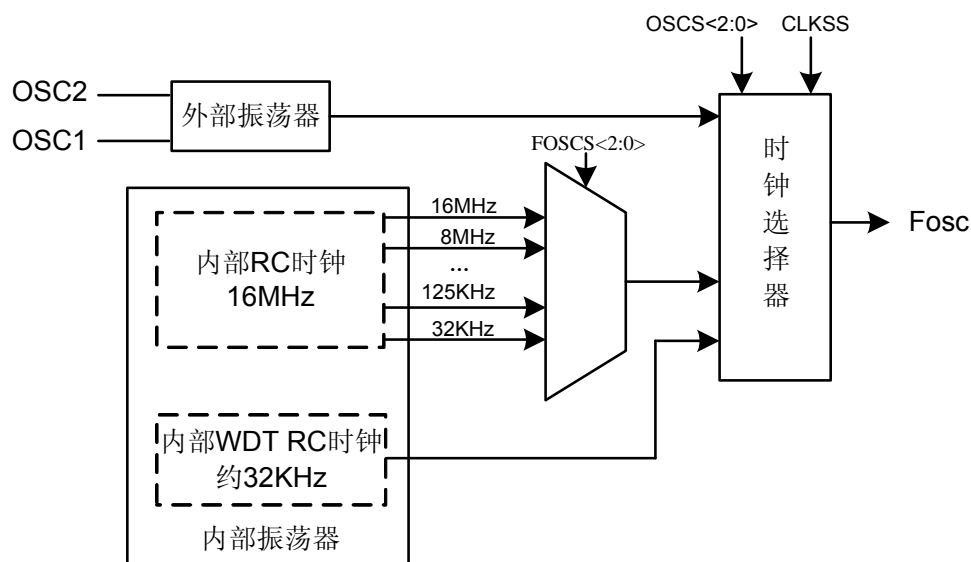


图 6-1 系统时钟切换图

##### 6.1.2.1 外部时钟

外部时钟包括晶体/陶瓷振荡器模式（HS/XT/LP）和 RC 振荡器模式。

◇ 晶体/陶瓷振荡器模式（HS、XT、LP 模式）

HS/XT 晶振模式，起振稳定时间为 512 个系统时钟。LP 晶振模式为低功耗振荡器模式，芯片内置起振稳定控制电路。

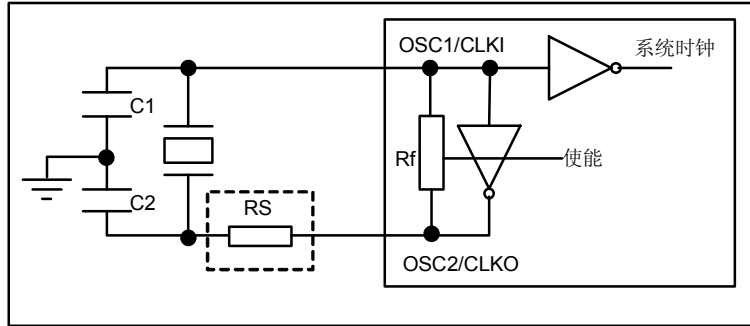


图 6-2 晶体/陶瓷振荡器模式 (HS、XT、LP 模式)

注：RS 为可选配置。

Osc Type	晶振频率	C1*	C2*
LP	32KHz	33pF	33pF
XT	1MHz	15 ~ 33pF	15 ~ 33pF
	4MHz		
HS	8MHz	15pF	15pF
	16MHz		

表 6-1 晶体振荡器电容参数参考表

注\*：此数据可根据晶振频率大小、外围电路的不同作微调。

◇ RC 振荡器模式

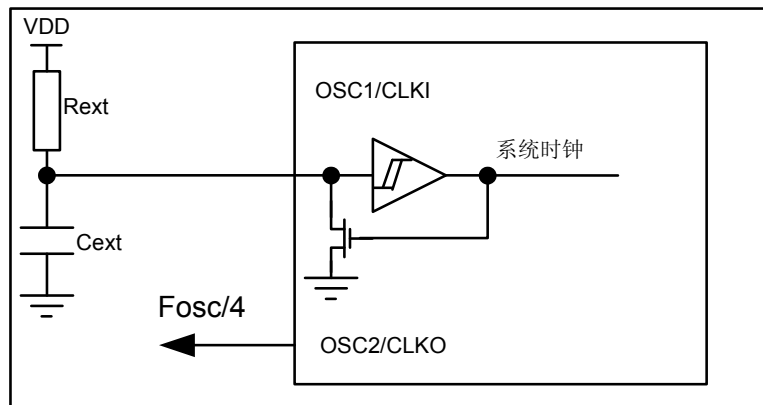


图 6-3 振荡器 RC 模式等效电路图及外围参考图

工作条件：-40~85℃ 2.5~5.5V	
推荐外部电阻范围	15K ≤ Rext ≤ 100K
推荐外部电容范围	20pf ≤ Cext ≤ 300pf
推荐振荡频率范围	10KHz ≤ f ≤ 4MHz

表 6-2 外部 RC 模式推荐参数

### 6.1.2.2 内部时钟

本芯片包括两个内部 RC 时钟分别为 INTOSCH 16MHz、INTOSCL 32KHz。INTOSCH 16MHz 最低可分频至 32KHz，并且内部 INTOSCH 16MHz 时钟已经在出厂前常温条件下校准，校准精度为±2%。

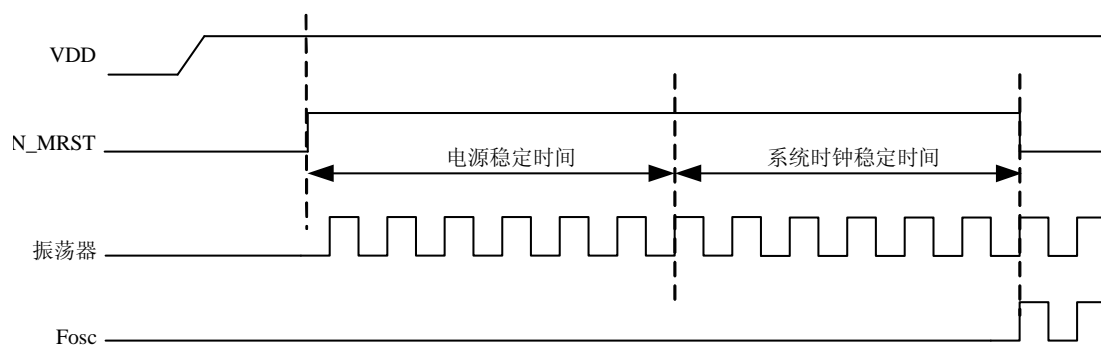
### 6.1.3 系统时钟切换

系统可通过软件设置寄存器 CLKSS (OSCC<7>) 位，选择高低速系统时钟。系统上电时，寄存器 CLKSS 的值默认为 0，工作在低速系统时钟模式下。

系统支持三种时钟切换：

- ◇ 内部高速 INTOSCH 16MHz 时钟与内部低速 INTOSCL 32KHz 时钟切换
  - 配置字 OSCS<2:0>位配置为 INTOSC 或 INTOSCO 模式
  - 设置寄存器 CLKSS，进行高、低速时钟切换
- ◇ 外部高速 HS/XT/RC 时钟与内部低速 INTOSCL 32KHz 时钟切换
  - 配置字 OSCS<2:0>位配置为 HS、XT、RC 或 RCIO 模式
  - 设置寄存器 CLKSS，进行高、低速时钟切换
- ◇ 外部低速 LP 振荡时钟与内部高速 16MHz 时钟切换
  - 配置字 OSCS<2:0>位配置为 LP 模式
  - 设置寄存器 CLKSS，进行高、低速时钟切换

#### 6.1.3.1 系统上电时序



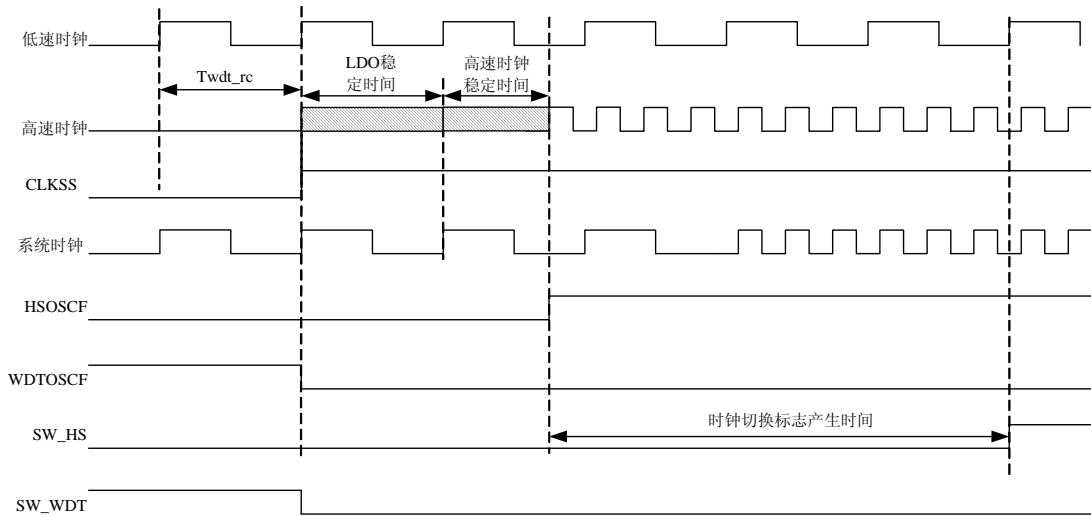
注1、上电电源稳定时间为72ms，可以通过PWRTEB配置位进行屏蔽；

注2、当OSCS<2:0>=000时，LP系统时钟稳定时间约1S左右；

注3、当OSCS<2:0>=010,100,110,111时，系统时钟稳定时间为512个Tosc

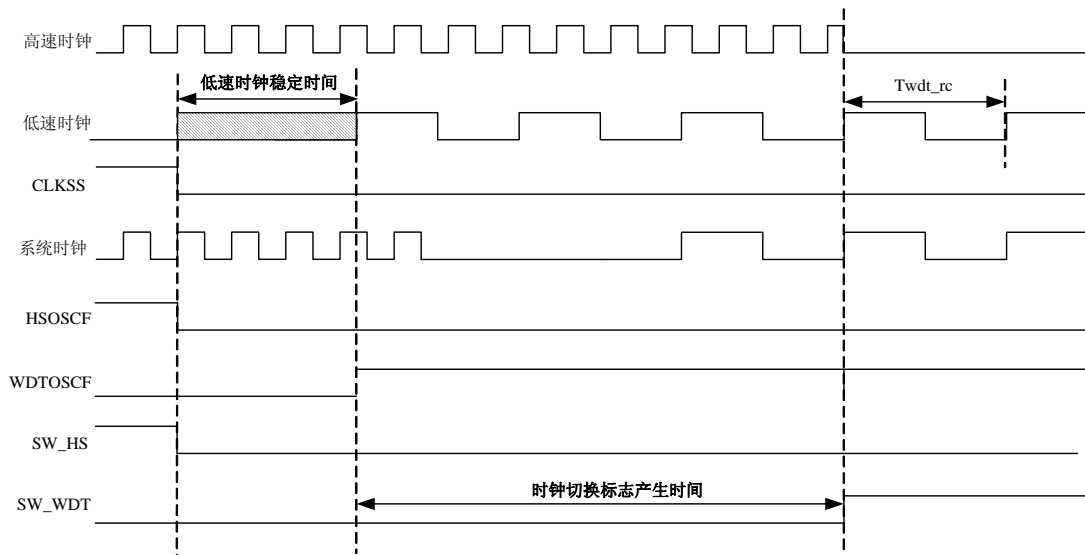
图 6-4 系统上电时序图

### 6.1.3.2 系统时钟切换时序



注1、LDO稳定时间由PWRC寄存器的VRST位控制  
 注2、高速时钟稳定时间：INTOSCH 16MHz为15个高速时钟周期，HS/XT为1024个高速时钟周期  
 注3、时钟切换标志产生时间小于3个Twdt\_rc

图 6-5 INTOSCL 时钟切换到 HS/XT/RC/INTOSCH 时钟时序图



注1、低速时钟稳定时间为12个低速时钟周期  
 注2、时钟切换标志产生时间小于3个Twdt\_rc

图 6-6 HS/XT/RC/INTOSCH 时钟切换到 INTOSCL 时钟时序图

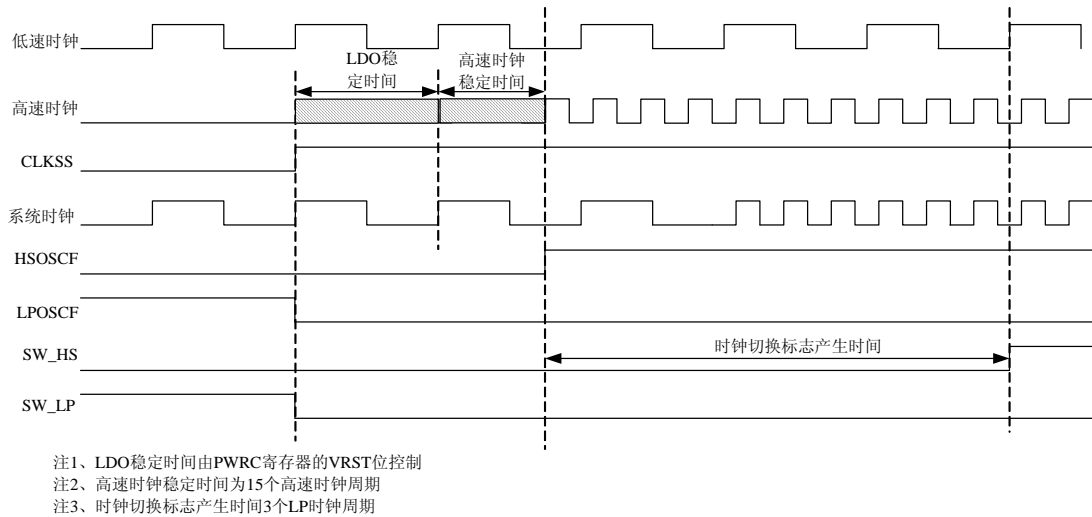


图 6-7 低速 LP 时钟切换到 INTOSCH 时钟时序图

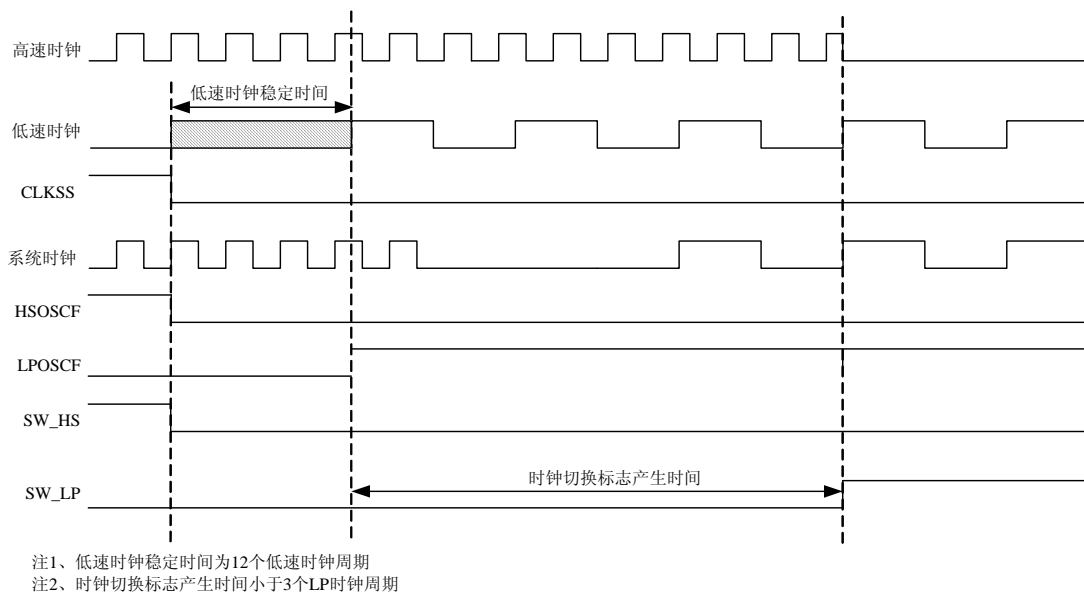


图 6-8 INTOSCH 时钟切换到低速 LP 时钟时序图

### 6.1.4 特殊功能寄存器

寄存器名称		校准值保护寄存器 (CALPROT)	
地址		FF8D <sub>H</sub>	
复位值		0000 0001	
CALPROT	bit7-0	R/W	<b>校准值保护位</b> 1: 校准值处于保护状态 0: 校准值处于去除保护状态 当 CALPROT 寄存器写入 55h 时, 去除保护位, 其他任何写入都是使能保护位。
	-	bit7-1	-

注: CALPROT 保护的校准值寄存器为 OSCCAL, WDTCAL。

寄存器名称		内部 16MHz 时钟校准寄存器(OSCCAL)	
地址		FFA5 <sub>H</sub>	
复位值		1010 1001	
OSCCAL<7:0>	bit7-0	R/W	内部 16MHz 频率调节位

注: 此寄存器受 CALPROT 寄存器保护。OSCCAL 寄存器主要是调整内部 16MHz 时钟的精度。在常温条件下, 出厂时已经校准到 16MHz。如果没有特别需求, 用户不需要设置此寄存器, 以免覆盖芯片默认的时钟校准值。

寄存器名称		内部 32KHz 时钟校准寄存器(WDTCAL)	
地址		FFA6 <sub>H</sub>	
复位值		1000 0100	
WDTCAL<7:0>	bit7-0	R/W	内部 32KHz 频率调节位

注: 此寄存器受 CALPROT 寄存器保护。WDTCAL 寄存器主要是调整内部 32KHz 时钟的精度。在常温条件下, 出厂时已经校准到 32KHz。如果没有特别需求, 用户不需要设置此寄存器, 以免覆盖芯片默认的时钟校准值。



寄存器名称		时钟控制写保护寄存器 (OSCP)	
地址	FFAA <sub>H</sub>		
复位值	1111 1111		
OSCP	bit7-0	R/W	OSCP 为 55h 时, 可以改变 FOSCS 和 CLKSS 位。 当 FOSCS 和 CLKSS 被写时, OSCP 自动复位为 FFh。 OSCP 不为 55h 时, 对 FOSCS 和 CLKSS 的写操作将被忽略。

寄存器名称		功耗控制寄存器 (PWEN)	
地址	FFAC <sub>H</sub>		
复位值	0100 0011		
SREN	bit0	R/W	<b>低电压检测复位软件使能位</b> 当配置字 BOREN 使能时 0: 禁用 1: 使能 当配置字 BOREN 禁止时, 此位无效
RCEN	bit1	R/W	<b>WDT 内部 RC 时钟使能位</b> CLKSS=1: 0: 关闭 WDT 内部 RC 时钟 1: 使能 WDT 内部 RC 时钟 CLKSS=0: RCEN 固定为 1, 不可写
-	bit3-2	-	-
SW_LP	bit4	R	<b>切换到外部 LP 晶振时钟标志位</b> 0: 切换未完成 1: 切换完成
SW_HS	bit5	R	<b>切换到 HS/XT/RC/INTOSCH 16MHz 高速时钟标志位</b> 0: 切换未完成 1: 切换完成
SW_WDT	bit6	R	<b>切换到内部低速 32KHz 时钟标志位</b> 0: 切换未完成 1: 切换完成
-	bit7	-	-

注 1: 如果要求超低功耗, 进入 IDLE 前可设置 SREN、RCEN 为 0, 关闭相应的功能模块。其它情况下, 不建议关闭。

注 2: 如果需要频繁进行高、低速系统时钟切换, 必须进行相应切换完成标志位 SW\_LP、SW\_HS 和 SW\_WDT 的判断。

寄存器名称	时钟控制寄存器 (OSCC)		
地址	FFA8 <sub>H</sub>		
复位值	0110 x10x		
LPOSCF	bit0	R	时钟切换, 外部 LP 晶振稳定标志位 0: 未稳定 1: 稳定
HSOSCF	bit1	R	时钟切换, 高速时钟稳定标志位 0: 未稳定 1: 稳定
WDTOSCF	bit2	R	时钟切换, 内部 32KHz 稳定标志位 0: 未稳定 1: 稳定
T16GOSCF	bit3	R	<b>T16G1</b> 外部晶振稳定标志位 0: 未稳定 1: 稳定
FOSCS	bit6-4	R/W	内部系统时钟频率选择位 111: 16MHz 110: 8MHz 101: 4MHz 100: 2MHz 011: 1MHz 010: 500KHz 001: 125KHz 000: 32KHz
CLKSS	bit7	R/W	低速时钟与高速时钟切换选择位 当 OSCS<2:0>=000 时: 0: 外部低速 LP 32KHz 时钟源 1: 内部高速 INTOSCH 16MHz 时钟源 其它: 0: 内部低速 INTOSCL 32KHz 时钟源 1: 内部高速 INTOSCH 16MHz 或者外部高速 HS/XT/RC 时钟源

## 6.2 看门狗定时器

### 6.2.1 概述

根据 PWEN 寄存器的 RCEN 位决定看门狗的工作状态：

- ◇ 当 RCEN=1 时，芯片配置字看门狗使能位 WDTEN=1 时，看门狗使能；WDTEN=0 时，禁止。
- ◇ 当 RCEN=0 时，看门狗禁止。

当看门狗超时溢出时，芯片复位或者唤醒 IDLE 模式。使用 CWDT 指令可将 WDT 计数器清零。WDT 支持一个预分频器，对 WDT 输入时钟进行预分频，再将分频后的时钟信号作为 WDT 定时器的计数时钟。在预分频器分频比为 1:2 时，WDT 使用内部 WDT 时钟进行计数，常温下时钟频率约为 32KHz，WDT 的计数溢出时间约为 16ms。

### 6.2.2 内部结构图

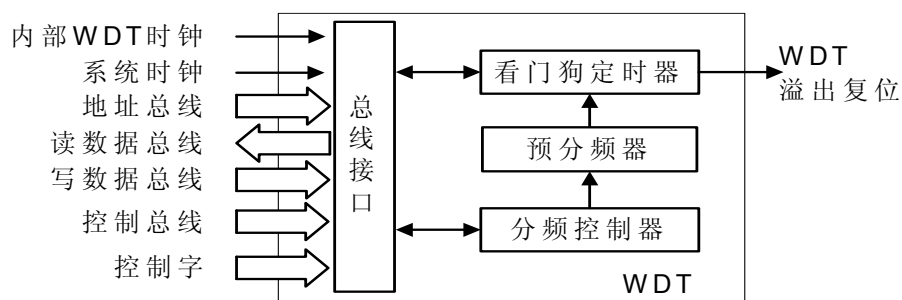


图 6-9 看门狗定时器内部结构图

### 6.2.3 特殊功能寄存器

寄存器名称		WDT 控制寄存器 (WDTC)	
地址		FFAB <sub>H</sub>	
复位值		0001 0111	
WDTPRS	bit3-0	R/W	<b>WDT 预分频器分频比选择位</b>
			0000: 1:2
			0001: 1:4
			0010: 1:8
			0011: 1:16
			0100: 1:32
			0101: 1:64
			0110: 1:128
			0111: 1:256
			1000: 1:512
1001: 1:1024			
1010: 1:2048			
1011: 1:4096			
1100: 1:8192			
1101: 1:16384			
1110: 1:32768			
1111: 1:65536			
WDTPRE	bit4	R/W	<b>WDT 预分频器使能位</b> 0: 禁止 1: 使能
-	bit7-5	-	-

## 6.3 复位模块

### 6.3.1 概述

- ◇ 上电复位 POR
- ◇ 低电压检测复位 BOR
- ◇ 外部端口 N\_MRST 复位（低电平复位有效）
- ◇ 看门狗定时器 WDT 溢出复位
- ◇ 软件执行指令复位

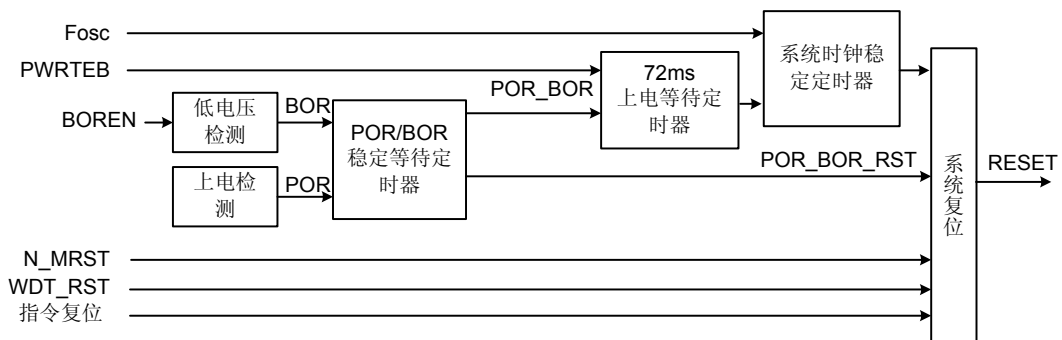


图 6-10 芯片复位原理图

### 6.3.2 复位时序图

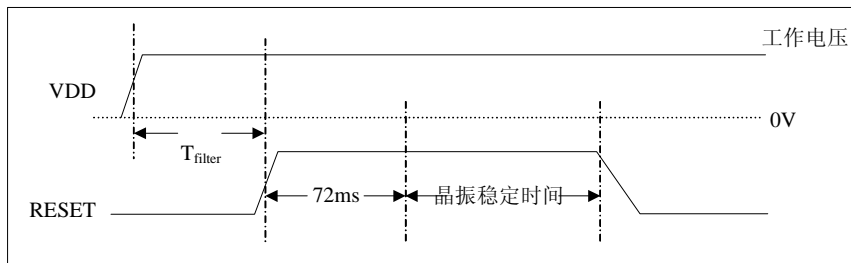


图 6-11 上电复位时序示意图

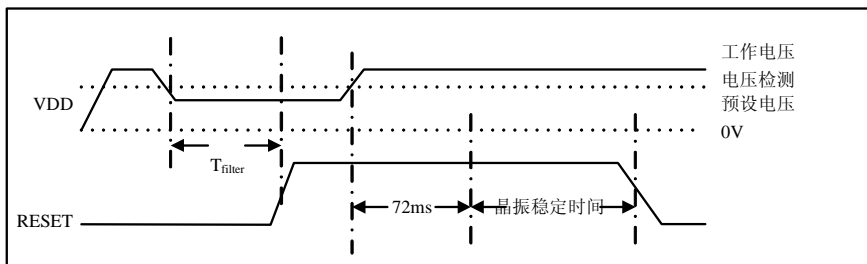


图 6-12 低电压复位时序示意图

注 1: 72ms 等待稳定时间可以通过 PWRTEB 屏蔽。

注 2: 当配置为 HS/XT/INTOSCH 16MHz 模式时，晶振稳定时间为  $512 \times T_{osc}$ ;

当配置为 LP 模式时，晶振稳定时间大约为 1S 左右。

### 6.3.3 低电压复位配置

BORVS<1:0>	低电压检测配置
11	VDD 低于 3.4V 时芯片复位
10	VDD 低于 2.7V 时芯片复位
01	VDD 低于 2.2V 时芯片复位
00	VDD 低于 2.0V 时芯片复位

表 6-3 低电压检测配置表

### 6.3.4 N\_MRST复位参考

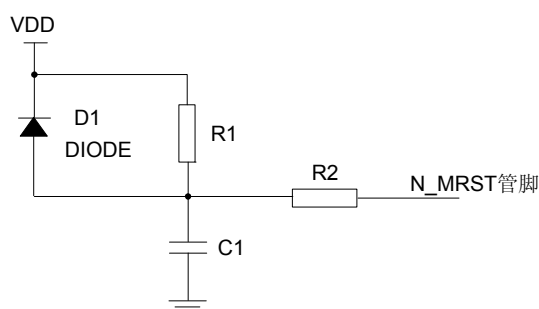


图 6-13 N\_MRST 复位参考电路图 1

注：采样 RC 复位，其中  $47\text{K}\Omega \leq R1 \leq 100\text{K}\Omega$ ，电容 C1 (0.1 $\mu\text{F}$ )，R2 为限流电阻， $0.1\text{K}\Omega \leq R2 \leq 1\text{K}\Omega$ 。

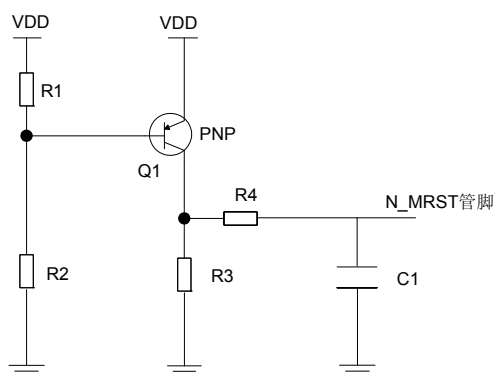


图 6-14 N\_MRST 复位参考电路图 2

注：采用 PNP 三极管复位，通过 R1 (2K $\Omega$ ) 和 R2 (10K $\Omega$ ) 分压作为基极输入，发射极接 VDD，集电极一路通过 R3 (20K $\Omega$ ) 接地，另一路通过 R4 (1K $\Omega$ ) 和 C1 (0.1 $\mu\text{F}$ ) 接地，C1 另一端作为 N\_MRST 输入。

### 6.3.5 特殊功能寄存器

寄存器名称	电源控制寄存器 (PWRC)		
地址	FFA7 <sub>H</sub>		
复位值	0101 110x		
N_BOR	bit0	R/W	<b>低电压复位状态位</b> 0: 低电压复位发生 (低电压复位后, 必须软件置位) 1: 无低电压复位发生
N_POR	bit1	R/W	<b>上电复位状态位</b> 0: 上电复位发生 (上电复位后, 必须软件置位) 1: 无上电复位发生
N_PD	bit2	R	<b>低功耗标志位</b> 0: 执行 IDLE 指令后清零 1: 上电复位或执行 CWDT 指令后置 1
N_TO	bit3	R	<b>WDT 溢出标志位</b> 0: WDT 计数溢出时被清零 1: 上电复位或执行 CWDT、IDLE 指令后被置 1
N_RSTI	bit4	R/W	<b>复位指令标志位</b> 0: 执行复位指令 (必须用软件置位) 1: 未执行复位指令
VRST<1:0>	bit6-5	R/W	<b>LDO 稳定时间控制寄存器</b> 00: LDO 稳定时间为 16 个 WDT_RC 时钟周期 01: LDO 稳定时间为 32 个 WDT_RC 时钟周期 10: LDO 稳定时间为 64 个 WDT_RC 时钟周期 11: LDO 稳定时间为 128 个 WDT_RC 时钟周期
LPM	bit7	R/W	<b>休眠模式选择位</b> 0: IDLE0 模式 1: IDLE1 模式

注: LDO 为芯片内置供电模块, 给芯片内部电路模块供电。

## 6.4 中断处理

### 6.4.1 概述

本芯片支持 14 个中断源。支持两种中断模式，默认中断模式或者向量中断模式，由 INTVEN 选择。

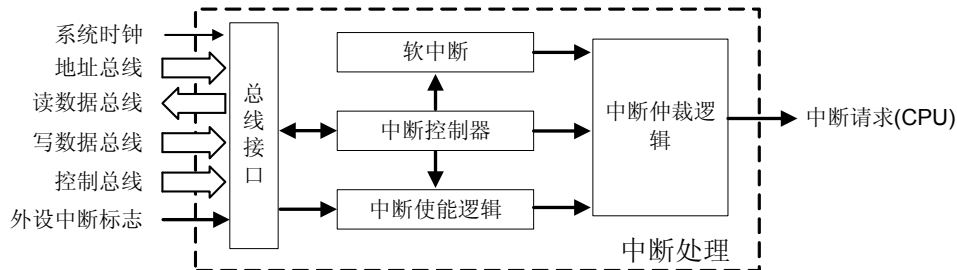


图 6-15 中断控制逻辑

### 6.4.2 中断逻辑表

序号	中断名	中断标志	中断使能	按键屏蔽	外设使能	全局使能	备注
1	软中断	SOFTIF	-	-	-	GIE	-
2	KINT0	KIF	KIE	KMSKx	-	GIE	-
3	PINT0	PIF0	PIE0	-	-	GIE	-
4	PINT1	PIF1	PIE1	-	-	GIE	-
5	PINT2	PIF2	PIE2	-	-	GIE	-
6	PINT3	PIF3	PIE3	-	-	GIE	-
7	LVDINT	LVDIF	LVDIE	-	-	GIE	-
8	T8NINT	T8NIF	T8NIE	-	-	GIE	-
9	T8P1INT	T8P1IF	T8P1IE	-	PEIE	GIE	-
10	T8P2INT	T8P2IF	T8P2IE	-	PEIE	GIE	-
11	T8P3INT	T8P3IF	T8P3IE	-	PEIE	GIE	-
12	T16G1INT	T16G1IF	T16G1IE	-	PEIE	GIE	-
13	TEINT	TEIF	TEIE	-	PEIE	GIE	-
14	ADINT	ADIF	ADIE	-	PEIE	GIE	-

表 6-4 中断逻辑表（默认中断模式）

注：开中断前需清除相应的中断标志，从而避免中断的误触发。除只读的中断标志外，中断标志必须通过软件清零。为避免中断的发生与中断清零操作冲突时清零不成功，建议清零操作后进行清零是否成功的软件判断，若不成功则再次清零，直到清零成功为止。或连续执行两次清零操作。



**应用例程：中断标志清零程序**

```

.....
BCC     INTF0,T8NIF    ; 清中断标志
JBC     INTF0,T8NIF    ; 判断清零是否成功
GOTO    $-2           ; 不成功则再次清零
.....

```

**6.4.3 默认中断模式**

所有默认中断向量的入口地址均位于 004<sub>H</sub>。用户需通过中断子程序判断各中断源的标志位及使能位，区分是由哪个中断源引起的中断，从而执行相应的中断服务子程序。

**6.4.4 中断向量分组**

本芯片 14 个硬件中断源，分 8 组（IG0 ~ IG7）。软件中断单独归类。

中断组号	中断入口地址	中断名	备注
	004 <sub>H</sub>	SOFT	
IG0	008 <sub>H</sub>	KIF	-
IG1	00C <sub>H</sub>	T8P1IF/T8P2IF/ T8P3IF	-
IG2	010 <sub>H</sub>	PIF0/PIF1/PIF2 /PIF3	-
IG3	014 <sub>H</sub>	T8NIF	-
IG4	018 <sub>H</sub>	LVDIF	-
IG5	01C <sub>H</sub>	ADIF	-
IG6	020 <sub>H</sub>	T16G1IF/TEIF	-
IG7	024 <sub>H</sub>	-	-

表 6-5 中断向量分组表

**6.4.5 操作说明**

每个硬件中断源都有各自的中断使能和中断标志位，因此初始化相应的硬件中断时，需要先清除中断标志位，再使能当前中断。若使能前不先清除中断标志，则有可能发生误进中断的情况。除了每个中断支持中断使能外，本芯片还提供了一个全局中断。因此在初始化所有需要的中断后，请使能全局中断。

中断现场保护是中断程序中一个很重要的组成部分。指令系统中有 PUSH（压栈）和 POP（出栈）指令，可以用来实现中断的数据保存。可以保存的数据包括：工作寄存器 A，程序状态字寄存器 PSW、IAA 寄存器和 PCRH 寄存器。其它数据寄存器的保护需采用其它指令实现。可以连续进行 2 次 PUSH，第 3 次 PUSH 会使得第一次 PUSH 的数据丢失。同样，超过 2 次的连续 POP，第 3 次 POP 恢复的数据不可预期。

### 6.4.6 特殊功能寄存器

寄存器名称	中断标志寄存器 0 (INTF0)		
地址	FF9D <sub>H</sub>		
复位值	0000 0000		
KIF	bit0	R/W	<b>外部按键中断标志位</b> 0: 外部按键端口无电平变化 1: 外部按键端口有电平变化 (必须软件清零)
T8P1IF	bit1	R/W	<b>T8P1 中断标志位</b> 0: T8P1 计数器计数未发生匹配 1: T8P1 计数器计数发生匹配 (必须软件清零)
T8P2IF	bit2	R/W	<b>T8P2 中断标志位</b> 0: T8P2 计数器计数未发生匹配 1: T8P2 计数器计数发生匹配 (必须软件清零)
T8P3IF	bit3	R/W	<b>T8P3 中断标志位</b> 0: T8P3 计数器计数未发生匹配 1: T8P3 计数器计数发生匹配 (必须软件清零)
T8NIF	bit4	R/W	<b>T8N 溢出中断标志位</b> 0: T8N 计数未溢出 1: T8N 计数溢出 (必须用软件清零)
TEIF	bit5	R/W	<b>T16G1 扩展功能中断标志位</b> 0: 捕捉功能扩展: 未发生捕捉中断 比较功能扩展: 未发生比较匹配中断 PWM 功能扩展: 未发生 PWM 中断 1: 捕捉功能扩展: 发生捕捉中断 (必须用软件清零) 比较功能扩展: 发生比较匹配中断 (必须用软件清零) PWM 功能扩展: 发生 PWM 中断
T16G1IF	bit6	R/W	<b>T16G1 中断标志位</b> 0: T16G1 未产生中断 1: T16G1 产生中断 (必须软件清零)
-	bit7	-	-

寄存器名称		中断使能寄存器 0 (INTE0)	
地址	FF9E <sub>H</sub>		
复位值	0000 0000		
<b>KIE</b>	bit0	R/W	<b>按键中断使能位</b> 0: 禁止外部按键中断 1: 使能外部按键中断
<b>T8P1IE</b>	bit1	R/W	<b>T8P1 中断使能位</b> 0: 禁止 T8P1 中断 1: 使能 T8P1 中断
<b>T8P2IE</b>	bit2	R/W	<b>T8P2 中断使能位</b> 0: 禁止 T8P2 中断 1: 使能 T8P2 中断
<b>T8P3IE</b>	bit3	R/W	<b>T8P3 中断使能位</b> 0: 禁止 T8P3 中断 1: 使能 T8P3 中断
<b>T8NIE</b>	bit4	R/W	<b>T8N 溢出中断使能位</b> 0: 禁止 T8N 中断 1: 使能 T8N 中断
<b>TEIE</b>	bit5	R/W	<b>T16G1 扩展功能中断使能位</b> 0: 禁止 T16G1 扩展功能中断 1: 使能 T16G1 扩展功能中断
<b>T16G1IE</b>	bit6	R/W	<b>T16G1 中断使能位</b> 0: 禁止 1: 使能
-	bit7	-	-

寄存器名称		中断标志寄存器 1 (INTF1)	
地址	FFA2 <sub>H</sub>		
复位值	0000 0000		
PIF0	bit0	R/W	<b>PINT0 外部端口中断标志位</b> 0: 外部端口上无中断信号 1: 外部端口上有中断信号 (必须用软件清零)
PIF1	bit1	R/W	<b>PINT1 外部端口中断标志位</b> 0: 外部端口上无中断信号 1: 外部端口上有中断信号 (必须用软件清零)
PIF2	bit2	R/W	<b>PINT2 外部端口中断标志位</b> 0: 外部端口上无中断信号 1: 外部端口上有中断信号 (必须用软件清零)
PIF3	bit3	R/W	<b>PINT3 外部端口中断标志位</b> 0: 外部端口上无中断信号 1: 外部端口上有中断信号 (必须用软件清零)
LVDIF	Bit4	R/W	<b>LVD 中断标志位</b> 0: LVD 未检测到预设低电压 1: LVD 检测到预设低电压 (必须用软件清零)
ADIF	bit5	R/W	<b>ADC 中断标志位</b> 0: 正在进行 A/D 转换 1: A/D 转换已完成 (必须用软件清零)
-	bit6	-	-
-	bit7	-	-

寄存器名称		中断使能寄存器 1 (INTE1)	
地址		FFA3 <sub>H</sub>	
复位值		0000 0000	
PIE0	bit1	R/W	<b>PINT0 外部端口中断使能位</b> 0: 禁止外部端口中断 1: 使能外部端口中断
PIE1	bit1	R/W	<b>PINT1 外部端口中断使能位</b> 0: 禁止外部端口中断 1: 使能外部端口中断
PIE2	bit2	R/W	<b>PINT2 外部端口中断使能位</b> 0: 禁止外部端口中断 1: 使能外部端口中断
PIE3	bit3	R/W	<b>PINT3 外部端口中断使能位</b> 0: 禁止外部端口中断 1: 使能外部端口中断
LVDIE	bit4	R/W	<b>LVD 中断使能位</b> 0: 禁止 LVD 中断 1: 使能 LVD 中断
ADIE	bit5	R/W	<b>ADC 中断使能位</b> 0: 禁止 1: 使能
-	bit6	-	-
-	bit7	-	-

寄存器名称		中断控制寄存器 0 (INTC0)	
地址		FF9F <sub>H</sub>	
复位值		0000 0000	
KMSKx	bit7-0	R/W	<b>KINx 按键输入屏蔽位</b> 0: 屏蔽 1: 不屏蔽

寄存器名称		中断控制寄存器 1 (INTC1)	
地址	FFA4 <sub>H</sub>		
复位值	0000 0000		
PEG0	bit0	R/W	<b>PINT0 触发边沿选择位</b> 0: PINT0 下降沿触发 1: PINT0 上升沿触发
PEG1	bit1	R/W	<b>PINT1 触发边沿选择位</b> 0: PINT1 下降沿触发 1: PINT1 上升沿触发
PEG2	bit2	R/W	<b>PINT2 触发边沿选择位</b> 0: PINT2 下降沿触发 1: PINT2 上升沿触发
PEG3	bit3	R/W	<b>PINT3 触发边沿选择位</b> 0: PINT3 下降沿触发 1: PINT3 上升沿触发
-	bit7-4	-	-

寄存器名称		中断全局寄存器 (INTG)	
地址	FFA0 <sub>H</sub>		
复位值	0000 0000		
INTVEN	bit0	R/W	<b>中断模式选择位</b> 0: 默认中断模式 1: 向量中断模式
SOFTIF	bit1	R/W	<b>软件中断标志位</b> 0: 无软件中断 1: 有软件中断
-	bit5-2	R/W	-
PEIE	bit6	R/W	<b>外围中断使能位</b> 0: 禁止外围接口中断 1: 使能未屏蔽的外围接口中断
GIE	bit7	R/W	<b>全局中断使能位</b> 0: 禁止所有的中断 1: 使能所有未屏蔽的中断

寄存器名称	LVD 检测寄存器 (LVDC)		
地址	FFA1 <sub>H</sub>		
复位值	0001 0000		
LVDV<1:0>	bit1-0	R/W	<b>LVD 电压选择位</b> 00: 2.1V 01: 2.4V 10: 3.0V 11: 3.6V
-	bit3-2	-	-
LV DEN	bit4	R/W	<b>LVD 使能位</b> 0: 禁止 1: 使能
-	bit6-5	R/W	-
LV DLS	bit7	R	<b>LVD 低电平标志位</b> 0: 电源电压高于设定电压 1: 电源电压低于设定电压

## 6.5 MCU低功耗操作

### 6.5.1 MCU低功耗模式

本芯片支持两种低功耗休眠模式：IDLE0 模式或 IDLE1 模式，通过设置 PWRC 寄存器（PWRC<7>）进行选择。

- ◇ 支持 IDLE0 模式
  - 当 LPM = 0 时，执行 IDLE 指令，芯片进入 IDLE0 模式
  - 时钟源停振，主系统时钟暂停
  - 程序暂停、同步模块暂停、异步模块运行，器件功耗降低
  - 支持低功耗唤醒，唤醒时间可配，同时需要考虑 LDO 稳定时间
  - 所有 I/O 端口将保持进入 IDLE0 模式前的状态
  - 若使能 WDT，则 WDT 将被清零并保持运行
  - N\_PD 位被清零，N\_TO 位被置 1
- ◇ 支持 IDLE1 模式
  - 当 LPM = 1 时，执行 IDLE 指令，芯片进入 IDLE1 模式
  - 时钟源保持运行，主系统时钟暂停
  - 程序暂停、同步模块暂停、异步模块运行，器件功耗降低
  - 支持低功耗唤醒，唤醒时间可配，最小 1 个机器周期
  - 所有 I/O 端口将保持进入 IDLE1 前的状态
  - 若使能 WDT，则 WDT 将被清零并保持运行
  - N\_PD 位被清零，N\_TO 位被置 1

### 6.5.2 低功耗模式配置

低功耗模式	LPM
IDLE0 模式	0
IDLE1 模式	1

表 6-6 低功耗模式配置表

注：配置 LPM（PWRC<7>）选择低功耗模式，执行 IDLE 指令进入低功耗模式。为了降低功耗，所有 I/O 管脚都应保持为 VDD 或 VSS。为了避免输入管脚悬空而引入开关电流，应在外部将高阻输入的 I/O 管脚拉为高电平或低电平。



### 6.5.3 IDLE 唤醒方式配置

当芯片处于休眠状态时，可以通过以下方式唤醒：

序号	唤醒源	中断使能	按键屏蔽	外设使能	备注
1	N_MRST	-	-	-	外部复位
2	WDT	-	-	-	WDT 溢出
3	KINT	KIE	KMSKx	-	按键中断
4	PINT0	PIE0	-	-	外部中断 0
5	PINT1	PIE1	-	-	外部中断 1
6	PINT2	PIE2	-	-	外部中断 2
7	PINT3	PIE3	-	-	外部中断 3
8	T16G1INT	T16G1IE	-	-	异步计数模式

表 6-7 休眠唤醒表

注 1：低功耗唤醒与全局中断使能无关。在低功耗模式时，若外设产生中断信号，即使全局中断使能 GIE 为 0，低功耗模式依然会被唤醒，只是唤醒后不会执行中断程序。

注 2：外部按键，当中断使能和中断屏蔽位使能前，先对端口寄存器进行读或者写的操作，清除中断标志位，以免误产生中断。

### 6.5.4 唤醒时间计算

当唤醒事件发生后，芯片根据配置字 OSCS<2:0>的配置执行下述操作：

- ◇ 当 OSCS<2:0>配置为 HS/XT/RC/RCIO/INTOSCO/INTOSC 模式时：
  - 在 IDLE0 模式 (LPM=0) 下，芯片需要先等待 VRwkdly 时间（为 64 个内部 32KHz 时钟周期），此时间称为 LDO 稳定时间，之后芯片主时钟运行一段 Twkdly 时间后才执行 IDLE 下一条指令，Twkdly 称为唤醒延时，唤醒延时可编程设置；
  - 在 IDLE1 模式 (LPM=1) 下，芯片仅等待 Twkdly 时间后就执行 IDLE 下一条指令，无 VRwkdly 时间。
- ◇ 当 OSCS<2:0>配置为 LP 模式时：
  - 在 IDLE0 模式 (LPM=0) 下，芯片需要先等待 VRwkdly 时间（为 64 个内部 32KHz 时钟周期），此时间称为 LDO 稳定时间，接着芯片等待 LPwkdly 时间，此时间称为外部晶振稳定时间（该时间由芯片内置电路控制），之后芯片主时钟运行一段 Twkdly 时间后才执行 IDLE 下一条指令，Twkdly 称为唤醒延时，唤醒延时可编程设置；
  - 在 IDLE1 模式 (LPM=1) 下，芯片仅等待 Twkdly 时间后就执行 IDLE 下一条指令，无 VRwkdly 和 LPwkdly 时间。

OSCS 配置	低功耗模式	计算公式
所有模式	IDLE1 模式	$(WKDC[7:0]+1) \times 2 \text{ Tosc}$
非 LP 模式	IDLE0 模式	$VRwkdly + (WKDC[7:4] + 1) \times 16 \times 2 \text{ Tosc}$
LP 模式		$VRwkdly + LPwkdly + (WKDC[7:4] + 1) \times 16 \times 2 \text{ Tosc}$

### 6.5.5 特殊功能寄存器

寄存器名称		唤醒延时控制寄存器 (WKDC)	
地址		FFA9 <sub>H</sub>	
复位值		1111 1111	
WKDC <7:0>	bit7-0	R/W	IDLE 唤醒延时控制位 当 WKDC<7:0> = FF <sub>H</sub> 时, 延时最长 ..... 当 WKDC<7:0> = 00 <sub>H</sub> 时, 延时最短

## 6.6 芯片配置字

寄存器名称	芯片配置字 (CFG_USER)	
地址	7F2 <sub>H</sub>	
<b>OSCS&lt;2:0&gt;</b>	bit2-0	<b>振荡器选择位</b> 000: LP 晶振/谐振器连接到 PA4 和 PA5 001: RC 模式: CLKO 从 PA4 输出, RC 电路接到 PA5 010: HS 模式: 晶体振荡器连接到 PA4 和 PA5 011: RCIO 模式: PA4 为 I/O, RC 电路接到管脚 PA5 100: XT 模式: 晶体振荡器连接到 PA4 和 PA5 101: 保留未用 110: INTOSCO 模式: CLKO 从 PA4 输出, PA5 为 I/O 111: INTOSC 模式: PA4 为 I/O, PA5 为 I/O
<b>WDTEN</b>	bit3	<b>硬件看门狗使能位</b> 0: 禁止 1: 使能
<b>PWRTEB</b>	bit4	<b>上电定时器使能位</b> 0: 使能 1: 禁止
<b>MRSTEN</b>	bit5	<b>N_MRST 管脚功能选择位</b> 0: 管脚用于数字输入 1: 管脚用于外部复位
<b>BOREN</b>	bit6	<b>低电压检测复位使能位</b> 0: 禁止 1: 使能
<b>BORVS&lt;1:0&gt;</b>	bit8-7	<b>低电压选择位</b> 00: 2.0V (默认) 01: 2.2V 10: 2.7V 11: 3.4V
<b>HPC_SEL</b>	bit9	<b>外部晶振功耗模式选择位</b> 0: 低功耗模式 1: 高功耗模式
-	bit15-10	- (保留, 默认为 0)

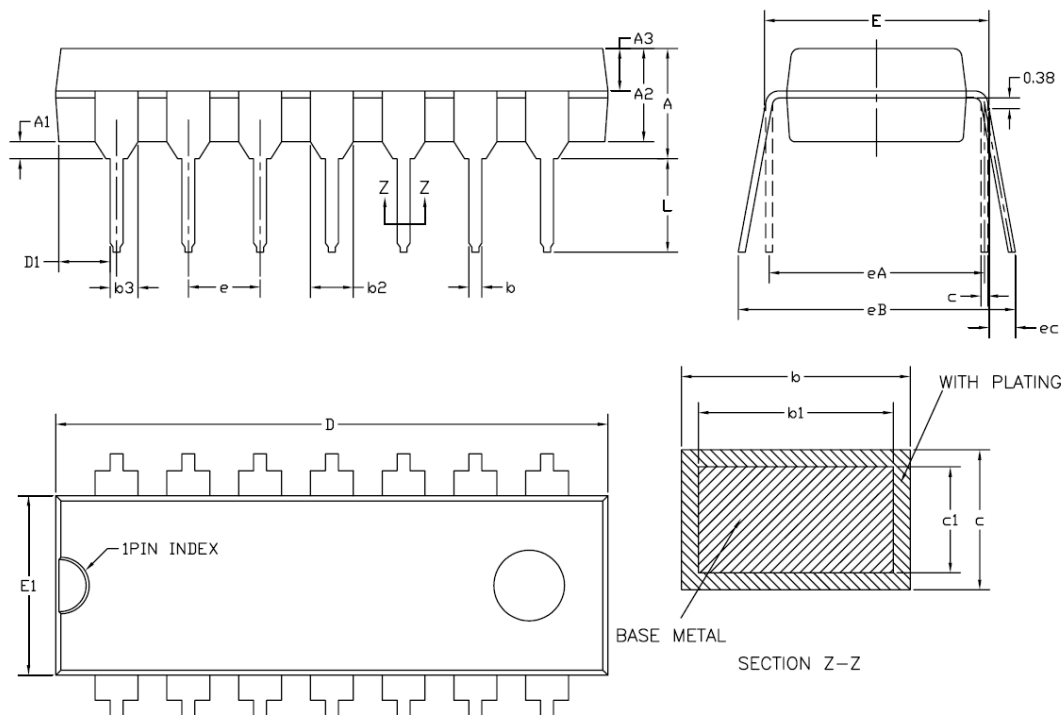
注 1: CLKO 为系统时钟的 16 分频输出;

OSCS<2:0>	主晶振配置	PA4	PA5
000	外部 LP 振荡器	OSC2	OSC1
001	外部 RC 振荡器	CLKO	OSC1
010	外部 HS 振荡器	OSC2	OSC1
011	外部 RC 振荡器	I/O	OSC1
100	外部 XT 振荡器	OSC2	OSC1
101	-	-	-
110	内部时钟	CLKO	I/O
111	内部时钟	I/O	I/O

## 第 7 章 芯片封装图

### 7.1 14-pin 封装图

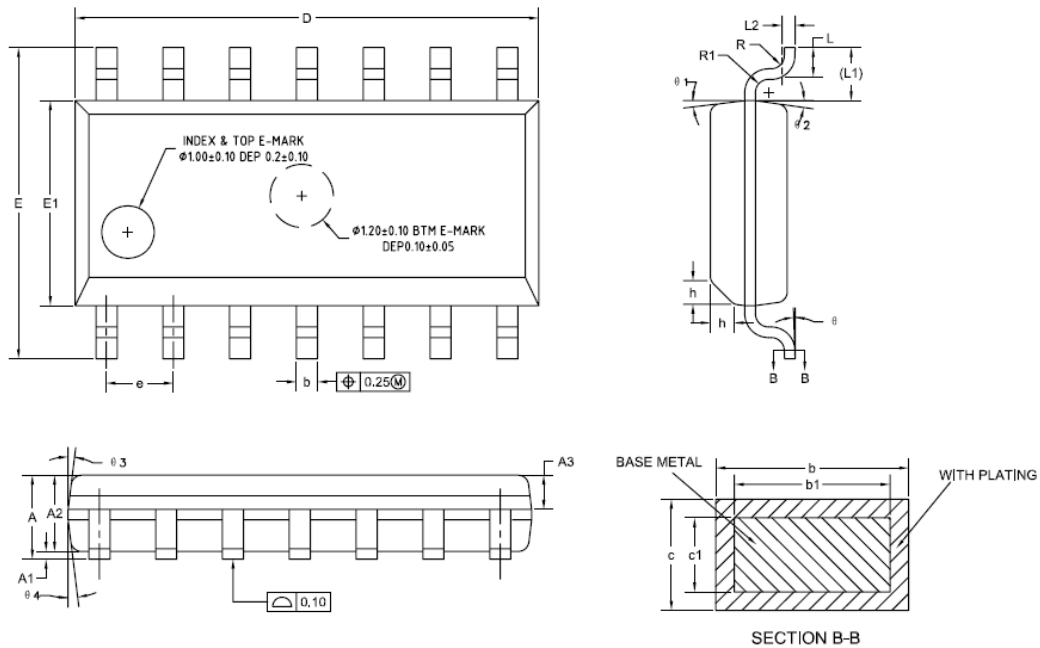
#### DIP14



COMMON DIMENSIONS  
(UNITS OF MEASURE=MILLIMETER)

SYMBOL	MIN	NOM	MAX
A	—	—	4.80
A1	0.50	—	—
A2	3.05	3.25	3.45
A3	1.40	1.50	1.60
b	0.38	—	0.55
b1	0.38	0.46	0.51
b2	1.47	1.52	1.57
b3	0.89	0.99	1.09
c	0.21	—	0.35
c1	0.20	0.25	0.30
D	19.20	19.30	19.40
D1	0.13	—	—
E	7.62	7.87	8.25
E1	6.25	6.35	6.45
e	2.54BSC		
eA	7.62BSC		
eB	7.62	8.80	10.90
ec	0	—	1.52
L	2.92	3.30	3.81

SOP14



NOTES:  
ALL DIMENSIONS MEET JEDEC STANDARD MS-012 AB  
DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS.

COMMON DIMENSIONS  
(UNITS OF MEASURE=MILLIMETER)

SYMBOL	MIN	NOM	MAX
A	1.35	1.60	1.75
A1	0.10	0.15	0.25
A2	1.25	1.45	1.65
A3	0.55	0.65	0.75
b	0.36	-	0.49
b1	0.35	0.40	0.45
c	0.17	-	0.25
c1	0.17	0.20	0.23
D	8.53	8.63	8.73
E	5.80	6.00	6.20
E1	3.80	3.90	4.00
e	1.17	1.27	1.37
L	0.45	0.60	0.80
L1	1.04REF		
L2	0.25BSC		
R	0.07	-	-
R1	0.07	-	-
h	0.30	0.40	0.50
$\theta$	0°	-	8°
$\theta 1$	6°	8°	10°
$\theta 2$	6°	8°	10°
$\theta 3$	5°	7°	9°
$\theta 4$	5°	7°	9°

## 附录1 指令集

### 附录1.1 概述

本芯片提供了 79 条精简指令。

汇编指令为了方便程序设计者使用，指令名称大多是由指令功能的英文缩写所组成的。这些指令所组成的程序经过编译器的编译与连接后，会被转换为相对应的指令码。转换后的指令码可以分为操作码（OP Code）与操作数（Operand）两个部分。操作码部分对应到指令本身。

芯片运行在 4MHz 振荡时钟时，一个机器周期的时间为 500ns。

按照指令执行的机器周期数可将指令分为双周期指令和单周期指令，其中 CALL、GOTO、JUMP、RET、RETIA、RETIE 为双周期指令；满足跳转条件时，JBC、JBS、JDEC、JINC 指令为双周期指令，否则为单周期指令；其它指令为单周期指令。

### 附录1.2 寄存器操作指令

序号	指令	影响状态位	机器周期	操作	
1	SECTION	I<7:0>	-	1	本芯片不支持该条指令
2	PAGE	I<8:0>	-	1	本芯片不支持该条指令
3	ISTEP	I<7:0>	-	1	IAA+i->IAA(-128≤i≤127)
4	MOVI	I<7:0>	-	1	I<7:0>->(A)
5	MOV	R<7:0>,F	Z,N	1	(R)->(目标)
6	MOVA	R<7:0>	-	1	(A)->(R)
7	MOVAR	R<10:0>	-	1	(A)->({6'h00,R<6:0>})
8	MOVRA	R<10:0>	-	1	({6'h00,R<6:0>})->(A)

### 附录1.3 程序控制指令

序号	指令	影响状态位	机器周期	操作	
9	JUMP	I<7:0>	-	2	PC+1+i<7:0>->PC (-128≤i≤127)
10	AJMP	I<19:0>	-	2	I<10:0>->PC<10:0> I<10:8>->PCRH<2:0>
11	GOTO	I<10:0>	-	2	I<10:0>->PC<10:0>
12	CALL	I<10:0>	-	2	PC+1->TOS,I<10:0>->PC<10:0>
13	LCALL	I<19:0>	-	2	PC+1->TOS,I<10:0>->PC<10:0> I<10:8>->PCRH<2:0>
14	RCALL	R<7:0>	-	2	PC+1->TOS, (R)->PC<7:0>, PCRH<2:0>->PC<10:8>
15	JBC	R<7:0>, B<2:0>	-	2	当 R<B> = 0 时跳过下一条指令

[续]

序号	指令		影响 状态位	机器周期	操作
16	JBS	R<7:0>, B<2:0>	-	2	当 R<B> = 1 时跳过下一条指令
17	JCAIE	I<7:0>	-	2	当(A) = I 时跳过下一条指令
18	JCAIG	I<7:0>	-	2	当(A) > I 时跳过下一条指令
19	JCAIL	I<7:0>	-	2	当(A) < I 时跳过下一条指令
20	JCRAE	R<7:0>	-	2	当(R) = (A)时跳过下一条指令
21	JCRAG	R<7:0>	-	2	当(R) > (A)时跳过下一条指令
22	JCRAL	R<7:0>	-	2	当(R) < (A)时跳过下一条指令
23	JCCRE	R<7:0>, B<2:0>	-	2	当 C = R(B)时跳过下一条指令
24	JCCRG	R<7:0>, B<2:0>	-	2	当 C > R(B)时跳过下一条指令
25	JCCRL	R<7:0>, B<2:0>	-	2	当 C < R(B)时跳过下一条指令
26	JDEC	R<7:0>, F	-	2	(R-1)->(目标寄存器), 当目标寄存器的值为 0 时则跳过下一条指令
27	JINC	R<7:0>, F	-	2	(R+1)->(目标寄存器), 当目标寄存器的值为 0 时则跳过下一条指令
28	NOP	-	-	1	空操作
29	POP	-	-	1	AS->A, PSWS->PSW, PCRHS->PCRH
30	PUSH	-	-	1	A->AS, PSW->PSWS, PCRH->PCRHS
31	RET	-	-	2	TOS->PC
32	RETIA	I<7:0>	-	2	I->(A), TOS->PC
33	RETIE	-	-	2	TOS->PC, 1->GIE
34	RST	-	全部状态位均被影响	1	软件复位指令
35	CWDT	-	N_TO, N_PD	1	00H->WDT, 0->WDT Prescaler, 1-> N_TO, 1-> N_PD
36	IDLE	-	N_TO, N_PD	1	00H->WDT, 0->WDT Prescaler, 1-> N_TO, 0-> N_PD
37	ADD	R<7:0>, F	C, DC, Z, OV, N	1	(R)+(A)->(目标)
38	ADDC	R<7:0>, F	C, DC, Z, OV, N	1	(R)+(A)+C->(目标)



## 附录1.4 算术/逻辑运算指令

序号	指令	指令	影响 状态位	机器周期	操作
39	ADDCI	I<7:0>	C, DC, Z,OV,N	1	I+(A)+C->(A)
40	ADDI	I<7:0>	C, DC, Z,OV,N	1	I+(A)->(A)
41	AND	R<7:0>,F	Z,N	1	(A).AND.(R)->(目标)
42	ANDI	I<7:0>	Z,N	1	I.AND.(A)->(A)
43	BCC	R<7:0>,B<2:0>	-	1	0->R<B>
44	BSS	R<7:0>,B<2:0>	-	1	1->R<B>
45	BTT	R<7:0>,B<2:0>	-	1	(~R<B>)->R<B>
46	CLR	R<7:0>	Z	1	(R)=0
47	SETR	R<7:0>	-	1	FF <sub>H</sub> ->(R)
48	NEG	R<7:0>	C, DC, Z,OV,N	1	~(R)+1->(R)
49	COM	R<7:0>,F	Z,N	1	(~R)->(目标)
50	DAR	R<7:0>,F	C	1	对(R)十进制调整->(目标)
51	DAA	-	C	1	对(A)十进制调整->(A)
52	DEC	R<7:0>,F	C, DC, Z,OV,N	1	(R-1)->(目标)
53	INC	R<7:0>,F	C, DC, Z,OV,N	1	(R+1)->(目标)
54	IOR	R<7:0>,F	Z,N	1	(A).OR.(R)->(目标)
55	IORI	I<7:0>	Z,N	1	I.OR.(A)->(A)
56	RLB	R<7:0>,F,B<2:0>	C,Z,N	1	C<< R<7:0> <<C
57	RLBNC	R<7:0>,F,B<2:0>	Z,N	1	R<7:0> << R<7>
58	RRB	R<7:0>,F,B<2:0>	C,Z,N	1	C>> R<7:0> >>C
59	RRBNC	R<7:0>,F,B<2:0>	Z,N	1	R<0> >> R<7:0>
60	SUB	R<7:0>,F	C, DC, Z,OV,N	1	(R)-(A)->(目标)
61	SUBC	R<7:0>,F	C, DC, Z,OV,N	1	(R)-(A)- (~C)->(目标)
62	SUBCI	I<7:0>	C, DC, Z,OV,N	1	I-(A)- (~C)->(A)
63	SUBI	I<7:0>	C, DC, Z,OV,N	1	I-(A)->(A)
64	SSUB	R<7:0>,F	C, DC, Z,OV,N	1	(A)-(R)->(目标)
65	SSUBC	R<7:0>,F	C, DC, Z,OV,N	1	(A)-(R)- (~C)->(目标)

[续]

序号	指令	影响状态位	机器周期	操作	
66	SSUBCI	I<7:0>	C, DC, Z,OV,N	1	(A)-I- (~C)->(A)
67	SSUBI	I<7:0>	C, DC, Z,OV,N	1	(A)-I->(A)
68	SWAP	R<7:0>,F	-	1	R<3:0>->(目标)<7:4>, R<7:4>->(目标)<3:0>
69	TBR		-	2	Pmem(FRA)->ROMD
70	TBR#1		-	2	Pmem(FRA)-> ROMD, FRA+1->FRA
71	TBR_1		-	2	Pmem(FRA)-> ROMD, FRA-1->FRA
72	TBR1#		-	2	FRA+1->FRA, Pmem(FRA)-> ROMD
73	TBW		-	2	本芯片不支持该条指令
74	TBW#1		-	2	本芯片不支持该条指令
75	TBW_1		-	2	本芯片不支持该条指令
76	TBW1#		-	2	本芯片不支持该条指令
77	XOR	R<7:0>, F	Z,N	1	(A).XOR.(R)->(目标)
78	XORI	I<7:0>	Z,N	1	I.XOR.(A)->(A)

注：指令集说明

- 1 i—立即数， F—标志位， A—寄存器 A， R—寄存器 R， B—寄存器 R 的第 B 位。
- 2 C—进位/借位， DC—半进位/半借位， Z—零标志位， OV—溢出标志位， N—负标志位。
- 3 TOS—顶级堆栈。
- 4 如果 F = 0， 则目标寄存器为寄存器 A； 如果 F = 1， 则目标寄存器为寄存器 R。
- 5 79 条指令中另有一条 NOP 指令未在上表中描述。
- 6 SECTION 指令中， I 的位数， 视实际芯片而定。本芯片通用数据存储器 GPR 就 1 个存储体组， 所以 N 的位数是 1 位， 固定为 0。
- 7 PAGE 指令中， I 的位数， 视实际芯片而定。本芯片没有 PCRU 寄存器， I 的位数是 1 位。
- 8 部分指令中， PC 的位数以及 PCRU 寄存器， 视实际芯片而定。本芯片 PC 的位数是 10 位。

## 附录2 特殊功能寄存器总表

地址	名称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	上电 复位值
FF80 <sub>H</sub>	IAD	间接寻址数据寄存器								0000 0000
FF81 <sub>H</sub>	IAAL	间接寻址索引寄存器<7:0>								0000 0000
FF82 <sub>H</sub>	IAAH	间接寻址索引寄存器<15:8>								0000 0000
FF83 <sub>H</sub>	PSW	-	UF	OF	N	OV	Z	DC	C	x00x xxxx
FF84 <sub>H</sub>	AREG	A 寄存器								xxxx xxxx
FF85 <sub>H</sub>	MULA/MULL	乘数 A 寄存器/乘积低 8 位寄存器								xxxx xxxx
FF86 <sub>H</sub>	MULB/MULH	乘数 B 寄存器/乘积高 8 位寄存器								xxxx xxxx
FF87 <sub>H</sub>	FRAL	程序存储器查表地址寄存器<7:0>								xxxx xxxx
FF88 <sub>H</sub>	FRAH	程序存储器查表地址寄存器<15:8>								xxxx xxxx
FF89 <sub>H</sub>	ROMDL	程序存储器查表数据寄存器<7:0>								xxxx xxxx
FF8A <sub>H</sub>	ROMDH	程序存储器查表数据寄存器<15:8>								xxxx xxxx
FF8B <sub>H</sub>	PCRL	程序计数器<7:0>								0000 0000
FF8C <sub>H</sub>	PCRH	-	-	-	-	-	-	程序计数器<9:8>		0000 0000
FF8D <sub>H</sub>	CALPROT	校准值保护寄存器								0000 0001
FF8E <sub>H</sub>	PA	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0	xxxx xxxx
FF8F <sub>H</sub>	PAT	PAT7	PAT6	PAT5	PAT4	PAT3	PAT2	PAT1	PAT0	1111 1111
FF90 <sub>H</sub>	-	-	-	-	-	-	-	-	-	-
FF91 <sub>H</sub>	-	-	-	-	-	-	-	-	-	-
FF92 <sub>H</sub>	PC	-	-	-	-	PC3	PC2	PC1	PC0	0000 xxxx
FF93 <sub>H</sub>	PCT	-	-	-	-	PCT3	PCT2	PCT1	PCT0	0000 1111
FF94 <sub>H</sub>	N_PAU	N_PAU7	N_PAU6	N_PAU5	N_PAU4	N_PAU3	N_PAU2	N_PAU1	N_PAU0	1111 0111
FF95 <sub>H</sub>	-	-	-	-	-	-	-	-	-	-
FF96 <sub>H</sub>	N_PCU	-	-	-	-	N_PCU3	N_PCU2	N_PCU1	N_PCU0	0000 1111
FF97 <sub>H</sub>	PALC	PALC7	PALC6	PALC5	PALC4	-	PALC2	PALC1	PALC0	0000 0000
FF98 <sub>H</sub>	-	-	-	-	-	-	-	-	-	-
FF99 <sub>H</sub>	PCLC	-	-	-	-	PCLC3	PCLC2	PCLC1	PCLC0	0000 0000
FF9A <sub>H</sub>	ANS0	-	-	-	ANPC1	ANPC0	ANPA2	ANPA1	ANPA0	0000 0000
FF9B <sub>H</sub>	-	-	-	-	-	-	-	-	-	-
FF9C <sub>H</sub>	-	-	-	-	-	-	-	-	-	-
FF9D <sub>H</sub>	INTF0	-	T16G1IF	TEIF	T8NIF	T8P3IF	T8P2IF	T8P1IF	KIF	0000 0000
FF9E <sub>H</sub>	INTE0	-	T16G1IE	TEIE	T8NIE	T8P3IE	T8P2IE	T8P1IE	KIE	0000 0000
FF9F <sub>H</sub>	INTC0	KMSK7	KMSK6	KMSK5	KMSK4	KMSK3	KMSK2	KMSK1	KMSK0	0000 0000
FFA0 <sub>H</sub>	INTG	GIE	PEIE					SOFTIF	INTVEN	0000 0000
FFA1 <sub>H</sub>	LVDC	LVDLS	-	-	LVDEN	-	-	LVDV		0001 0000
FFA2 <sub>H</sub>	INTF1	-	-	ADIF	LVDIF	PIF3	PIF2	PIF1	PIF0	0000 0000
FFA3 <sub>H</sub>	INTE1	-	-	ADIE	LVDIE	PIE3	PIE2	PIE0	PIE0	0000 0000
FFA4 <sub>H</sub>	INTC1	-	-	-	-	PEG3	PEG2	PEG1	PEG0	0000 0000
FFA5 <sub>H</sub>	OSCCAL	内部 16MHz 时钟校准寄存器								1010 1001

[续]

地址	名称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	上电复位值
FFA6H	WDTCAL	内部 32KHz 时钟校准寄存器								1000 0100
FFA7H	PWRC	LPM	VRST		N_RST1	N_TO	N_PD	N_POR	N_BOR	0101 110x
FFA8H	OSCC	CLKSS	FOSCS			T16GOSCF	WDTOSCF	HSOSCF	LPOS CF	0110 010x
FFA9H	WKDC	唤醒延时控制寄存器								1111 1111
FFAAH	OSCP	时钟控制写保护寄存器								1111 1111
FFABH	WDTC	-	-	-	WDTPRE	WDTPRS				0001 0111
FFACH	PWEN	-	SW_WDT	SW_HS	SW_LP	-	-	RCEN	SREN	0100 0011
FFADH	-	-	-	-	-	-	-	-	-	-
FFAEH	-	-	-	-	-	-	-	-	-	-
FFAFH	-	-	-	-	-	-	-	-	-	-
FFB0H	T8N	T8N 计数器								0000 0000
FFB1H	T8NC	T8NEN	-	T8NM	T8NEG	T8NPRE	T8NPRS			0000 0000
FFB2H	T8P1	T8P1 计数器								0000 0000
FFB3H	T8P1C	T8P1M	T8P1POS				T8P1E	T8P1PRS		0000 0000
FFB4H	T8P1P	T8P1 周期寄存器								1111 1111
FFB5H	T8P1RL	T8P1 精度寄存器								0000 0000
FFB6H	T8P1RH	T8P1 精度缓冲寄存器								0000 0000
FFB7H	T8P1OC	-	-	-	-	-	-	PWM11EN	PWM10EN	0000 0000
FFB8H	EPWM1C	-	P1M1	-	-	-	-	EPWM1M		0000 0000
FFB9H	PDD1C	PRSEN1	PDD1C							0000 0000
FFBAH	TE1AS	EPWM1ASF	-	EPWM1AS1	EPWM1AS0	-	-	PSS1BD		0000 0000
FFBBH	T16G1L	T16G1 计数器低 8 位								xxxx xxxx
FFBCH	T16G1H	T16G1 计数器高 8 位								xxxx xxxx
FFBDH	T16G1PL	T16G1 周期寄存器低 8 位								1111 1111
FFBEH	T16G1PH	T16G1 周期寄存器高 8 位								1111 1111
FFBFH	T16G1RL	T16G1 精度寄存器低 8 位								0000 0000
FFC0H	T16G1RH	T16G1 精度寄存器高 8 位								0000 0000
FFC1H	T16G1CL	T16G1GINV	T16G1GEN	T16G1PRS		T16G1OSCEN	T16G1SYN	T16G1CS	T16GON	0000 0000
FFC2H	T16G1CH	T16G1ZCDM		T16G1ZCDP	T16G1REX	T16G1M				00x0 0000
FFC3H	T16GOC	-	T16G12INV	T16G11INV	T16G10INV	-	T16G12EN	T16G11EN	T16G10EN	0000 0000
FFC4H	ADCC0	ADVREFS			ADCHS			ADTRG	ADEN	0000 0000
FFC5H	ADCC1	ADFM	ADCS			ADST				0000 1000
FFC6H	ADCC2	-	-	ADSS		-	VDET_EN	EXTTIG_PEG	EXTTIG_EN	0000 0000
FFC7H	ADCRL	ADC 转换结果寄存器<7:0>								xxxx xxxx
FFC8H	ADCRH	ADC 转换结果寄存器<15:8>								xxxx xxxx
FFC9H	TMRADC	ADC 延时触发定时器								0000 0000
FFCAH	-	-	-	-	-	-	-	-	-	-
FFCBH	-	-	-	-	-	-	-	-	-	-
FFCCH	-	-	-	-	-	-	-	-	-	-

[续]

地址	名称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	上电 复位值
FFCDH	-	-	-	-	-	-	-	-	-	
FFCEH	T8P2	T8P2 计数器								0000 0000
FFCFH	T8P2C	T8P2M	T8P2POS				T8P2E	T8P2PRS		0000 0000
FFD0H	T8P2P	T8P2 周期寄存器								1111 1111
FFD1H	T8P2RL	T8P2 精度寄存器								0000 0000
FFD2H	T8P2RH	T8P2 精度缓冲寄存器								0000 0000
FFD3H	T8P2OC	-	-	-	-	-	-	PWM21EN	PWM20EN	0000 0000
FFD4H	EPWM2C	-	P1M2	-	-	-	-	EPWM2M		0000 0000
FFD5H	PDD2C	PRSEN2	PDD2C							0000 0000
FFD6H	TE2AS	EPWM2ASF	-	EPWM2AS1	EPWM2AS0	-	-	PSS2BD		0000 0000
FFD7H	T8P3	T8P2 计数器								0000 0000
FFD8H	T8P3C	T8P3M	T8P3POS				T8P3E	T8P3PRS		0000 0000
FFD9H	T8P3P	T8P3 周期寄存器								1111 1111
FFDAH	T8P3RL	T8P3 精度寄存器								0000 0000
FFDBH	T8P3RH	T8P3 精度缓冲寄存器								0000 0000
FFDCH	T8P3OC	-	-	-	-	-	-	PWM31EN	PWM30EN	0000 0000
FFDDH	EPWM3C	-	P1M3	-	-	-	-	EPWM3M		0000 0000
FFDEH	PDD3C	PRSEN3	PDD3C							0000 0000
FFDFH	TE3AS	EPWM3ASF	-	EPWM3AS1	EPWM3AS0	-	-	PSS3BD		0000 0000
FFE0H ~FFFFH	-	-	-	-	-	-	-	-	-	-

## 附录3 电气特性

### 附录3.1 参数特性表

◆ 最大标称值

参数	符号	条件	标称值	单位
电源电压	VDD	-	-0.3 ~ 7.5	V
输入电压	V <sub>IN</sub>	-	-0.3 ~ VDD + 0.3	V
输出电压	V <sub>OUT</sub>	-	-0.3 ~ VDD + 0.3	V
存储温度	T <sub>STG</sub>	-	-55 ~ 125	°C
操作温度	T <sub>OPR</sub>	VDD: 2.2 ~ 5.5V	-40 ~ 85	°C

◆ 芯片功耗特性参数表

参数	符号	最小值	典型值	最大值	单位	工作条件
芯片供电电压	VDD	2.2		5.5	V	F <sub>osc</sub> ≤ 2MHz -40°C ~ 85°C
		2.7	-	5.5	V	F <sub>osc</sub> ≤ 8MHz -40°C ~ 85°C
		3.0	-	5.5	V	F <sub>osc</sub> ≤ 16MHz -40°C ~ 85°C
芯片静态电流	I <sub>DD</sub>	-	85	-	μA	25°C, VDD = 5V, BOR 不使能, 内部时钟模式, 所有 I/O 端口输入低电平, N_MRST = 0, OSC1 = 0, OSC2 = 0。
IDLE0 休眠模式下芯片电流	I <sub>PD1</sub>	-	3	-	μA	25°C, VDD = 5V, BOR、LVD 和 WDT 不使能。
		-	4	-	μA	25°C, VDD = 5V, BOR、LVD 不使能, WDT 使能。
		-	17	-	μA	25°C, VDD = 5V, BOR 和 WDT 使能, LVD 不使能。
		-	20	-	μA	25°C, VDD = 5V, BOR、WDT、LVD 使能。
		-	12	-	μA	25°C, VDD = 5V, BOR、LVD 不使能, WDT 不使能, T16G1 使用外部 32K 晶振计数。
IDLE1 休眠模式下芯片电流 (高速时钟模式)	I <sub>PD2</sub>	-	470	-	μA	25°C, VDD = 5V, BOR 使能, WDT 使能。
IDLE1 休眠模式下芯片电流 (低速时钟模式)	I <sub>PD3</sub>	-	27	-	μA	25°C, VDD = 5V, BOR 使能, WDT 使能

正常运行模式 芯片电流（高速 时钟模式）	$I_{OP1}$	-	1.5	-	mA	25°C, VDD = 5V, 正常运行模式, 内部 16MHz RC 时钟, I/O 端口输出固定电平, 无负载, ADC 关闭。
正常运行模式 芯片电流（高速 时钟模式）	$I_{OP2}$	-	700	-	uA	25°C, VDD = 5V, 正常运行模式, 内部 2MHz RC 时钟（内部 16MHz RC 时钟的 8 分频）, I/O 端口输出固定电平, 无负载, ADC 关闭。
正常运行模式 芯片电流（低速 时钟模式）	$I_{OP3}$	-	20	-	uA	25°C, VDD = 5V, 正常运行模式, 内部 32KHz RC 时钟, BOR 和 LVD 不使能, I/O 端口输出固定电平, 无负载, ADC 关闭。
VDD 管脚的 最大输入电流	$I_{MAXVDD}$	-	-	55	mA	25°C, VDD = 5V
VSS 管脚的 最大输出电流	$I_{MAXVSS}$	-	-	120	mA	25°C, VDD = 5V
I/O 端口灌电流	$I_{OL}$	-	10	-	mA	25°C, VDD = 5V $V_{OL} = 0.6V$
I/O 端口拉电流	$I_{OH}$	-	9	-	uA	25°C, VDD = 5V $V_{OH} = 4.4V$
大电流 I/O 端口 灌电流	$I_{OL}$	-	27	-	mA	25°C, VDD = 5V $V_{OL} = 0.6V$
大电流 I/O 端口 拉电流	$I_{OH}$	-	19	-	mA	25°C, VDD = 5V $V_{OH} = 4.4V$

## ◆ 芯片输入端口特性表

芯片工作温度范围: -40℃ ~ 85℃						
参数	符号	最小值	典型值	最大值	单位	测试条件
IO 端口输入高电平 (有施密特输入特性)	$V_{IH}$	0.8VDD	-	VDD	V	2.2V ≤ VDD ≤ 5.5V
N_MRST 主复位信号输入高电平(无施密特输入特性)		0.8VDD	-	VDD	V	
IO 端口输入低电平	$V_{IL}$	VSS	-	0.18VDD	V	
N_MRST 主复位信号输入低电平		VSS	-	0.20VDD	V	
IO 端口输入漏电流	$I_{IL}$	-	-	±1	μA	2.2V ≤ VDD ≤ 5.5V VSS ≤ Vpin ≤ VDD (端口处于高阻状态)
N_MRST 主复位端口漏电流		-	-	5	μA	VSS ≤ Vpin ≤ VDD
IO 端口输入弱上拉电流	$I_{WPU1}$	6	-	85	μA	2.2V ≤ VDD ≤ 5.5V Vpin = VSS
N_MRST 主复位端口输入弱上拉电流	$I_{WPU2}$	18	-	54	μA	2.2V ≤ VDD ≤ 5.5V Vpin = VSS

## ◆ 芯片输出端口特性表

芯片工作温度范围: -40℃ ~ 85℃						
参数	符号	最小值	典型值	最大值	单位	测试条件
I/O 端口输出高电平	$V_{OH}$	VDD-0.7	-	-	V	2.2V ≤ VDD ≤ 5.5V $I_{OH} = 2\text{mA}$
I/O 端口输出低电平	$V_{OL}$	-	-	0.6	V	2.2V ≤ VDD ≤ 5.5V $I_{OL} = 3\text{mA}$



◆ 系统时钟要求表

参数	符号	最小值	典型值	最大值	单位	测试条件
系统时钟频率	F <sub>OSC</sub>	-	-	2M	Hz	2.2V ≤ VDD ≤ 5.5V
		-	-	8M	Hz	2.7V ≤ VDD ≤ 5.5V
		-	-	16M	Hz	3.0V ≤ VDD ≤ 5.5V
系统时钟周期	T <sub>OSC1</sub>	500	-	-	ns	2.2V ≤ VDD ≤ 5.5V
		125	-	-	ns	2.7V ≤ VDD ≤ 5.5V
		62.5	-	-	ns	3.0V ≤ VDD ≤ 5.5V
外部时钟高电平和低电平时间	T <sub>OSL</sub> , T <sub>OSH</sub>	15	-	-	ns	-
外部时钟上升和下降时间	T <sub>OSR</sub> , T <sub>OSF</sub>	-	-	15	ns	-
WDT 溢出时间	T <sub>WDT</sub>	12.5 (41K)	16 (32K)	19.7 (26K)	ms	WDT 时钟源二分频 VDD = 5V -40°C ~ 85°C

◆ 内部 16MHz 时钟校准特性表

校准条件	工作条件	最小值	典型值	最大值	单位
5V, 25°C 将频率校准至 16MHz	25°C, VDD = 5V	15.68	16	16.32	MHz
	-40°C ~ 85°C, VDD = 3.0V ~ 5.5V	15.52	16	16.48	MHz

## ◆ ADC 交流特性表

参数名	符号	说明	最小值	典型值	最大值	单位
分辨率	RR	25°C, VDD=5V, 内部 VDD 参考, f <sub>ADCCLK</sub> =1MHz, 采样时间为 8 个 ADCCLK	-	11	-	bit
差分线性度	DNL		-	±1	-	LSB
积分线性度	INL		-	±2	-	LSB
失调误差	Voffset	25°C, VDD=5V, f <sub>ADCCLK</sub> =1MHz, 采样时间为 8 个 ADCCLK	-	±2	-	mV
参考电压范围	Vref1	25°C, VDD=5V, 外部参考 VREFP	2 <sup>*1</sup>	-	VDD <sup>*1</sup>	V
	Vref2	25°C, VDD=5V, 内部 VDD 参考	-	VDD <sup>*1</sup>	-	V
	Vref3	25°C, VDD=5V, 内部 4.0V 参考	3.92 <sup>*1</sup>	4.0 <sup>*1</sup>	4.08 <sup>*1</sup>	V
	Vref4	25°C, VDD=5V, 内部 3.0V 参考	2.94 <sup>*1</sup>	3.0 <sup>*1</sup>	3.06 <sup>*1</sup>	V
	Vref5	25°C, VDD=5V, 内部 2.1V 参考	2.05 <sup>*1</sup>	2.1 <sup>*1</sup>	2.15 <sup>*1</sup>	V
	Vref6	25°C, VDD=5V, 内部 1.6V 参考	1.57 <sup>*1</sup>	1.60 <sup>*1</sup>	1.63 <sup>*1</sup>	V
ADC 工作时芯片供电电压	Vpow	内部 VDD 参考或 外部 VREFP 参考	2.5 <sup>*1</sup>	-	-	V
		内部参考 1.6V	3 <sup>*1</sup>	-	-	V
		内部参考 2.1V	3 <sup>*1</sup>	-	-	V
		内部参考 3.0V	3.5 <sup>*1</sup>	-	-	V
		内部参考 4.0V	4.5 <sup>*1</sup>	-	-	V
模拟电压输入范围	VIN	-	0	-	Vref1-5	V
输入电容	CIN	-	-	40	-	Pf
模拟输入推荐输入电阻	RIN	-	-	10	-	KΩ

注\*1: 此处参数为设计理论值;

## ◆ ADC 转换时间对照表

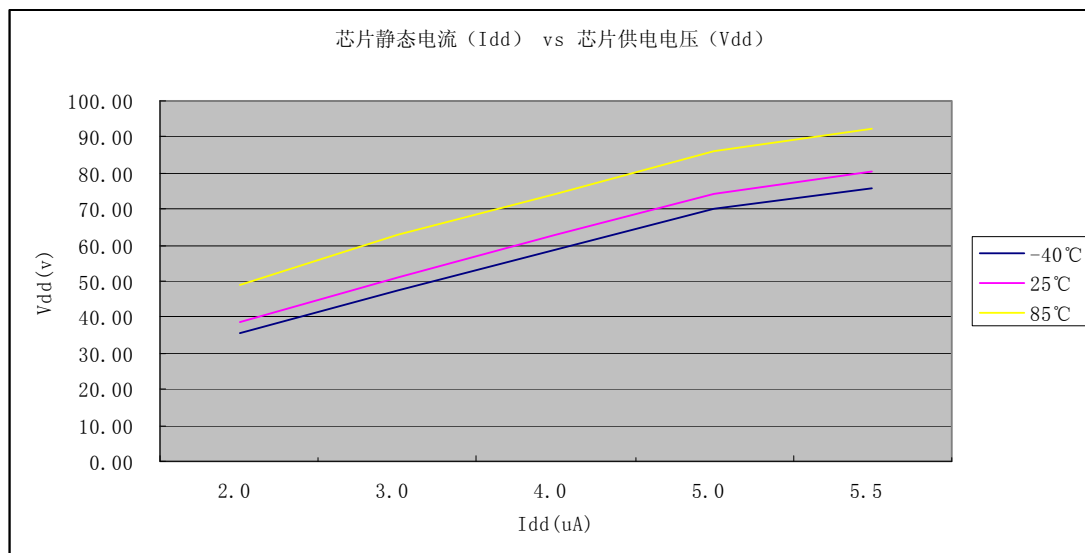
A/D 时钟源选择	工作频率			
	16M	8M	4M	1M
Fosc	不推荐使用 <sup>*2</sup>	不推荐使用 <sup>*2</sup>	不推荐使用 <sup>*2</sup>	T <sub>ADCCLK</sub> = 1us
Fosc/2	不推荐使用 <sup>*2</sup>	不推荐使用 <sup>*2</sup>	T <sub>ADCCLK</sub> = 0.5us	T <sub>ADCCLK</sub> = 2us
Fosc/4	不推荐使用 <sup>*2</sup>	T <sub>ADCCLK</sub> = 0.5us	T <sub>ADCCLK</sub> = 1us	T <sub>ADCCLK</sub> = 4us
Fosc/8	T <sub>ADCCLK</sub> = 0.5us	T <sub>ADCCLK</sub> = 1us	T <sub>ADCCLK</sub> = 2us	T <sub>ADCCLK</sub> = 8us
Fosc/16	T <sub>ADCCLK</sub> = 1us	T <sub>ADCCLK</sub> = 2us	T <sub>ADCCLK</sub> = 4us	T <sub>ADCCLK</sub> = 16us
Fosc/32	T <sub>ADCCLK</sub> = 2us	T <sub>ADCCLK</sub> = 4us	T <sub>ADCCLK</sub> = 8us	T <sub>ADCCLK</sub> = 32us
Fosc/64	T <sub>ADCCLK</sub> = 4us	T <sub>ADCCLK</sub> = 8us	T <sub>ADCCLK</sub> = 16us	T <sub>ADCCLK</sub> = 64us

注\*2: Tad 值不满足设计要求不推荐使用;

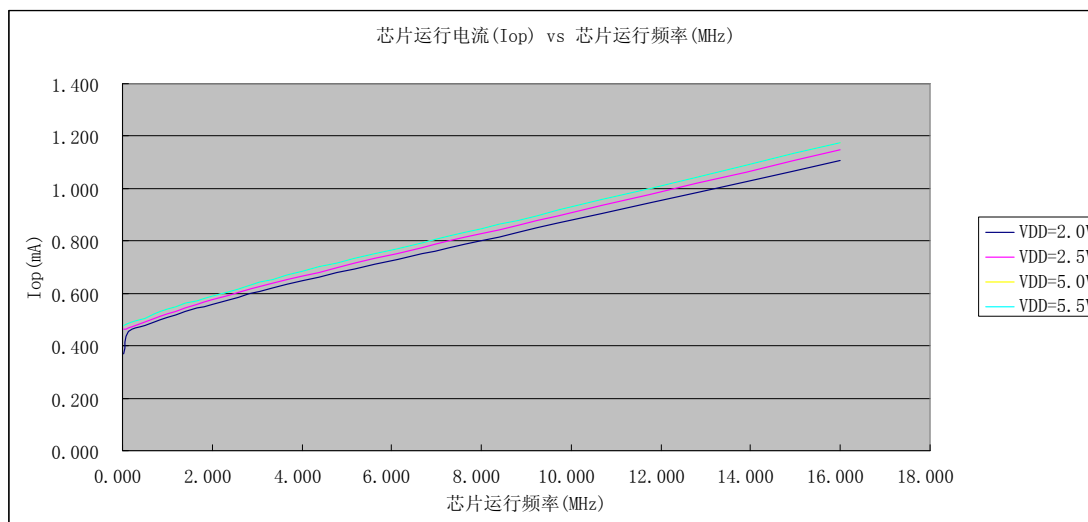
### 附录3.2 参数特性图

本节中所列图示未经过量产测试，仅作为设计参考之用。其中部分图示中所列的数据已超出指定的操作范围，此类信息也仅供参考，芯片只保证在指定的范围内正常工作。

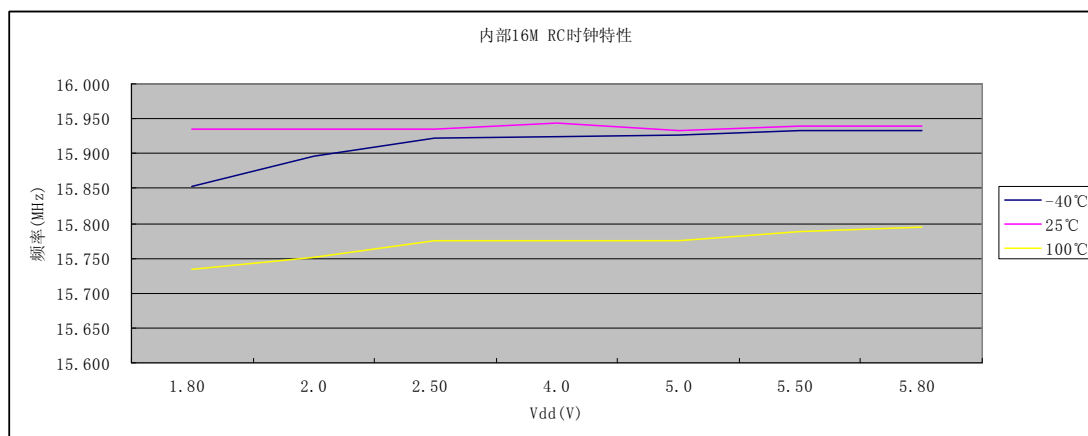
◆ 芯片静态电流随芯片电压变化特性图



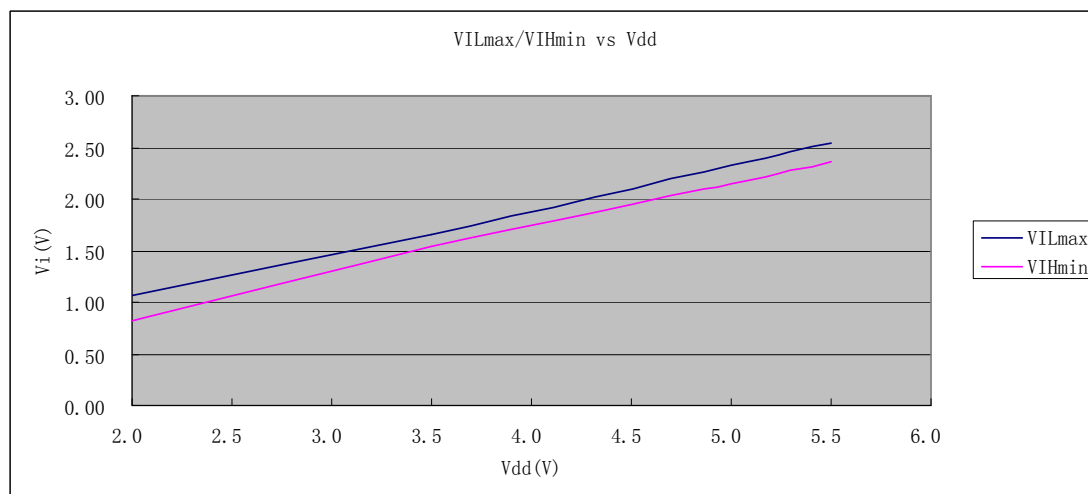
◆ 正常运行模式下芯片电流随时钟频率变化图 (F<sub>osc</sub> 时钟源为内部 16MHz RC 时钟的不同分频, 室温 25°C)



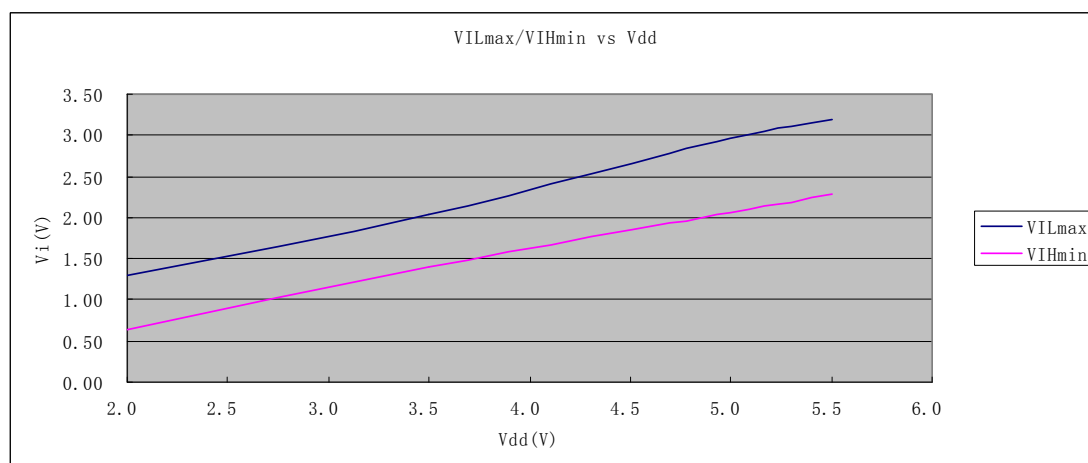
◆ 内部 16MHz RC 时钟频率随电源电压的变化图



◆ 外部复位信号输入特性图 (室温 25°C)

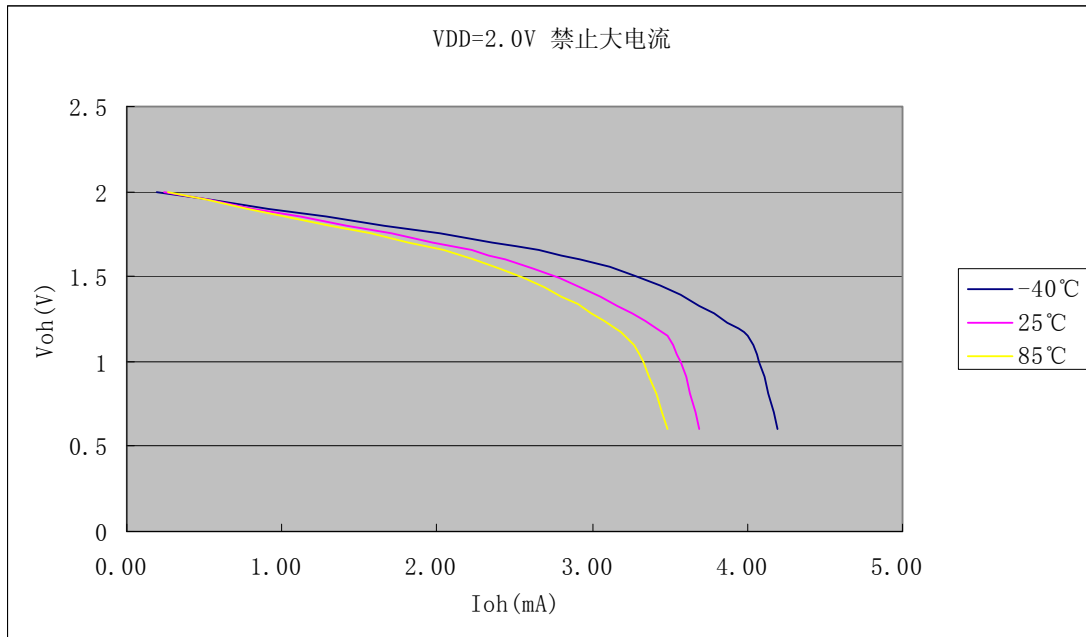


◆ I/O 端口信号输入特性图 (室温 25°C)

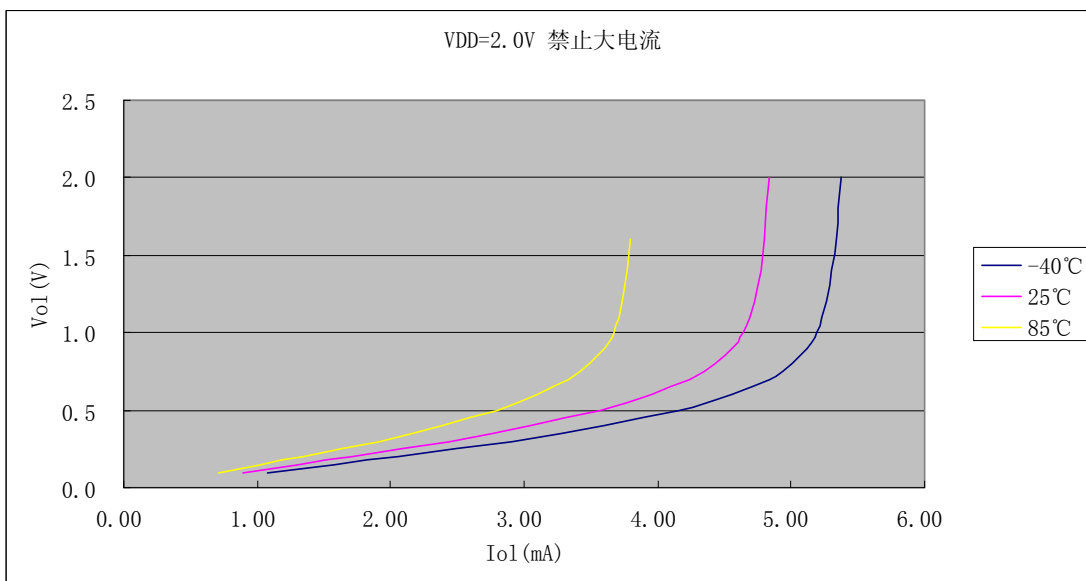


◆ I/O 端口信号输入特性图（非大电流端口）

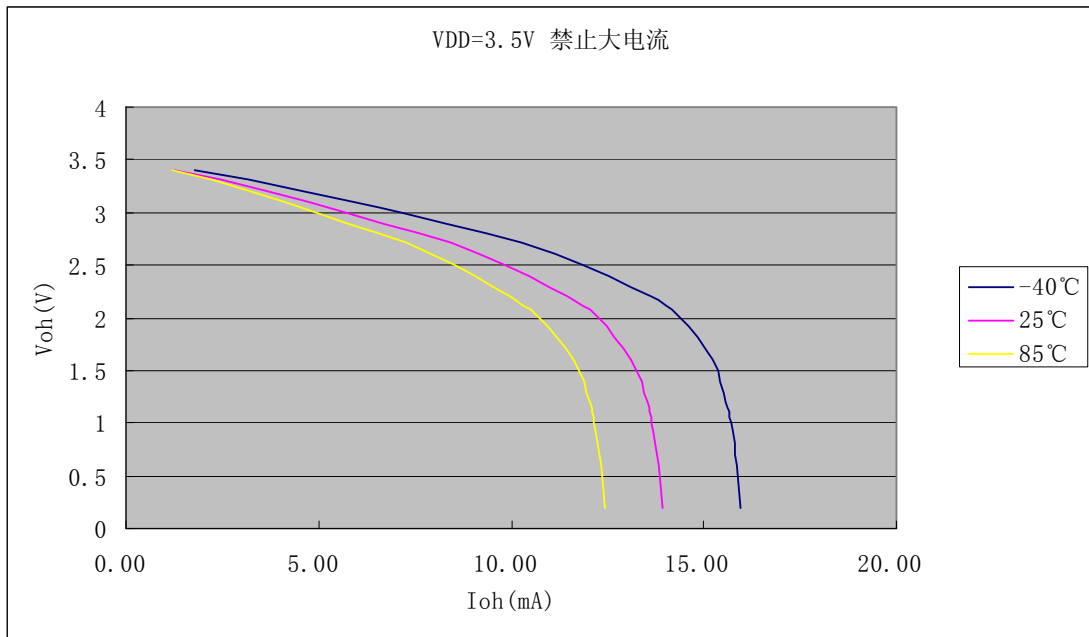
A:  $V_{OH}$  vs  $I_{OH}$ @VDD=2.0V



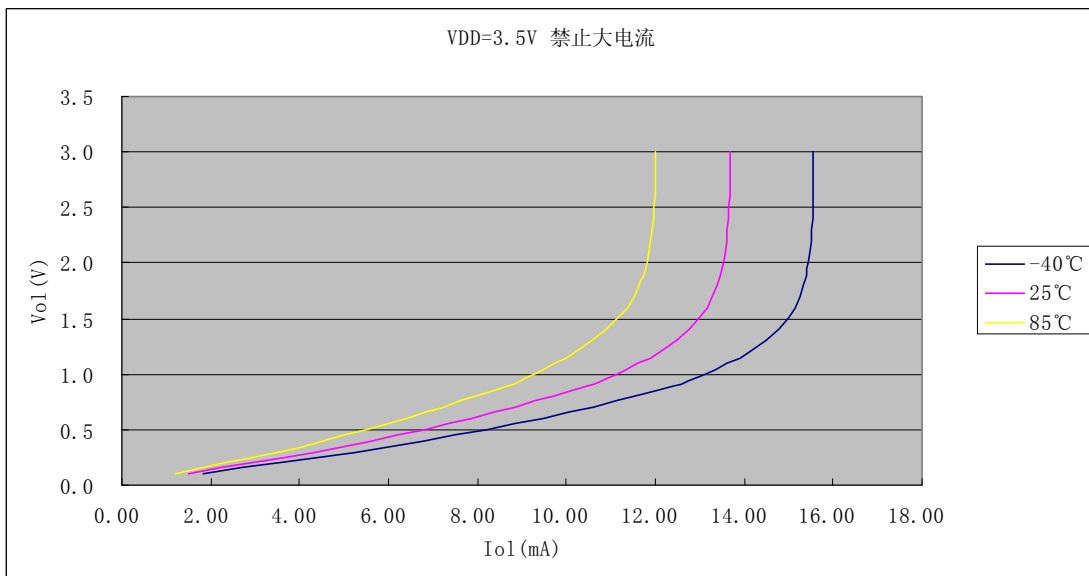
B:  $V_{OL}$  vs  $I_{OL}$  @VDD=2.0V



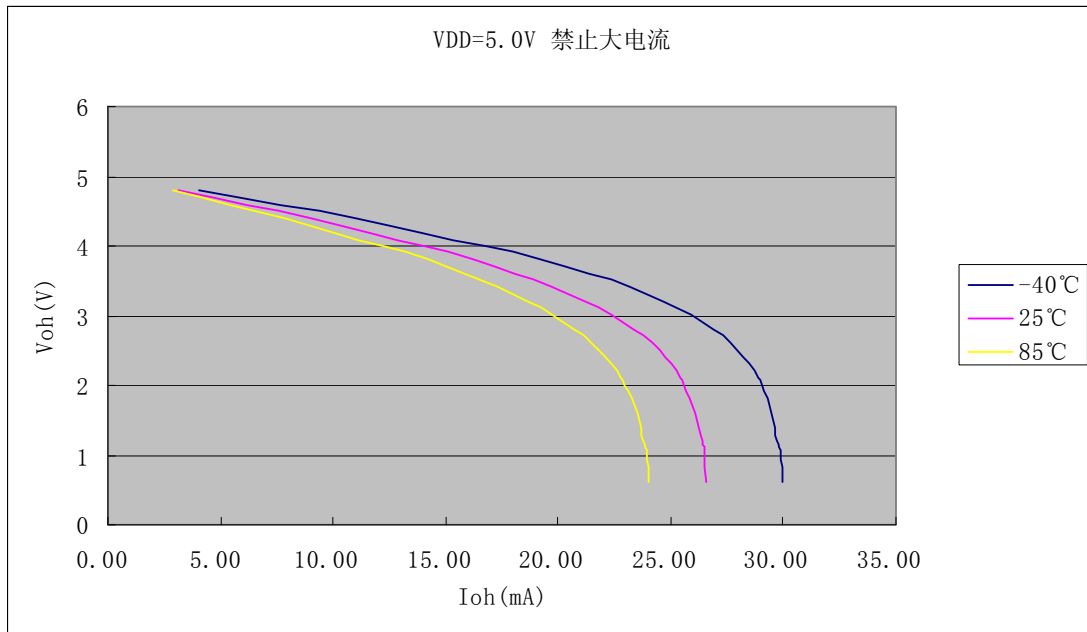
C:  $V_{OH}$  vs  $I_{OH}$  @VDD=3.5V



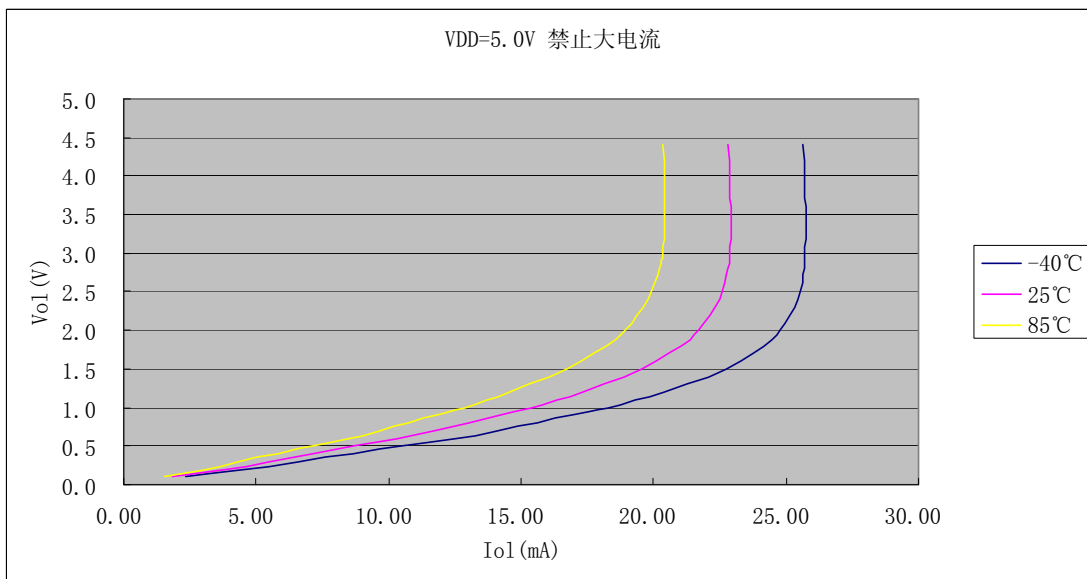
D:  $V_{OL}$  vs  $I_{OL}$  @VDD=3.5V



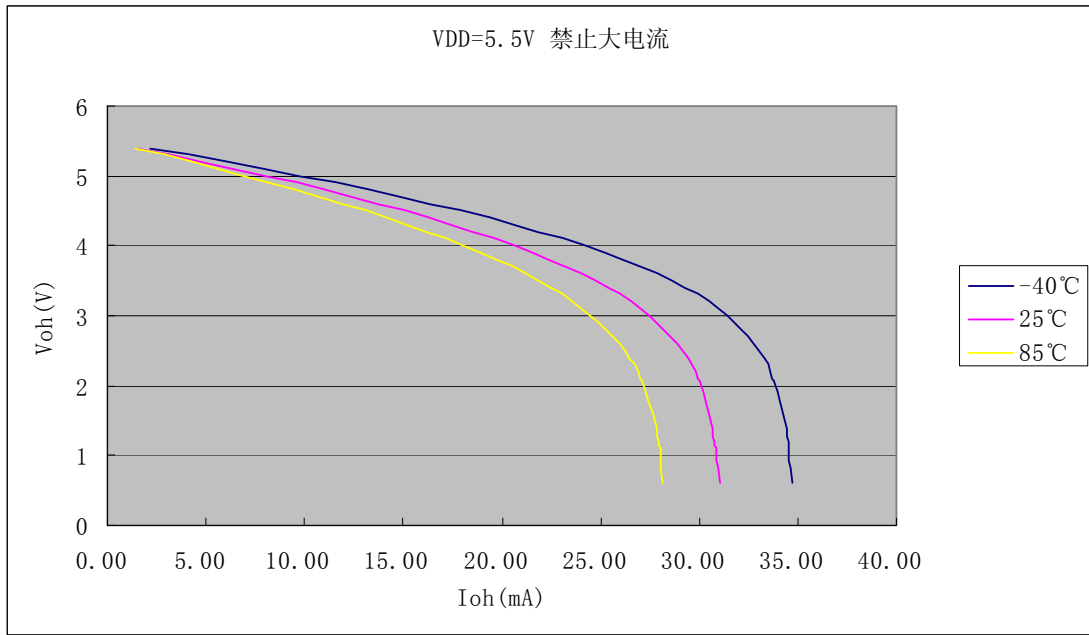
E:  $V_{OH}$  vs  $I_{OH}$  @VDD=5.0V



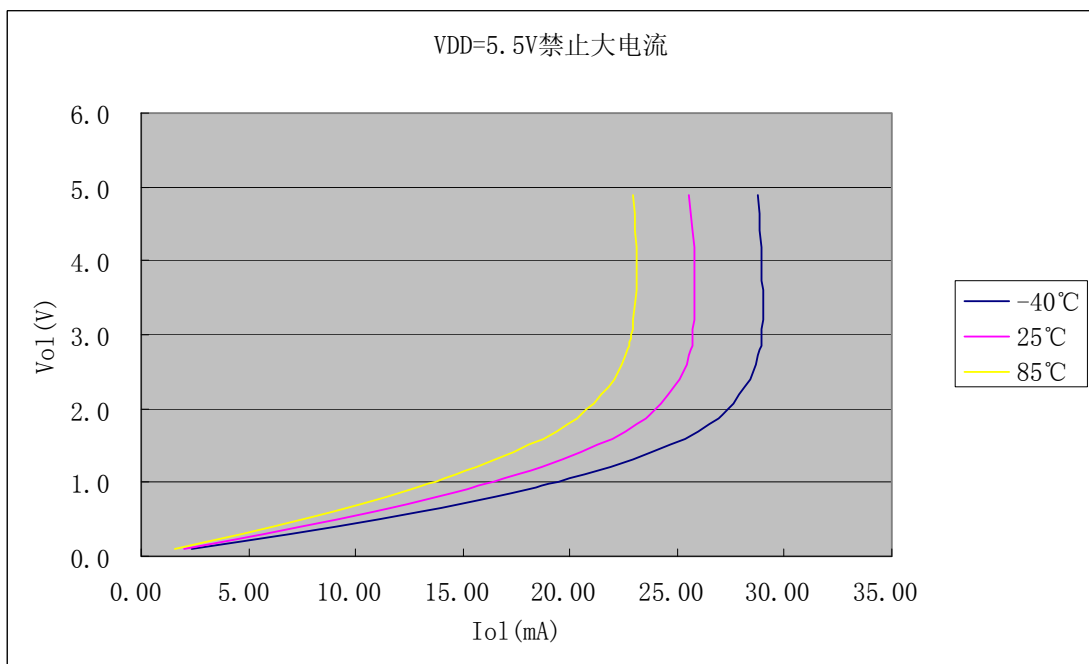
F:  $V_{OL}$  vs  $I_{OL}$  @VDD=5.0V



G:  $V_{OH}$  vs  $I_{OH}$  @VDD=5.5V



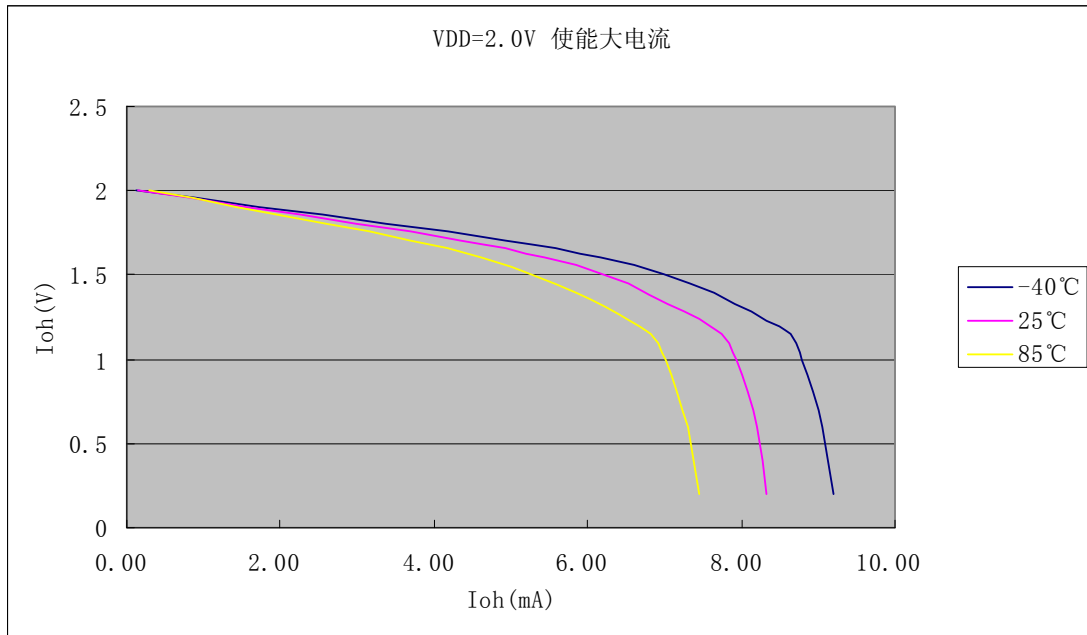
H:  $V_{OL}$  vs  $I_{OL}$  @VDD=5.5V



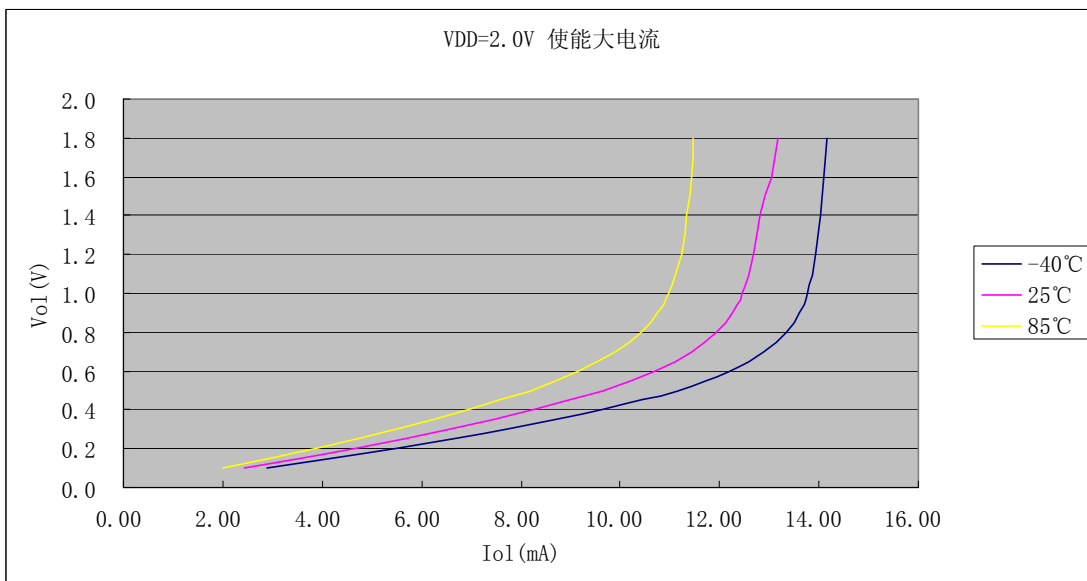


◆ I/O 端口信号输入特性图（大电流端口）

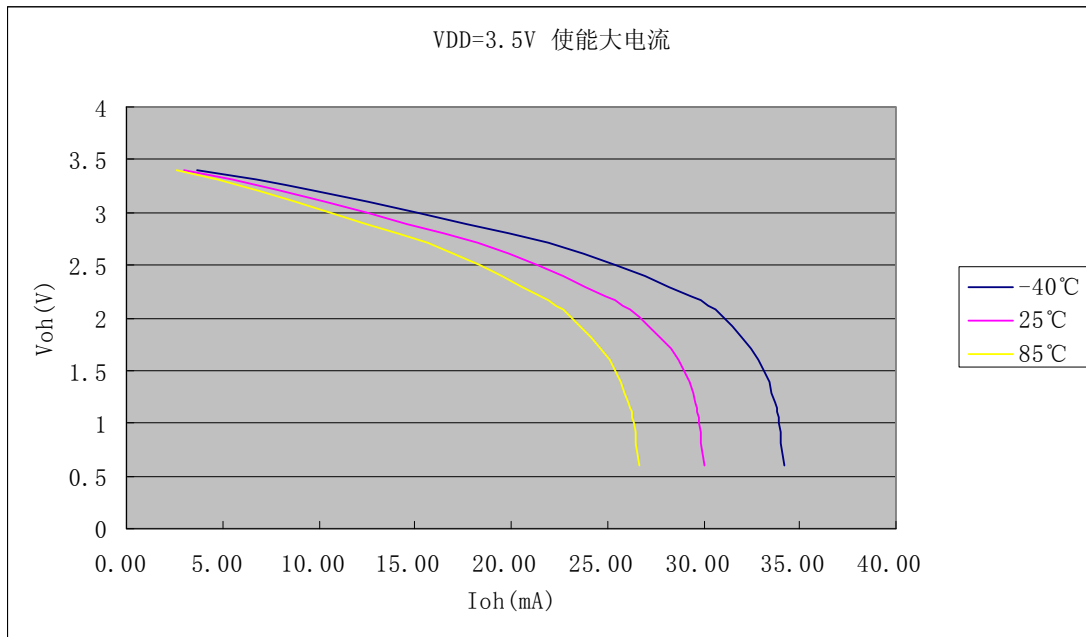
A:  $V_{OH}$  vs  $I_{OH}$  @VDD=2.0V



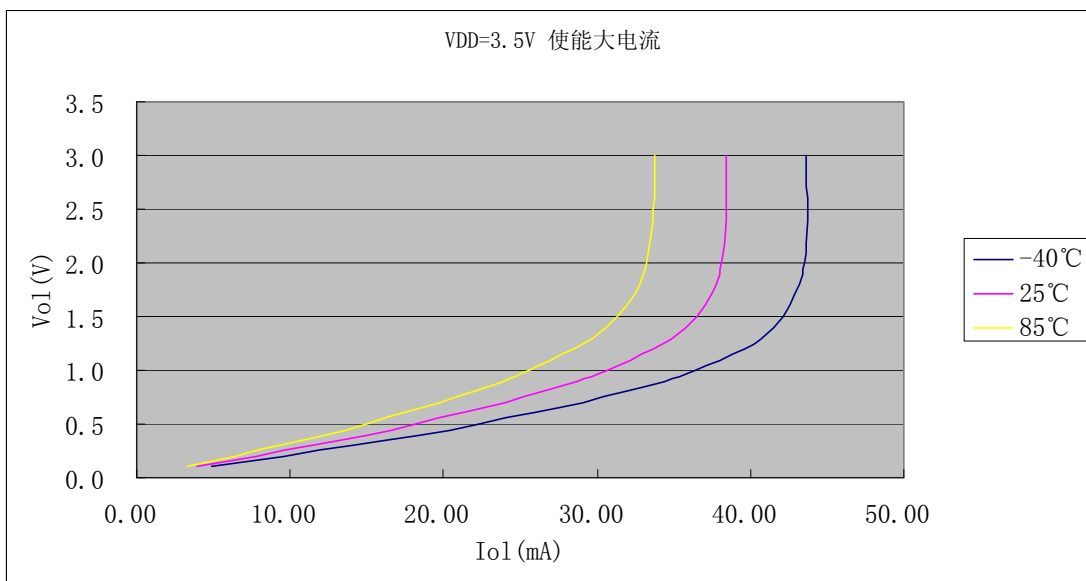
B:  $V_{OL}$  vs  $I_{OL}$  @VDD=2.0V



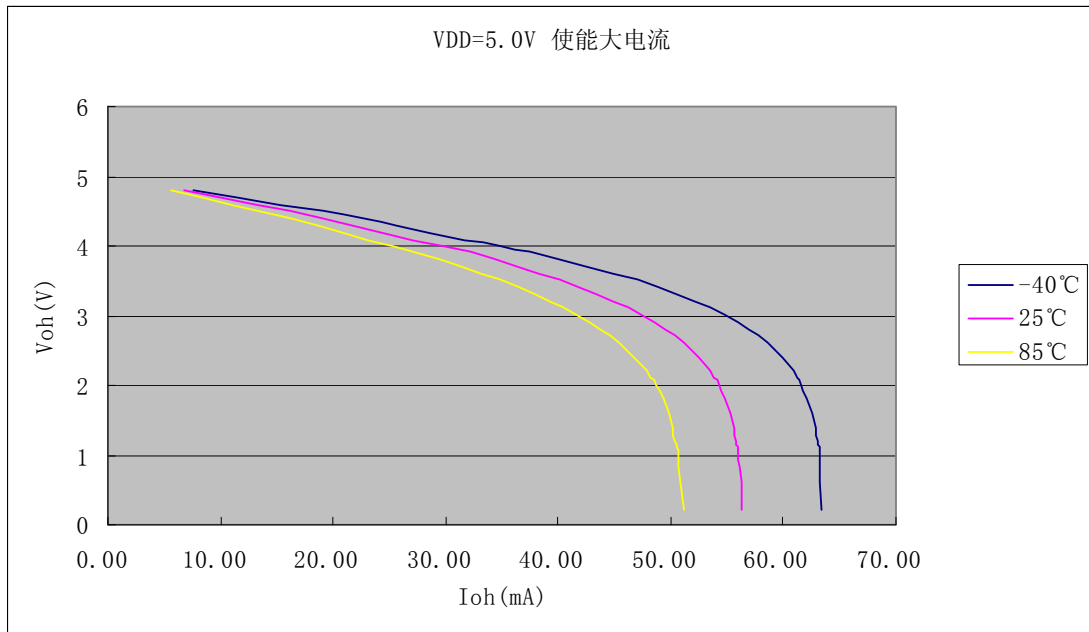
C:  $V_{OH}$  vs  $I_{OH}$  @VDD=3.5V



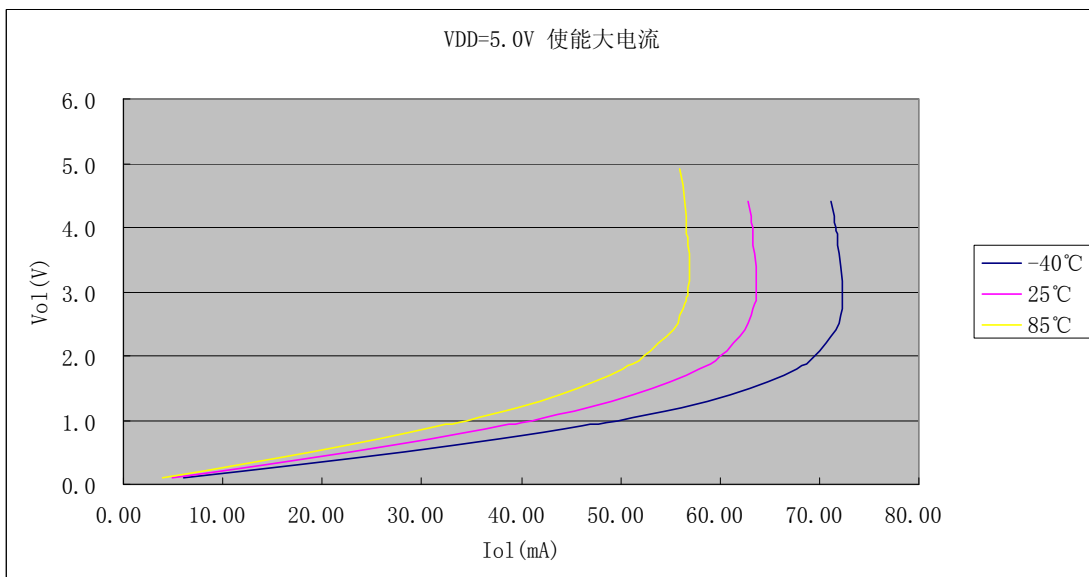
D:  $V_{OL}$  vs  $I_{OL}$  @VDD=3.5V



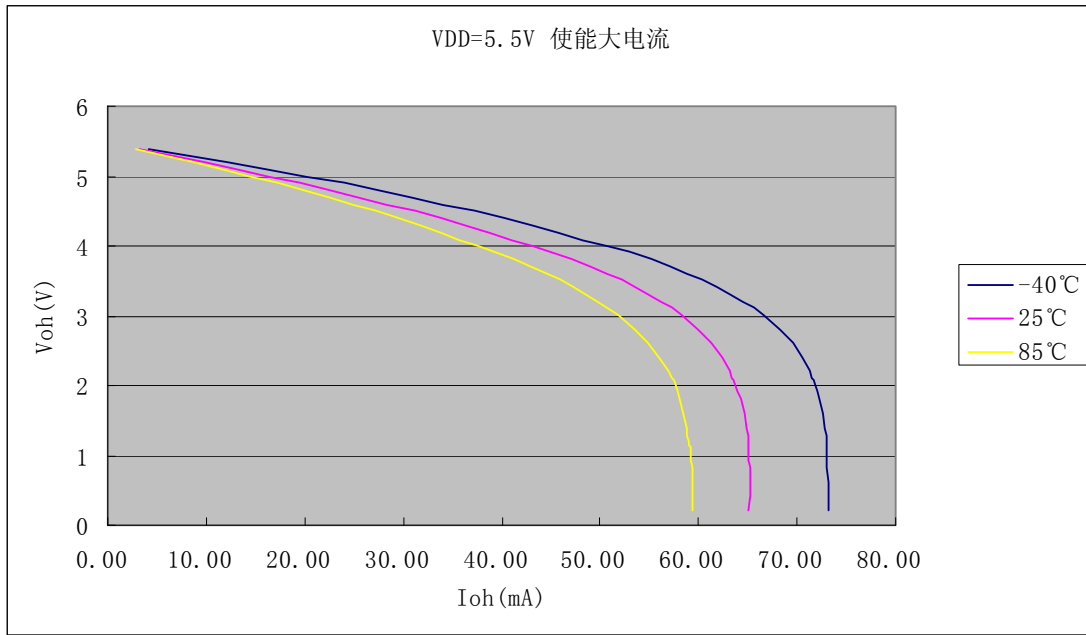
E:  $V_{OH}$  vs  $I_{OH}$  @VDD=5.0V



F:  $V_{OL}$  vs  $I_{OL}$  @VDD=5.0V



G:  $V_{OH}$  vs  $I_{OH}$  @VDD=5.5V



H:  $V_{OL}$  vs  $I_{OL}$  @VDD=5.5V

