

AN-6921

集成的临界模式 PFC / 准谐振 电流模式 PWM 控制器 FAN6921

1. 引言

本应用指南介绍采用飞兆半导体 FAN6921 PFC/PWM 组合控制器的电源系统的实用逐步设计依据，其中结合了临界导通模式 (BCM) 功率因数校正 (PFC) 控制器和准谐振 (QR) PWM 控制器。图1显示的是典型应用电路，其中 BCM PFC 转换器位于前端，准谐振反激式转换器位于后端。

FAN6921 针对 75~200W 应用能以相对较低的成本实现高效率，使采用单开关的 BCM 和 QR 操作具有最佳性能。BCM 升压 PFC 转换器与连续导通模式 (CCM) 升压 PFC 转换器相比

，能以较低成本实现更高效率。该优势主要源于消除了升压二极管的反向恢复损耗，并且升压开关采用了零电压切换 (ZVS) 或接近 ZVS (也称为波谷切换，或谷值切换)。用于 DC-DC 转换的准谐振反激式转换器与具有谷底开关功能的传统硬开关转换器相比，可实现更高效率。

此外，FAN6921 具有可变 PFC 输出电压功能，可通过减少低压线路条件下的 PFC 转换器导通损耗以及 DC-DC 转换器级开关损耗而提高整体效率。

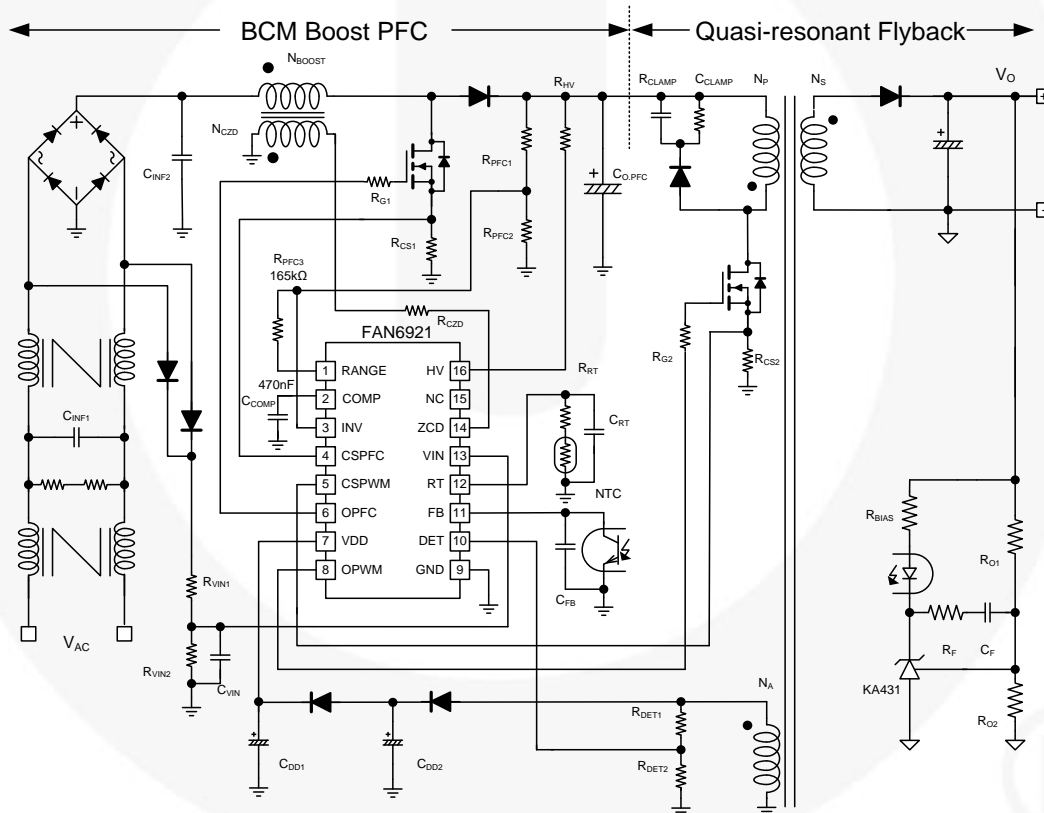


图1. 典型应用电路

2. BCM升压PFC转换器的工作原理

对于升压转换器而言，最常用的工作模式为连续导电模式（CCM）和临界导电模式（BCM）。这些参照流经升压转换器储能电感的电流，如图2中所示。顾名思义，在CCM模式下电感电流为连续，但是在BCM模式下，新的开关周期起始于电感电流回零时刻，处于连续导通和断续导通工作模式的临界状态。即使BCM工作下电感和功率开关具有较高的电流有效值，但是BCM能够允许MOSFET和二极管具有较好的开关条件。如图2所示，消除了二极管反向恢复，且无需使用快速碳化硅（SiC）二极管。MOSFET同样以零电流导通，可减少开关损耗。

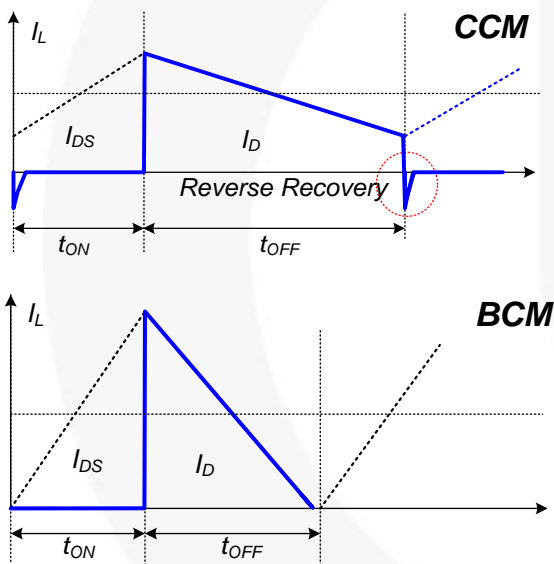
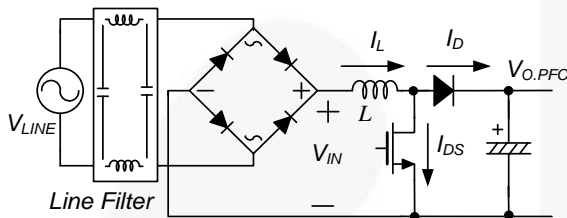


图2.CCM与 BCM控制

BCM PFC基本概念是在每个转换周期电感电流从零开始，如图3所示。当升压转换器的功率晶体管导通时间固定时，电感电流峰值与输入电压成正比例。由于电流波形为三角波，每个开关周期内的电流平均值也与输入电压成正比。在正弦电压输入情况下，该转换器的输入电流会高精度地跟随输入电压波形，从电源汲取出一个正弦电流波形。该性能使得工作在BCM模式下的升压转换器成为功率因数校正的理想备选方案。

BCM的副特性是升压转换器的开关频率会发生变化，而且主要依赖于所定的输出电压、输入电压瞬态值、升压电感的感值以及传输至负载侧的输出功率。当输入电流

遵循正弦输入电压波形时工作频率改变，如图3中所示。最低频率出现在正弦输入电压峰值处。

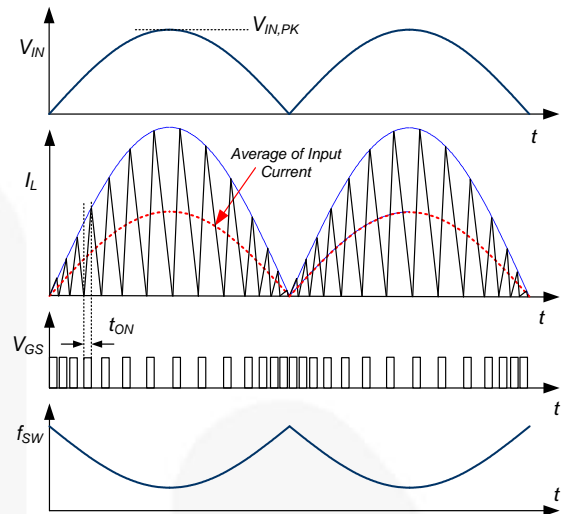


图3.BCM PFC的工作波形

升压电感的电压-秒平衡方程为：

$$V_{IN}(t) \cdot t_{ON} = (V_{O.PFC} - V_{IN}(t)) \cdot t_{OFF} \quad (1)$$

式中， $V_{IN}(t)$ 表示整流器后电源电压。

可得BCM升压PFC转换器的开关频率为：

$$\begin{aligned} f_{SW} &= \frac{1}{t_{ON} + t_{OFF}} = \frac{1}{t_{ON}} \cdot \frac{V_{O.PFC} - V_{IN}(t)}{V_{OUT}} \\ &= \frac{1}{t_{ON}} \cdot \frac{V_{O.PFC} - V_{IN.PK} \cdot |\sin(2\pi f_{LINE}t)|}{V_{O.PFC}} \end{aligned} \quad (2)$$

其中 $V_{IN.PK}$ 是线路电压的振幅， f_{LINE} 是线路频率。

图4显示的是MOSFET导通时间和开关频率如何随输出功率增大而变化。当负载减小时，如图4右侧所示，电感电流峰值随着MOSFET接通时间的减少而减小，同时开关频率增加。

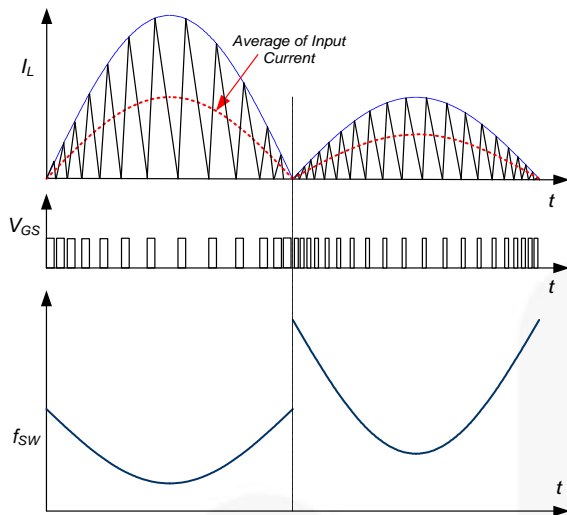


图4.BCM PFC的频率变化

由于具有可变开关频率的BCM PFC转换器的线路滤波器和电感设计应在最小频率条件下完成，因此检查BCM PFC转换器的最小频率如何随工作条件而变化是很有必要的。

图5显示的是最小开关频率，它出现在峰值电路电压时，是针对不同输出电压设置的线路电压有效值的函数。对于通用线路应用而言，只要输出电压低于约405V，最小开关频率就会出现在高压线路(265V_{AC})上。

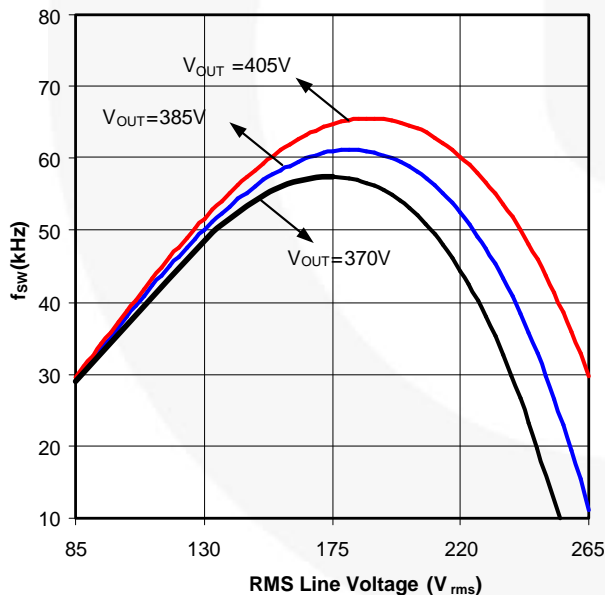


图5.最小开关频率与有效线路电压 (L = 780μH, P_{OUT} = 100W)

3. 准谐振反激式转换器的工作原理

准谐振反激式转换器拓扑可从传统方波脉冲宽度调制 (PWM) 反激式转换器获取，无需添加额外元器件。图6和图7显示的是准谐振反激式转换器的简化电路图及其典型波形。基本工作原理如下：

- 在MOSFET导通时间 (t_{on}) 内，输入电压 (V_{in}) 施加在整个初级端电感 (L_m) 上。MOSFET 电流 (I_{DS}) 由零至峰值 (I_{pk}) 线性上升。在此期间，电能从输入获取并存储在电感中。
- MOSFET关断时，电感中存储的电能使整流二极管 (D) 强制处于导通状态。在二极管导通时间 (t_o) 内，输出电压 (V_o) 施加在整个次级端电感上，二极管电流 (I_D) 从峰值线性下降到零。在 t_o 结束时，存储在电感中的所有电能都会被传递到输出端。在此期间，输出电压反映到初级端，即 $V_o \times N_p/N_s$ 。随后，输入电压 (V_{in}) 和输出反射电压 ($V_o \times N_p/N_s$) 之和施加到整个MOSFET上。
- 二极管电流达到零时，漏极至源极电压 (V_{DS}) 开始以初级端电感 (L_m) 和MOSFET输出电容 (C_{oss}) 之间的谐振频率振荡，幅度为 $V_o \times N_p/N_s$ ，失调电压为 V_{in} ，如图7所示。当 V_{DS} 达到其最小值时，通过使MOSFET导通便可实现准谐振开关。这样就降低了由MOSFET 的漏极-源极之间电容负荷引起的开通损耗。

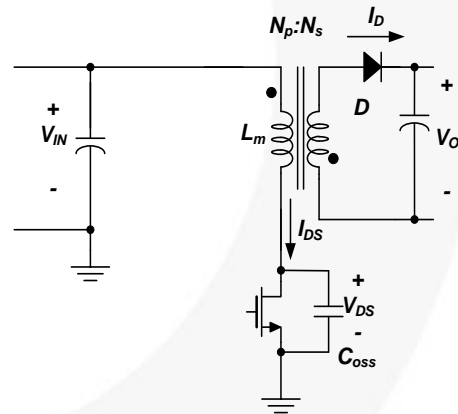


图6.准谐振反激式转换器原理图

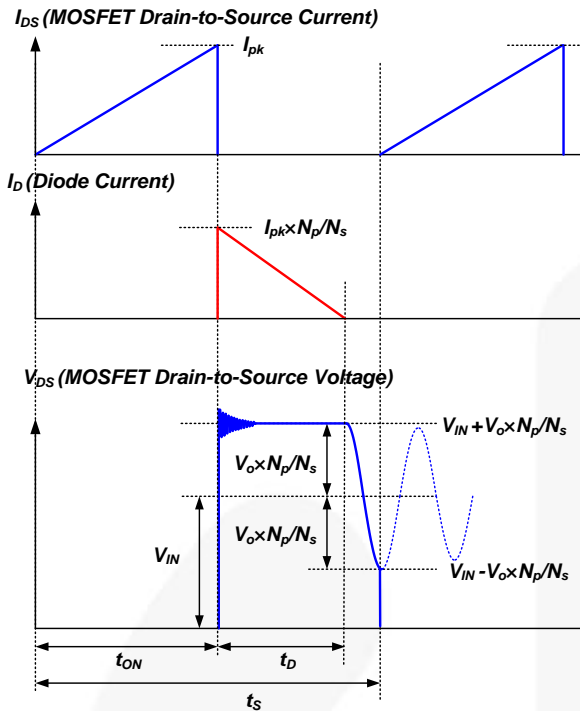


图7.准谐振反激式转换器的典型波形

4. 设计考量

此设计步骤使用图1中的原理图作为参考。选用带通用输入范围的90W PFC应用作为设计示例。设计指标如下：

- 线路电压范围：90~264V_{AC} (60Hz)
- DC-DC转换器输出：19V/4.7A (90W)
- PFC输出电压（高压线路）：400V ($V_{O,PFC,H}$)
- PFC输出电压（低压线路）：260V ($V_{O,PFC,L}$)
- 最小PFC开关频率：> 50kHz
- 掉电保护线路电压：70V_{AC}
- 输出过压保护跳变点：22.5V
- 总体效率：90%
(PFC级：95%，DC-DC级：95%)

部件 A. PFC 环节

[STEP-A1] 升压电感的设计

升压电感的感值决定于输出功率和最低开关频率。根据式2，在给定电源电压和MOSFET导通时间情况下，最低开关频率为：

$$f_{SW,MIN} = \frac{1}{t_{ON}} \cdot \frac{V_{O,PFC} - \sqrt{2}V_{LINE}}{V_{O,PFC}} \quad (3)$$

其中：

- V_{LINE} 是RMS线路电压；
- t_{ON} 是MOSFET导通时间；
- $V_{O,PFC}$ 是PFC输出电压。

在标称输出功率和给定电源电压情况下，MOSFET导通时间为

$$t_{ON} = \frac{2 \cdot P_{O,PFC} \cdot L}{\eta \cdot V_{LINE}^2} \quad (4)$$

其中：指整机效率；

η

L 指升压电感。

P_{OUT} 是额定输出功率。

采用式4，则式3的最低开关频率为：

$$f_{SW,MIN} = \frac{\eta \cdot V_{LINE}^2}{2 \cdot P_{OUT} \cdot L} \cdot \frac{V_{O,PFC} - \sqrt{2}V_{LINE}}{V_{O,PFC}} \quad (5)$$

由于只要PFC输出电压低于405V（如图5中所示），高压输入下就会出现最小开关频率，因此设定输出电压和最小开关频率后，电感值可由下式给出：

$$L = \frac{\eta \cdot (V_{LINE,MAX})^2}{2 \cdot P_{OUT} \cdot f_{SW,MIN}} \cdot \frac{V_{O,PFC} - \sqrt{2}V_{LINE,MAX}}{V_{O,PFC}} \quad (6)$$

其中 $V_{LINE,MAX}$ 是最大线路电压。

随着最低开关频率的下降，开关损耗逐渐降低，但是电感尺寸和电源滤波器尺寸将增大。因此，最低开关频率应该取决于效率与磁芯原件尺寸之间的折衷。最小开关频率必须高于20kHz，以避免声频噪声。

一旦电感值确定，低压线路电压条件和标称输出功率下的最大峰值电感电流就可由下式获得：

$$I_{L,PK} = \frac{2\sqrt{2} \cdot P_{OUT}}{\eta \cdot V_{LINE,MIN}} \quad (7)$$

其中， $V_{LINE,MIN}$ 是最小线路电压。

由于最大导通时间内部限定在20 μ s，因此根据下式它应小于20 μ s：

$$t_{ON}^{MAX} = \frac{2 \cdot P_{OUT} \cdot L}{\eta \cdot V_{LINE,MIN}^2} < 20\mu s \quad (8)$$

升压电感匝数的确定应该考虑磁芯的饱和问题。最小匝数为：

$$N_{BOOST} \geq \frac{I_{L,PK} \cdot L}{A_e \cdot \Delta B} \quad (9)$$

其中 A_e 是磁心横截面积， ΔB 是磁心最大通量摆幅（单位：特斯拉）。 ΔB 应设为低于饱和磁通密度。

(设计示例) 由于高压线路的输出电压为400V, 而低压线路时的输出电压为260V, 因此最小频率发生在高压线路(264V_{AC})和满载条件下。假设总体效率为90%且选择的最小频率为58kHz, 那么电感值可由下式获得:

$$L = \frac{\eta \cdot V_{LINE,MAX}^2}{2 \cdot P_{OUT} \cdot f_{SW,MIN}} \cdot \frac{V_{O,PFC,H} - \sqrt{2}V_{LINE,MAX}}{V_{O,PFC,H}}$$

$$= \frac{0.9 \cdot 264^2}{2 \cdot 90 \cdot 58 \times 10^3} \cdot \frac{400 - \sqrt{2} \cdot 264}{400} = 400 \mu H$$

在标称输出功率时, 最大峰值电感电流可由下式计算得出:

$$I_{L,PK} = \frac{2\sqrt{2} \cdot P_{OUT}}{\eta \cdot V_{LINE,MIN}} = \frac{2\sqrt{2} \cdot 90}{0.9 \cdot 90} = 3.14 A$$

$$t_{ON}^{MAX} = \frac{2 \cdot P_{OUT} \cdot L}{\eta \cdot V_{LINE,MIN}^2} = \frac{2 \cdot 90 \cdot 400 \times 10^{-6}}{0.9 \cdot 90^2} = 9.87 \mu s < 20 \mu s$$

假设使用了RM10磁芯(PC40, A_e=98mm²), 并将ΔB设为0.23T, 那么初级绕组应当为:

$$N_{BOOST} \geq \frac{I_{L,PK} \cdot L}{A_e \cdot \Delta B} = \frac{3.14 \cdot 400 \times 10^{-6}}{98 \times 10^{-6} \cdot 0.23} = 55.7 \text{ turns}$$

因此, 升压电感匝数(N_{BOOST})确定为60。

[步骤-A2] 辅助绕组设计

图9显示的是用于PFC的零电流检测(ZCD)内部模块。FAN6921利用升压电感的辅助绕组可间接检测电感零电流时刻。

辅助绕组的设计应该确保: 当升压开关关断时, ZCD引脚的电压升高并超过2.1V, 这样才能触发内部比较器:

$$\frac{N_{ZCD}}{N_{BOOST}} (V_{O,PFC,H} - \sqrt{2}V_{LINE,MAX}) > 2.1V \quad (10)$$

其中, V_{O,PFC,H}是高压线路条件下的PFC输出电压。

ZCD引脚的箝位电压上限与下限分别为10V和0.65V。ZCD引脚电压箝位在0.65V时, 最大拉电流为1.5mA, 因此电阻R_{ZCD}的设计为在最差情况下将ZCD引脚的电流限制在1.5mA以内:

$$R_{ZCD} > \frac{V_{IN}}{1.5mA} \cdot \frac{N_{AUX}}{N_{BOOST}} = \frac{\sqrt{2}V_{LINE,MAX}}{1.5mA} \cdot \frac{N_{AUX}}{N_{BOOST}} \quad (11)$$

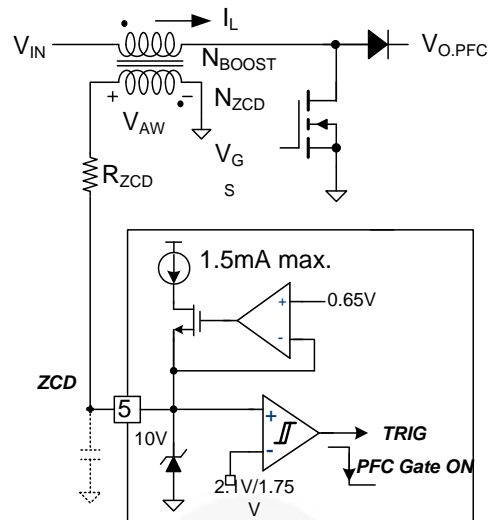


图8.ZCD的内部电路

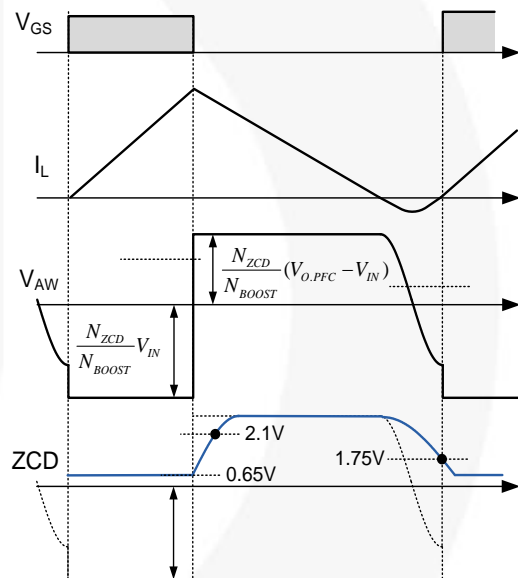


图9. ZCD波形

(设计示例) ZCD辅助绕组的匝数可由下式获得:

$$N_{ZCD} > \frac{2.1N_{BOOST}}{(V_{O,PFC,H} - \sqrt{2}V_{LINE,MAX})} = 4.7 \text{ turns}$$

留有裕量的情况下, N_{AUX}确定为8匝。

然后, 选取R_{ZCD}为:

$$R_{ZCD} > \frac{\sqrt{2}V_{LINE,MAX}}{1.5mA} \cdot \frac{N_{ZCD}}{N_{BOOST}} = \frac{\sqrt{2} \cdot 265}{1.5 \times 10^{-3}} \cdot \frac{8}{60} = 33k\Omega$$

如68kΩ。

[步骤-A3]设计 V_{IN} 和 $V_{O,PFC}$ 感测电路

FAN6921使用图10中所示的平均电路感测线路电压，其中 V_{IN} 引脚通过分压器和低通滤波器电容连接到交流线路。 V_{IN} 引脚电压降至1V以下时，COMP引脚箝位在1.6V以限制电能输出。然后， $V_{O,PFC}$ 随INV引脚电压而下降。INV引脚电压降至1.2V以下时，会触发掉电保护，从而终止PFC和DC-DC的栅极驱动信号。 V_{O} 降至关断阈值（UVLO阈值）以下时，会复位该保护功能。如果 V_{O} 在降至关断阈值以下后又上升到导通电压，FAN6921会恢复正常工作（如果 V_{VIN} 高于1.3V）。

欠压保护电平确定公式为：

$$V_{LINE.BO} = \frac{\pi}{2\sqrt{2}} \cdot \frac{R_{VIN1} + R_{VIN2}}{R_{VIN2}} \quad (12)$$

允许PFC启动的最小电源电压给定公式为：

$$V_{LINE.STR} = 1.3 \cdot V_{LINE.BO} \quad (13)$$

FAN6921提供可变输出电压功能，可在低压线路条件下降低PFC输出电压。 V_{IN} 引脚电压高于2.45V时，内部开关 Q_R 会开启，分压器中电阻较低的 R_{PFC2} 会与 R_{PFC3} 并联。那么，高压线路的PFC输出电压可由下式给出：

$$V_{O,PFC.H} = 2.5 \cdot \left(\frac{R_{PFC1}}{R_{PFC2} // R_{PFC3}} + 1 \right) \quad (14)$$

V_{IN} 引脚电压低于2.1V时，分压器中电阻较低的 R_{PFC2} 不会与 R_{PFC3} 并联连接。那么，低压线路的PFC输出电压可由下式给出：

$$V_{O,PFC.L} = 2.5 \cdot \left(\frac{R_{PFC1}}{R_{PFC2}} + 1 \right) \quad (15)$$

标称PFC输出电压和下降后的PFC输出电压之比可由下式近似得出：

$$\frac{V_{O,PFC.H}}{V_{O,PFC.L}} \cong \frac{R_{PFC2}}{R_{PFC3}} + 1 \quad (16)$$

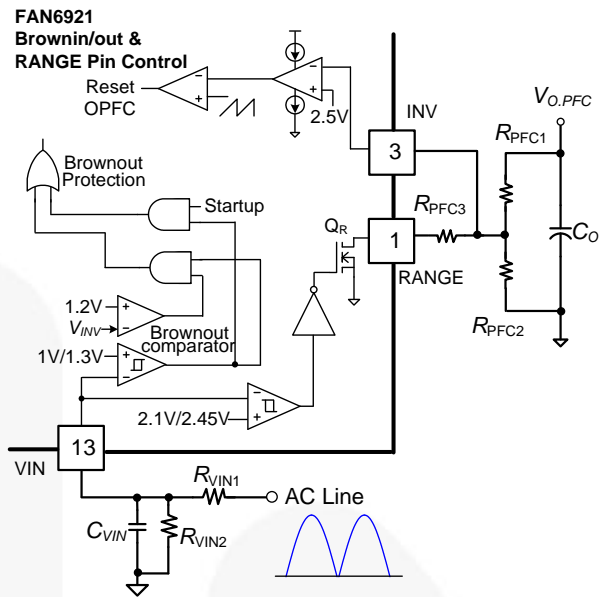


图10. V_{IN} 感测内部模块

（设计示例）掉电保护跳变点设为 $69V_{AC}$ ：

$$\frac{R_{VIN1} + R_{VIN2}}{R_{VIN2}} = V_{LINE.BO} \cdot \frac{2\sqrt{2}}{\pi} = 62$$

确定 R_{VIN2} 为 $154k\Omega$ ， R_{VIN1} 为 $9.4M\Omega$ 。

启动PFC的线路电压可由下式获得：

$$V_{LINE.STR} = 1.3 \cdot V_{LINE.BO} = 90V_{AC}$$

要在高压线路条件下将PFC输出电压调节为 $400V$ ：

$$V_{O,PFC} = 2.5 \cdot \left(\frac{R_{PFC1}}{R_{PFC2} // R_{PFC3}} + 1 \right) = 400$$

选择 $R_{PFC1} = 9.4M\Omega$ ：

$$R_{PFC2} // R_{PFC3} = \frac{9.4M\Omega}{\left(\frac{400}{2.5} - 1\right)} = 59.1k\Omega$$

要在低压线路条件下将PFC输出电压调节为 $260V$ ：

$$\frac{V_{O,PFC.H}}{V_{O,PFC.L}} = \frac{400}{260} \cong \frac{R_{PFC2}}{R_{PFC3}} + 1$$

选择 $R_{PFC2} = 165k\Omega$ ：

$$R_{PFC3} = \left(\frac{400}{260} - 1 \right) R_{PFC2} = 89k\Omega$$

因此 R_{PFC1} 、 R_{PFC2} 和 R_{PFC3} 从现成元件中选取，分别为 $9.4M\Omega$ 、 $91k\Omega$ 和 $165k\Omega$ 。

[STEP-A4] PFC 的电流感测电阻

FAN6921具有逐脉冲限流功能。通常将逐脉冲限流值设为高于最大电感电流的20~30%:

$$R_{CS1} = \frac{0.85}{I_{L,PK} (1 + K_{MARGIN})} \quad (17)$$

其中, K_{MARGIN} 是裕量系数, 0.85V是逐脉冲限流阈值。

(设计示例) 选择裕量系数为35%, 则感测电阻可选为:

$$R_{CS1} = \frac{0.85}{I_{L,PK} (1 + K_{MARGIN})} = \frac{0.85}{3.14(1 + 0.35)} = 0.2\Omega$$

[步骤-A5] 输出电容选型

对于保持时间内给定的最小PFC输出电压, PFC输出电容可由下式获得:

$$C_{O,PFC} > \frac{2P_{OUT} \cdot t_{HOLD}}{V_{O,PFC,L}^2 - V_{O,PFC,HLD}^2} \quad (18)$$

其中:

P_{OUT} 是总标称输出功率;

t_{HOLD} 是所需的保持时间; 而

$V_{O,PFC,HLD}$ 是保持时间内允许的最小输出电压。

通常对400V PFC输出使用每1W输出功率0.5~1 μ F的PFC输出电容。同时, 对于可变输出PFC使用每1W输出功率1 μ F左右是合理的, 因为在保持时间内压降大于400V输出。

(设计示例) 假设保持时间内的最小允许PFC输出电压为160V, 则电容应为:

$$C_{O,PFC} > \frac{2P_{OUT} \cdot t_{HOLD}}{V_{O,PFC,H}^2 - V_{O,PFC,HLD}^2} = \frac{2 \cdot 90 \cdot 20 \times 10^{-3}}{258^2 - 160^2} = 88\mu F$$

选择100 μ F电容作为输出电容。保持时间内的最小PFC输出电压为:

$$\begin{aligned} V_{O,PFC,HOLD} &= \sqrt{V_{OUT}^2 - \frac{2P_{OUT} \cdot t_{HOLD}}{C_{OUT}}} \\ &= \sqrt{258^2 - \frac{2 \cdot 90 \cdot 20 \times 10^{-3}}{100 \times 10^{-6}}} = 175V \end{aligned}$$

[步骤-A6] 设计补偿网络

对于PFC应用, 反馈环路带宽必须低于20Hz。如果带宽高于20Hz, 则控制环路会尝试减少输出电压的120Hz纹波且线路电流会失真, 从而使功率因数降低。COMP与GND之间连接的电容可以将电源频率的纹波电压衰减40dB。如果在误差放大器输出端与GND之间连接一个电容, 则误差放大器成为积分器, 误差放大器的补偿电容计算公式为:

$$C_{COMP} > \frac{100 \cdot g_M}{2\pi \cdot 2f_{LINE}} \cdot \frac{2.5}{V_{O,PFC,H}} \quad (19)$$

为了提高功率因数, C_{COMP} 必须高于计算值。但是, 如果取值过大, 输出电压控制环路的速率将变得很慢。

(设计实例)

$$\begin{aligned} C_{COMP} &> \frac{100 \cdot g_M}{2\pi \cdot 2f_{LINE}} \cdot \frac{2.5}{V_{O,PFC,H}} \\ &= \frac{100 \cdot 125 \times 10^{-6}}{2\pi \cdot 2 \cdot 60} \cdot \frac{2.5}{400} = 103nF \end{aligned}$$

选择补偿电容为470nF, 可以获得较高的功率因数。

部件 B. DC/DC 环节

[步骤-B1] 确定输出反射电压 (V_{RO})

图11 显示的是准谐振反激式转换器的典型工作波形。MOSFET 关断时，输入电压（即PFC输出电压）以及反射到初级端的输出电压 (V_{RO}) 会施加在MOSFET上。MOSFET 导通时，反射到次级端的输入电压以及输出电压之和会施加在整个二极管上。因此，MOSFET (V_{DS}^{nom}) 和二极管的 最大标称电压为：

$$V_{DS}^{nom} = V_{O.PFC.H} + n(V_O + V_F) = V_{O.PFC.H} + V_{RO} \quad (20)$$

其中：

$$n = \frac{V_{RO}}{V_O + V_F}$$

$$V_D^{nom} = V_O + \frac{V_{O.PFC.H}}{n} = V_O + \frac{V_{O.PFC.H}}{V_{RO}} (V_O + V_F) \quad (21)$$

通过增大 V_{RO} （即：匝数比 n ），可以减少MOSFET的容性开关损耗和导通损耗。同时还能降低次级端整流二极管的电压应力。但是，这样做会增加MOSFET上的电压应力。因此，确定 V_{RO} 时，应在MOSFET的电压应力和二极管的电压应力之间作出权衡。通常将 V_{RO} 设为 V_{DS}^{norm} 和 V_D^{nom} 能达到其电压额定值的75~85%。

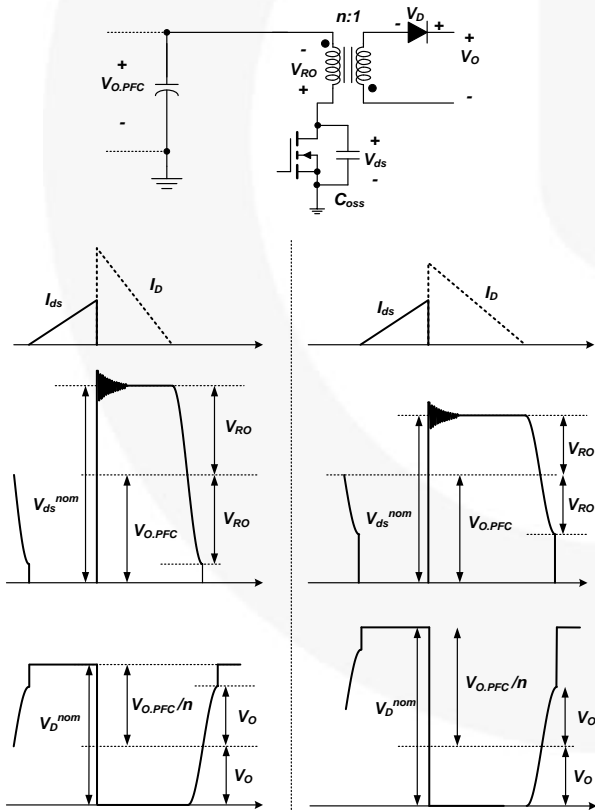


图11. 准谐振反激转换器的典型波形

(设计示例) 假设初级端和次级端分别使用650V MOSFET和100V MOSFET，并留有18%电压裕量：

$$0.82 \cdot 650V > V_{DS}^{nom} = V_{O.PFC} + V_{RO}$$

$$\therefore V_{RO} < 0.82 \cdot 650 - V_{O.PFC} = 133V$$

$$0.82 \cdot 100 > V_D^{nom} = V_O + \frac{V_{O.PFC}}{V_{RO}} (V_O + V_F)$$

$$\therefore V_{RO} > V_D^{nom} = \frac{V_{O.PFC}}{0.82 \cdot 100 - V_O} (V_O + V_F) = 121V$$

V_{RO} 确定为130V。

[步骤-B2] 变压器设计

图12显示的是准谐振转换器的典型开关时序。MOSFET 导通时间 (t_{on})、二极管导通时间 (t_D)、漏极电压下降时间 (t_r) 之和构成了开关周期 (t_s)。为了确定初级电感 (L_m)，应首先确定以下参数：

最低开关频率 ($f_{S,QR}^{min}$)

最小开关频率出现在最小输入电压和满载条件下，该频率应当高于20kHz，避免声频噪声。通过增加 $f_{S,QR}^{min}$ ，可缩小变压器尺寸。但这会导致增大开关损耗。通过增加 $f_{S,QR}^{min}$ ，可以减少变压器尺寸。通常将 $f_{S,QR}^{min}$ 设为50kHz左右。

MOSFET 漏极电压的下降时间 (t_r)

如图12中所示，MOSFET漏极电压下降时间为MOSFET有效输出电容和初级端电感谐振周期的一半。 t_r 的典型值为0.6~1.2 μ s。

MOSFET非导通时间 (t_{off}) FAN6921的MOSFET最小非导通时间为(8 μ s)，在此期间不可导通MOSFET。为了最大化提升效率，在重载条件下，有必要在漏极-源极电压出现的第一个波谷时就开通MOSFET。因此，重载条件下MOSFET非导通时间应大于8 μ s。

确定 $f_{S,QR}^{min}$ 和 t_r 之后，最大占空比可由下式计算得出：

$$D_{max} = \frac{V_{RO}}{V_{RO} + V_{O.PFC.L}} \cdot (1 - f_{S,QR}^{min} \cdot t_r) \quad (22)$$

接着，可得初级电感为：

$$L_m = \frac{\eta_{QR} \cdot (V_{O.PFC.L} \cdot D_{max})^2}{2 \cdot f_{S,QR}^{min} P_{OUT}} \quad (23)$$

一旦 L_m 确定完成，可得在常规工作条件下最大峰值电流和MOSFET有效值电流分别为：

$$I_{DS}^{PK} = \frac{V_{O.PFC.L} \cdot D_{max}}{L_m f_{S,QR}^{min}} \quad (24)$$

$$I_{DS}^{RMS} = I_{DS}^{PK} \sqrt{\frac{D_{max}}{3}} \quad (25)$$

在重载和低电源电压下，MOSFET 的关断时间为：

$$t_{OFF.L} = \frac{(1-D_{max})}{f_{S.QR}^{min}} \quad (26)$$

重负载和高压线路条件下的MOSFET非导通时间可由下式获得：

$$t_{OFF.H} = t_{OFF.L} \cdot \frac{V_{O.PFC.L}}{V_{O.PFC.H}} \cdot \frac{V_{O.PFC.H} + V_{RO}}{V_{O.PFC.L} + V_{RO}} \quad (27)$$

为了确保在高压线路和重负载条件下实现首次谷底开关， $t_{OFF.H}$ 应当大于 $8\mu s$ 。

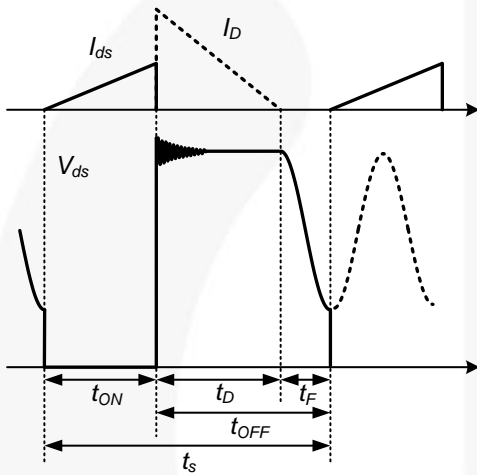


图 12. 准谐振反激转换器的开关时序

在设计变压器时，应该考虑到正常工作时的最大磁通密度摆幅(B)以及瞬态时的最大磁通密度摆幅(B_{max})。正常工作时的最大磁通密度摆幅与磁芯的磁滞损耗有关，瞬态时的最大磁通密度摆幅与磁芯饱和有关。

变压器初级端的最小匝数（为避免磁心过热）由下式给出：

$$N_p^{min} = \frac{L_m I_{DS}^{PK}}{A_e \Delta B} \quad (28)$$

式中， B 指最大磁通密度摆幅，单位为T（特斯拉）。如果没有参考数据，请使用 $B=0.25\sim 0.30T$ 。

一旦确定初级端的最小匝数，则计算 N 的正确整数，使得到的 N_p 大于 N_p^{min} ：

$$N_p = n \cdot N_s > N_p^{min} \quad (29)$$

V_{DD} 辅助绕组的匝数为：

$$N_{AUX} = \frac{V_{DD}^{nom} + V_{FA}}{(V_O + V_F)} \cdot N_s \quad (30)$$

其中， V_{DD}^{nom} 是 V_{DD} 电压标称值，其典型值为18V； V_{FA} 是 V_{DD} 二极管的正向压降。

一旦初级绕组的匝数确定完成，应该校验漏极电流达到其逐脉冲限流限值时的最大磁通密度，确保在瞬态或故障条件下变压器不出现饱和。

当漏极电流达到 I_{LIM} 时的最大磁通密度(B_{max})为□

$$B_{max} = \frac{L_m I_{LIM}}{A_e N_p} < B_{sat} \quad (31)$$

B_{max} 应当低于饱和磁通密度。如果没有参考数据，请使用 $B_{sat}=0.35\sim 0.40T$ 。

(设计示例) 最小频率设置为52kHz，下降时间为 $0.8\mu s$ ：

$$\begin{aligned} D_{max} &= \frac{V_{RO}}{V_{RO} + V_{O.PFC.L}} \cdot (1 - f_{S.QR}^{min} \cdot t_F) \\ &= \frac{130}{130 + 260} \cdot (1 - 52 \times 10^3 \cdot 0.8 \times 10^{-6}) = 0.319 \end{aligned}$$

$$\begin{aligned} L_m &= \frac{\eta_{QR} \cdot (V_{O.PFC.L} \cdot D_{max})^2}{2 \cdot f_{S.QR}^{min} P_O} \\ &= \frac{0.95 \cdot (260 \cdot 0.319)^2}{2 \cdot 52 \times 10^3 \cdot 90} = 700 \mu H \end{aligned}$$

$$I_{DS}^{PK} = \frac{260 \cdot 0.319}{700 \times 10^{-6} \cdot 52 \times 10^3} = 2.28 A$$

$$t_{OFF.L} = \frac{(1 - D_{max})}{f_{S.DD}} = \frac{1 - 0.319}{52 \times 10^3} = 13 \mu s$$

$$\begin{aligned} t_{OFF.H} &= t_{OFF.L} \cdot \frac{V_{O.PFC.L}}{V_{O.PFC.H}} \cdot \frac{V_{O.PFC.H} + V_{RO}}{V_{O.PFC.L} + V_{RO}} \\ &= 13 \mu s \cdot \frac{260}{400} \cdot \frac{400 + 130}{260 + 130} = 11.48 \mu s > 8 \mu s \end{aligned}$$

假定使用POT3319 ($A_e=159mm^2$)磁芯，通量振幅为 $0.26T$

$$N_p^{min} = \frac{L_m I_{DS}^{PK}}{A_e \Delta B} = \frac{700 \times 10^{-6} \cdot 2.28}{159 \times 10^{-6} \cdot 0.26} = 38.6$$

$$\begin{aligned} N_p &= n \cdot N_s = 6.84 \cdot 5 = 34 < N_p^{min} \\ &= n \cdot N_s = 6.84 \cdot 6 = 41 > N_p^{min} \end{aligned}$$

$$N_{AUX} = \frac{V_{DD}^{nom} + V_{FA}}{(V_O + V_F)} \cdot N_s = \frac{18 + 1.2}{19} \cdot 6 = 6$$

重负载条件下，假设低PFC输出电压下的逐脉冲限流为峰值漏极电流的125%：

$$B_{\max} = \frac{L_m I_{LIM}}{A_e N_p} = \frac{700 \cdot 2.28 \cdot 1.25}{159 \cdot 41} = 0.31T$$

[步骤-B3]设计谷底检测电路

通过监控流过DET引脚的电流，可以检测MOSFET的谷底电压。典型应用电路如图13和所示，典型波形如图14所示。DET引脚的箝位电压上限和下限分别为5V和0.7V。MOSFET关断后，谷底检测电路消隐8μs。V_{AUX}降至零以下时，V_{DET}会箝位在0.7V，电流流出DET引脚。一旦流出DET引脚的电流超过30μA，MOSFET便会以200ns延迟导通。为了保证谷底检测电路在DET引脚箝位在0.7V时触发，流过R_{DET2}的电流应当大于30μA：

$$\frac{0.7}{R_{DET2}} > 30\mu A \tag{32}$$

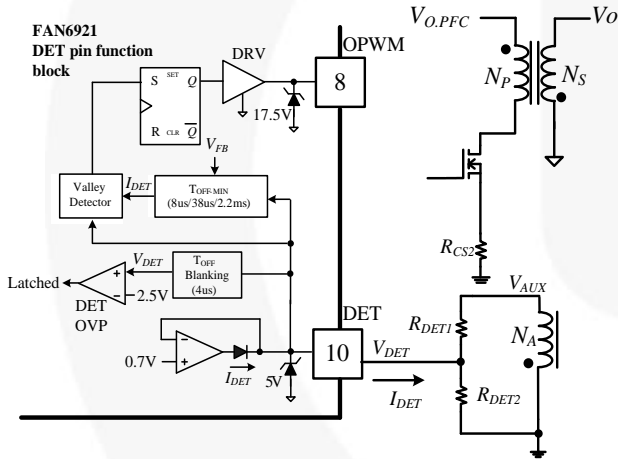


图13. DET引脚的典型应用电路

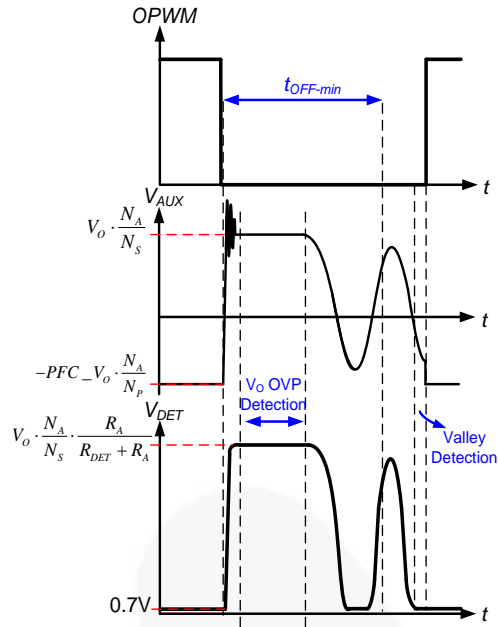


图14. 谷底检测和 V₀ OVP检测波形

在MOSFET关断时，针对过压保护可采用DET 引脚的电压间接监控输出电压。因此，R_{DET1}和R_{DET2}之比应当由下式确定：

$$2.5 = \frac{R_{DET2}}{R_{DET1} + R_{DET2}} \cdot \frac{N_A}{N_S} V_{OVP} = \frac{1}{K_{DET} + 1} \cdot \frac{N_A}{N_S} V_{OVP} \tag{33}$$

其中，R_{DET1}和R_{DET2}之比由下式获得：

$$K_{DET} = \frac{R_{DET1}}{R_{DET2}} = \frac{N_A}{N_S} \cdot \frac{V_{OVP}}{2.5} - 1 \tag{34}$$

对于准谐振反激转换器，在给定输出功率时峰值-漏极电流随着输入电压的增加而下降。结果，采用阈值恒定的逐脉冲限流法并不能实现恒定功率限制。FAN6921具有高/低线路过功率补偿功能，能够随输入电压的增大而降低逐脉冲限流限值。当MOSFET 导通时，FAN6921采用流出DET 引脚的电流来检测输入电压。逐脉冲限流电平与 图16中显示了DET电流。

对于低压线路与高压线路PFC输出电压，DET引脚的电流由下式给出：

$$I_{DET.L} = \frac{V_{O.PFC.L} \frac{N_A}{N_P} + 0.7}{R_{DET1}} + \frac{0.7}{R_{DET2}} \cong \frac{V_{O.PFC.L} \frac{N_A}{N_P}}{R_{DET1}} \tag{35}$$

$$I_{DET.H} = \frac{V_{O.PFC.H} \frac{N_A}{N_P} + 0.7}{R_{DET1}} + \frac{0.7}{R_{DET2}} \cong \frac{V_{O.PFC.H} \frac{N_A}{N_P}}{R_{DET1}} \tag{36}$$

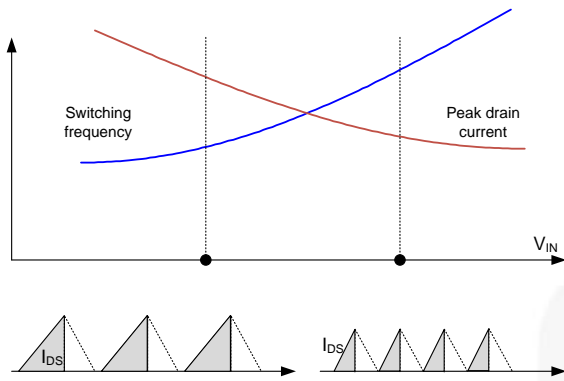


图 15. 开关频率与峰值漏极电流随输入电压增大而变化

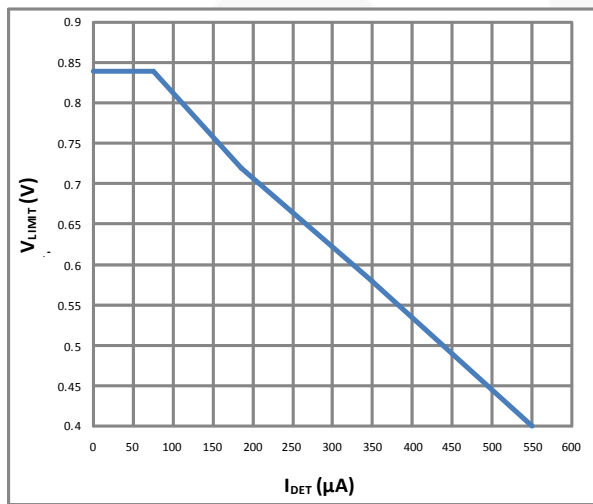


图 16. I_{DET} - V_{LIMIT} 曲线

I_{DET} 与 V_{LIMIT} 的关系 ($I_{DET}=100\sim 500\mu A$ 线性区间内)可近似表示为:

$$V_{LIMIT} = -877 \cdot I_{DET} + 0.882 \quad (37)$$

对于给定的输出功率, 低压线路和高压线路漏极峰值电流之比由下式获得:

$$\frac{I_{DS}^{PK.L}}{I_{DS}^{PK.H}} = \frac{V_{O.PFC.H}}{V_{O.PFC.L}} \cdot \frac{V_{O.PFC.L} + V_{RO}}{V_{O.PFC.H} + V_{RO}} \quad (38)$$

对于给定的输出功率, 在低电源电压与高电源电压时, 逐脉冲限流限值之间的比值为:

$$\frac{V_{LIMIT.L}}{V_{LIMIT.H}} \cong \frac{-994 \cdot V_{O.PFC.L} \frac{N_A}{N_P} + R_{DET1}}{-994 \cdot V_{O.PFC.H} \frac{N_A}{N_P} + R_{DET1}} \quad (39)$$

要实现恒定功率限制, 应确定使等式 (38) 和 (39) 相等的 R_{DET1} 。然而在实际设计中, 考虑到逐脉冲关断延时以及

在低压线路时PFC输出电压纹波的增加, 因此通常选取等式 (38) 的105~120%。

由 R_{DET1} 确定限流阈值电压后, 电流感测电阻值可由下式获得:

$$V_{LIMIT} = -877 \cdot \left(\frac{V_{O.PFC.L} \frac{N_A}{N_P} + 0.7}{R_{DET1}} + \frac{0.7}{R_{DET2}} \right) + 0.882 \quad (40)$$

电流感测电阻值可由下式获得:

$$R_{CS2} = \frac{V_{LIMIT}}{I_{DS}^{LIM}} \quad (41)$$

(设计实例)

$$\frac{0.7}{R_{DET2}} > 30\mu A, \quad R_{DET2} < 23.3k\Omega$$

设置OVP 动作限值为22.5V

$$K_{DET} = \frac{R_{DET1}}{R_{DET2}} = \frac{N_A}{N_S} \cdot \frac{V_{OVP}}{2.5} - 1 = \frac{6}{6} \cdot \frac{22.5}{2.5} - 1 = 8$$

然后 $R_{DET1} = K_{DET} \cdot R_{DET2} < 196k\Omega$

$$\begin{aligned} \frac{I_{DS}^{PK.L}}{I_{DS}^{PK.H}} &= \frac{V_{O.PFC.H}}{V_{O.PFC.L}} \cdot \frac{V_{O.PFC.L} + V_{RO}}{V_{O.PFC.H} + V_{RO}} \\ &= \frac{400}{260} \cdot \frac{260 + 130}{400 + 130} = 1.13 \end{aligned}$$

采用1.13的116%,

$$\frac{V_{LIMIT.L}}{V_{LIMIT.H}} = 1.31 \cong \frac{-994V_{O.PFC.L} \frac{N_A}{N_P} + R_{DET1}}{-994 \cdot V_{O.PFC.H} \frac{N_A}{N_P} + R_{DET1}}$$

$$\begin{aligned} &= \frac{-994 \cdot \frac{260}{6.8} + R_{DET1}}{-994 \cdot \frac{400}{6.8} + R_{DET1}} = \frac{-38,018 + R_{DET1}}{-58,490 + R_{DET1}} \end{aligned}$$

然后, $R_{DET1} = 124.5k\Omega$ 和 $R_{DET2} = 15.6k\Omega$

R_{DET1} 和 R_{DET2} 从现成元件中选取, 分别为120kΩ和15kΩ。

接下来, 可得逐脉冲限流阈值电压为:

$$\begin{aligned} V_{LIMIT} &= -877 \cdot \left(\frac{V_{O.PFC.L} \frac{N_A}{N_P} + 0.7}{R_{DET1}} + \frac{0.7}{R_{DET2}} \right) + 0.882 \\ &= 0.56V \end{aligned}$$

设置低压线路时的限流为 I_{DS}^{PK} 的125%

$$\frac{0.56}{2.28A \times 1.25} = 0.2\Omega$$

[步骤-B4]设计反馈电路

图17是一种典型的反馈电路，主要由分流稳压器和光电耦合器组成。 R_{O1} 和 R_{O2} 形成用于输出电压调节的分压器。为控制环路补偿调节 R_F 和 C_F 。从FB引脚到GND放置的小值RC滤波器（例如 $R_{FB} = 100\Omega$ ， $C_{FB} = 1nF$ ）可大幅提高稳定性。FB引脚的最大源电流大约为1.2mA。该光电晶体管必须能够灌入该电流，才能在空载时拉低FB电平。偏置电阻 R_{BIAS} 的电阻值由下式确定：

$$\frac{V_O - V_{OPD} - V_{KA}}{R_{BIAS}} \cdot CTR > 1.2 \times 10^{-3} \quad (42)$$

其中， V_{OPD} 是光电二极管的压降，数值约为1.2V； V_{KA} 是分流调节器的最小阴极-阳极电压（2.5V）；CTR是光电耦合器的电流转换速率。

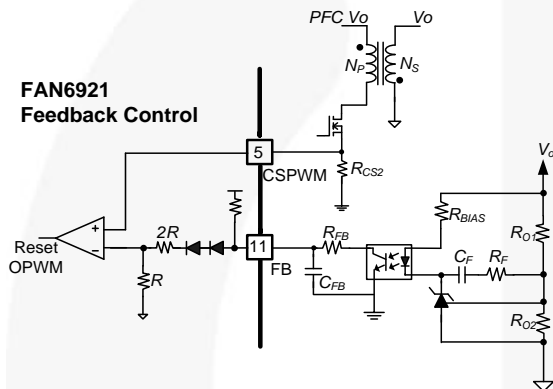


图17. 反馈电路

（设计示例）假设CTR为100%；

$$\frac{V_O - V_{OPD} - V_{KA}}{R_{BIAS}} \cdot CTR > 1.2 \times 10^{-3}$$

$$R_{BIAS} < \frac{V_O - V_{OPD} - V_{KA}}{1.2 \times 10^{-3}} = \frac{19 - 1.2 - 2.5}{1.2 \times 10^{-3}} = 12.75k\Omega$$

选择220Ω电阻作为 R_{BIAS} 。

用于 V_O 感测的电阻分压器选用68kΩ和10kΩ。

[步骤-B5]设计过温保护电路

可调节过温保护(OTP)电路如图18中所示。可以发现，一个恒定电流源(IRT)与RT引脚相连。一旦 V_{RT} 低于0.8V并且持续时间比10ms去抖时间还长，FAN6921便会锁存。 R_{RT} 可由下式确定：

$$0.8V = (R_{RT} + R_{NTC@OT}) \times 100\mu A \quad (43)$$

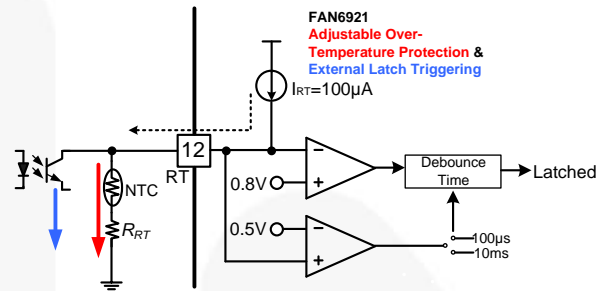


图18. 可调过温保护和外部锁存功能

（设计示例）假设处于过温保护点的NTC电阻为4.3k；

$$R_{RT} = \frac{0.8V}{100\mu A} - 4.3k\Omega = 3.7k\Omega$$

最终设计范例的原理图

本节中对最终设计范例进行了总结。在表1中汇总了关键的系统规格，在表2中汇总了关键的设计参数。最终原理图在图19中。在启动过程中，为了使 V_{DD} 获得足够的保持时间，采用了两级电路。

表1. 系统规格

| 输入 | |
|----------------|-----------------------|
| 输入电压范围 | 90~264V _{AC} |
| 输入频率范围 | 47~63Hz |
| 输出 | |
| 输出电压 (V_o) | 19V |
| 输出功率 (P_o) | 90W |

表2. 主要的设计参数

| PFC电路 | |
|------------------------------|-------------|
| PFC输出电压电平1 ($V_{O,PFC,L}$) | 260V |
| PFC输出电压电平2 ($V_{O,PFC,H}$) | 400V |
| PFC电感 (L_{BOOST}) | 385 μ H |
| PFC电感的匝数 (N_{BOOST}) | 60T |
| ZCD辅助绕组的匝数 (N_{ZCD}) | 8T |
| 最小开关频率 ($f_{s,PFC}^{min}$) | 55kHz |
| PWM电路 | |
| PWM变压器的初级电感器匝数 (N_p) | 41T |
| PWM变压器的辅助绕组匝数 (N_{aux}) | 6T |
| PWM变压器的匝数比 (n) | 6.8 |
| 初级电感器 (L_p) | 700 μ H |
| 最小开关频率 ($f_{s,OR}^{min}$) | 52kHz |

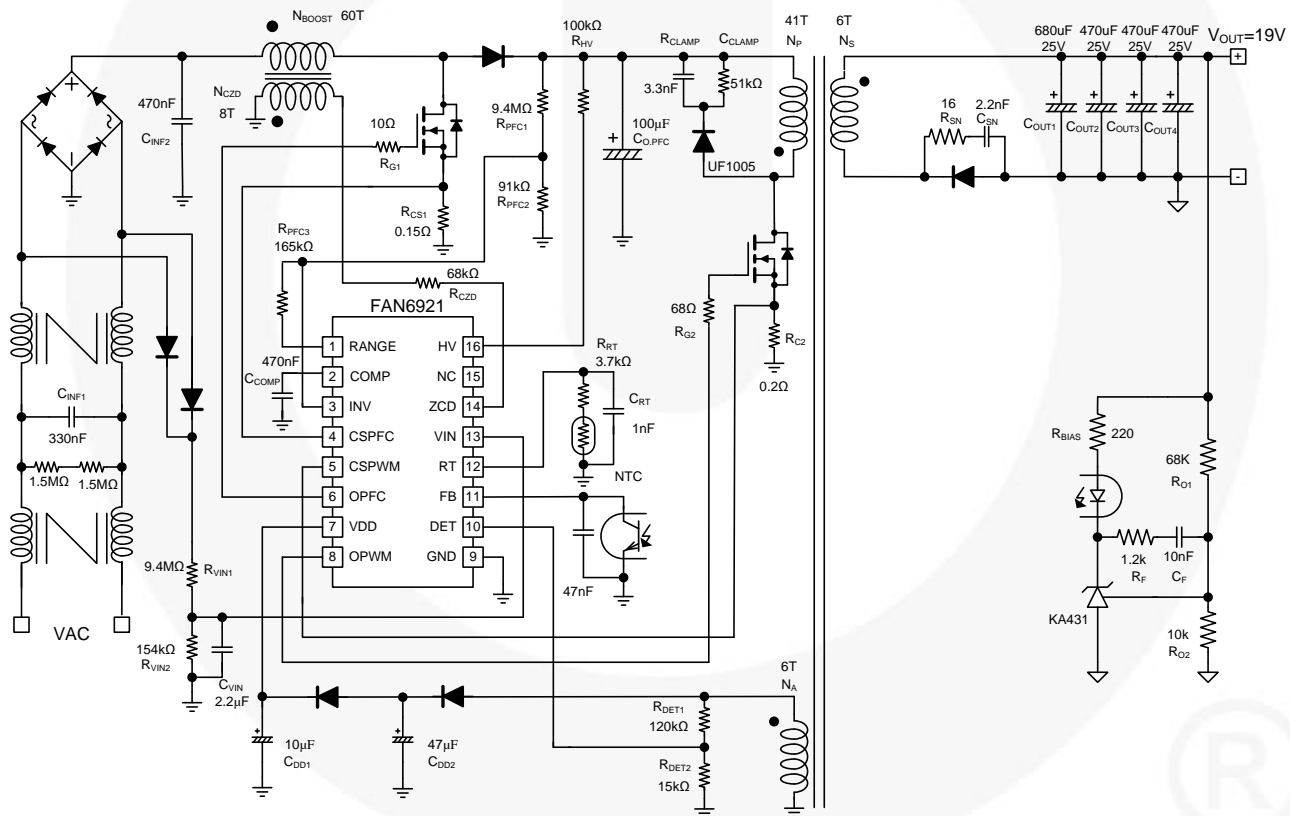


图19. 最终设计范例的原理图

实验室说明

在修改或焊接/去焊接该电源之前，应利用外部泄放电阻对初级电容放电。否则，PWM 半导体会因为碰触外部高压而损坏。

该器件对静电放电（ESD）非常敏感。为了提高产量，应依据ANSI ESD S1.1、ESD S1.4、ESD S7.1、ESD STM 12.1 以及EOS/ESD S6.1 标准，对生产线采取ESD 防护。

印刷电路板布局

对于开关电源而言，印刷电路板布局和设计非常重要，因为会出现高电压 dv/dt 与高电流的 di/dt 。合理的PCB 布局能够最大限度降低EMI，并防止在浪涌/ESD 测试中该电源出现崩溃。

指导方针

IC 侧：

- COMP、INV、CSPFC和CSPWM引脚的参考地连接在一起，然后直接与IC的GND相连。
- VIN、RT、FB和DET引脚直接连接IC的GND。
- IC周围的小电容应直接连接IC。
- CSPFC、CSPWM、OPFC和OPWM的走线不应当互相平行，而应当相互靠近以避免引入噪声。
- IC的GND、 C_{Bulk} 的接地和PWM XFMR的辅助绕组：

方法1： 辅助绕组的接地 → IC的GND → C_{Bulk} 的接地

方法2： IC的GND → 辅助绕组的接地 → C_{Bulk} 的接地（走线2→走线1→走线3）。

方法3： IC的GND → C_{Bulk} 的接地和辅助绕组的接地 → C_{Bulk} 的接地。

系统侧

PFC电路

- PFC扼流圈的辅助绕组和 $R_{CS, PFD}$ 应单独连接至 C_{Bulk} 的接地（走线4和走线5）。
- 桥堆的接地和C-L-C滤波器应直接连接至 C_{Bulk} 的接地。
- PFC扼流圈、PFC二极管、PFC MOSFET、 $R_{CS, PFD}$ 和 C_{Bulk} 组成电流环路，并且走线应尽量短（环路7）。

PWM电路

- R_{CS} 应直接连接 C_{Bulk} 的接地。保持其短且宽（走线6）。
- C_{Bulk} 、变压器、PWM MOSFET和 R_{CS} 组成的电流环路其走线应尽量短（环路8）。
- RCD缓冲器应当靠近变压器以及PWM MOSFET的漏极。
- 光电耦合器的地应该连接IC的GND。
- 在次级端，由变压器、肖特基二极管和输出电容组成的电流环路其走线应尽量短（环路9）。
- Y电容的接线方法：

方法1： Y电容的初级端接地 → C_{Bulk} 的接地 → 桥堆接地。

方法2： Y电容的初级端接地 → 电桥接地 → C_{Bulk} 的接地。

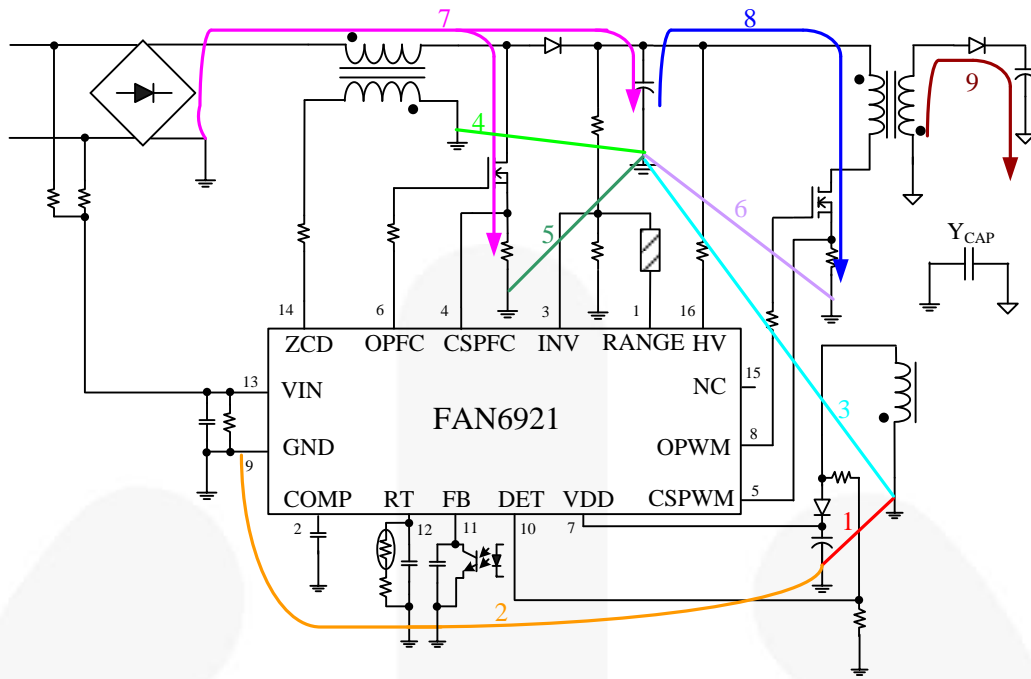


图20. 布局思路

相关文档

[FAN6921MR – 集成式临界模式PFC和准谐振电流模式PWM控制器](#)

[FAN6921ML – 集成式临界模式PFC/准谐振电流模式PWM控制器](#)

DISCLAIMER

FAIRCHILD SEMICONDUCTOR RESERVES THE RIGHT TO MAKE CHANGES WITHOUT FURTHER NOTICE TO ANY PRODUCTS HEREIN TO IMPROVE RELIABILITY, FUNCTION, OR DESIGN. FAIRCHILD DOES NOT ASSUME ANY LIABILITY ARISING OUT OF THE APPLICATION OR USE OF ANY PRODUCT OR CIRCUIT DESCRIBED HEREIN; NEITHER DOES IT CONVEY ANY LICENSE UNDER ITS PATENT RIGHTS, NOR THE RIGHTS OF OTHERS.

LIFE SUPPORT POLICY

FAIRCHILD'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF FAIRCHILD SEMICONDUCTOR CORPORATION.

As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, or (c) whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.