

MSP430F5 系列 16 位超低功耗单片机模块原理

第三章 统一时钟系统 UCS

日期: 2010.10. 最后更新日期:2012-07-21

原文: MSP430x5xx Family User's Guide

翻译: 刘胜阳 西安电子科技大学

注: 以下文章是翻译 MSP430x5xx Family User's Guide 文件中的部分内容。由于本人翻译水平有限, 在整理过程中难免有所不足或错误; 所以以下内容只供参考, 一切以原文为准。

UCS 模块为 msp430x5xx 单片机提供时钟。这一章将介绍 UCS 模块的操作。所有的 msp430x5xx 系列的单片机都有 UCS 模块。

3.1 UCS 模块介绍

UCS 模块支持低系统成本和超低功耗模式。通过三个内部时钟信号, 用户可以找到性能和功耗的最佳平衡点。UCS 模块可以通过软件配置成不需要外部晶振、需要一个或两个外部晶振、外部时钟输入等方式。

UCS 模块包括 5 个时钟源

XT1CLK: 低频/高频振荡器，可以使用 32768Hz 的手表晶振、标准晶体、谐振器或 4—16Mz 的外部时钟源。

VLOCLK: 内部低功耗、低频振荡器，典型频率为 12k。

REFOCLK: 经过调整过的内部低频振荡器，典型值为 32768Hz，可以用作 FLL（锁频环）的参考时钟。

DCOCLK: 内部数字时钟，可以通过 FLL 得到稳定的时钟信号。

XT2CLK: 可选的高频振荡器，可以是标准晶振、谐振器或 4—40M 的外部时钟源。

UCS 模块提供的三个可利用时钟信号

ACLK: 辅助时钟。可以通过软件选择 XT1CLK、REFOCLK、VLOCLK、DCOCLK、DCOCLKDIV 或（在有可用的 XT2CLK 的情况下）XT2CLK 作为辅助时钟。DCOCLKDIV 是 DCOCLK 通过 FLL 模块经过 1,2,4,8,16,32 分频获得的。ACLK 可以为某些外围模块提供时钟。ACLK 可以被进行 1,2,4,8,16,32 分频。ACLK/n 就是 ACLK 经过 1,2,4,8,16,32 分频或得到的，也可以选择通过外部引脚输出。

MCLK: 主时钟。MCLK 可以被进行 1,2,4,8,16,32 分频后为 CPU 和系统提供时钟。MCLK 的获得来源和 ACLK 的相同。

SMCLK: 子系统时钟。SMCLK 可以被进行 1,2,4,8,16,32 分频后为个别的外围模块提供时钟。其来源和 ACLK 相同。

PUC 复位后，UCS 模块的默认配置如下：

XT1 处于 LF(低频)模式且被选为 XT1CLK 时钟源。XT1CLK 被选作 ACLK

MCLK 选择 DCOCLKDIV

SMCLK 选择 DCOCLKDIV

FLL 操作使能，XT1CLK 作为 FLL 的参考时钟 FLLREFCLK

XIN 和 XUOT 被设置为普通 I/O 口，XT1 失效

XT2IN 和 XT2UOT 被设置为普通 I/O 口，XT2 失效

如上所示，FLL 模块默认操作使能，且以 XT1 为参考时钟。在 msp430x5xx 系列单片机中，晶振引脚 (XIN,XOUT) 与普通 I/O 口共用引脚。为了使能 XT1，PSEL 寄存器中与晶振引脚相应的位要设置为 1。当 XT1CLK 使用 32768Hz 的晶振时，错误的控制逻辑使 XT1CLK 不能立即稳定时，将导致 ACLK 选择 REFOCLK。一旦晶振启动且稳定，FLL 使 SMCLK 和 MCLK 稳定，稳定的频率为 1.048576MHz。 $f_{DCO}=2.097152\text{MHz}$ 。

状态寄存器控制位 SCG0,SCG1,OSCOFF 和 CPUOFF 配置 msp430 的工作模式以及能否对部分 UCS 模块的操作。详情请参考系统复位、中断 和工作模式的相关章节。UCSCTL0、UCSCTL1、UCSCTL2、UCSCTL3、UCSCTL4、UCSCTL5、UCSCTL6、UCSCTL7 和 UCSCTL8 这 9 个寄存器用于

对 UCS 模块进行配置。

UCS 模块可以在程序执行过程中的任意时刻被软件进行配置或重新配置。

3.2.1 UCS 模块低功耗应用特点 冲突的要求典型的存在于电池供电的 MSP430x5xx 系列单片机的

应用中： 较低的时钟频率可以实现节省能源

并保持计时 高频时钟可以实现快速的响应和

提高处理能力

时钟稳定基本不受工作温度和电源电压的影响

时钟精度要求不高的低成本系统应用

UCS 模块在以上冲突要求中的作用允许用户可以从 ACLK、MCLK 和 SMCLK 三者中选择时钟。

所有三个时钟信号可以通过灵活完整的时钟配置被设置为 XT1CLK、VLOCLK、REFOCLK 或 XT2CLK 中的任何一个。

为了实现最佳的低功耗效能，ACLK 可以被设置为低功耗的 32768Hz 的手表晶振，为系统提供稳定的基本时钟和低功耗的备用操作，或者当时钟精度要求不高时来自内部低频振荡器。灵活的时钟分配和分频系统调整频率使之满足个别的时钟要求。ACLK 可以选择 XT1CLK、VLOCLK、REFOCLK、DCO 或 XT2CLK 中的任何一个有效的时钟。

MCLK可以被配置为片上DCO或由FLL稳定后的随意频率的时钟，当要求中断驱动事件时将被激活。灵活的时钟分配和分频系统调整频率使之满足个别的时钟要求。MCLK可以选择XT1CLK、VLOCLK、REFOCLK、DCO或XT2CLK中的任何一个有效的时钟。

SMCLK可以根据外围的要求被配置为来源于晶振或片上DCO。灵活的时钟分配和分频系统调整频率使之满足个别的时钟要求。SMCLK可以选择XT1CLK、VLOCLK、REFOCLK，DCO或XT2CLK中的任何一个有效的时钟。

3.2.2 内部超低功耗低频振荡器（VLO）

内部VLO在无需外部晶振的情况下提供12kHz的典型频率，VLO为对时钟要求不高的应用系统提供了低成本、超低功耗的时钟源。当VLO被用作ACLK、MCLK或SMCLK时（SELA=1、SELM=1或SELS=1），VLO被选中。

3.2.3 内部调整低频参考时钟振荡器（REFO）

在不要求或不允许使用晶振的应用中，REFO可以用作高灵敏时钟。REFO是内部调整过的32768Hz时钟，提供一个稳定的参考时钟用作FLLREFCLK。REFOCLK与FLL组合在无需外部晶振的情况下提供灵活的大范围的系统时钟。不使用REFO时，REFO不消耗电源。

REFO用作ACLK、MCLK、SMCLK或FLL参考（SELA=2、SELM=2、SELS=2或SELREF=2）时钟源时REFO被选中。如果REFO没有用作MCLK、SMCLK或FLLREFCLK时，可以通过软件置位OSCOFF禁止REFO。REFO在低功耗模式4（LPM4）时，OSCOFF位失效。

3.2.4 XT1 振荡器

在 LF(低频)模式下 (XTS=0), 用一个 32768Hz 的手表晶振 XT1 振荡器支持超低功耗。手表晶振无需任何外部元件直接连接在 XIN 和 XOUT 引脚上。可以通过软件选择 XCAP 位的配置为在 LF 模式下的 XT1 晶振提供负载电容。内部负载电容为 2pF、6pF、9pF 或 12pF 可选, 典型值为 12pF。如果有必要的话也可以加上外部负载电容。

XT1 在 HF(高频)模式下 (XTS=1) 振荡器也支持高速晶振或高频谐振器。高频晶振或谐振器连接在 XIN 和 XOUT 引脚上, 此时两个引脚上都需要接外部负载电容。负载电容的大小要根据晶振或谐振器的规格来定。

通过 XT1DRIVE 位可以控制 XT1 在 LF 模式下的驱动能力。上电复位时为使 XT1 快速可靠的启动, 驱动能力设置为最高。如果需要, 可以用软件降低驱动能力以降低功耗。在 HF 模式下需要选择合适的驱动能力 (XT1DRIVE) 来支持不同频率范围的晶振或谐振器。

通过设置 XT1BYPASS 可以让 XT1 使用 XIN 引脚输入的外部时钟信号工作在 LF 或 HF 模式下。当使用外部时钟时, 外部时钟的频率必须在所选模式要求的频率范围内 (请参考数据手册)。当设置为旁路模式时, XT1 掉电。

XT1 与普通 I/O 口共用引脚。上电复位时, XT1 默认为 LF 模式, 但 XT1 将一直保持禁止直到端口被设置为 XT1 功能为止。设置 PSEL 中与 XIN 和 XT1BYPASS 相关的位就可以使端口配置为 XT1 功能, 如果 XT1BYPASS 也进行相应的设置, XT1 将被配置成旁路模式。在旁路模

式下 XIN 可以连接外部时钟信号输入, XOUT 可以被配置成普通 I/O 口, PSEL 中与 XOUT 相关的位不予考虑。

一旦 PSEL 中与 XIN 相关的位被清零, 则 XIN 和 XOUT 引脚将会被配置为普通 I/O 口, XT1 功能被禁止。

当地 XT1 被用作 ACLK、MCLK 或 SMCLK (SELA=0、SELM=0 或 SELS=0) 或 FLLREFCLK (SELREF=0) 和 (XT1OFF=1) 从 LMP3 模式进入 AM (活动) 模式时 XT1 被允许, 否则 XT1 被禁止。当 XT1OFF=1 时置位 OSCOFF (LMP4), 将禁止 XT1。如果应用中希望不管 OSCOFF 置位与否都要使能 XT1, 则只需清零 XT1OFF 就可以了。从 LMP4 模式进入 AM 模式将是 XT1 使能。

3.2.5 XT2 振荡器

某些单片机有第二个振荡器即 XT2。XT2 来源于 XT2CLK, 其特征与 HF 模式下的 XT1 相同。对 XT2DRIVE 的相应位进行设置可以选择 XT2 的频率范围。

设置 XT2BYPASS 位可以使 XT2 工作在旁路模式, 即使用从 XT2IN 引脚输入的外部时钟信号。当使用外部时钟信号时, 外部时钟信号的频率必须在数据手册规定的范围内。旁路模式时 XT2 掉电。

XT2 与普通 I/O 口共用引脚。上电复位时, 默认操作为 XT2, 但是 XT2 保持禁止直到相应引脚被配置为 XT2 功能为止。其控制功能位为 PSEL 中的相应位和 XT2BYPASS 中的相应位。置位 PSEL 中相应位可使 XT2IN 和 XT2OUT 引脚配置为 XT2 功能。如果 XT2BYPASS 也被设置, XT2 将被设置为旁路模式。在旁路模式下 XT2IN 可以接外部输入的时

钟信号，此时的 XT2OUT 引脚的状态不影响。

一旦 PSEL 中与 XT2IN 相应的位被清零，则 XT2IN 和 XT2OUT 引脚都被配置为普通 I/O 口，XT2 功能被禁止。

当地 XT2 被用作 ACLK、MCLK 或 SMCLK (SELA=5、SELM=5 或 SELS=5) 或 FLLREFCLK (SELREF=5) 和 (XT10FF=1) 从 LMP3 模式进入 AM (活动) 模式时 XT2 被允许，否则 XT2 被禁止。当 XT10FF=1 时，置位 OSCOFF (LMP4)，将禁止 XT1。如果应用中希望不管 OSCOFF 置位与否都要使能 XT2，则只需清零 XT2OFF 就可以了。从 LMP4 模式进入 AM 模式将使 XT2 使能。

3.2.6 DC0 振荡器

DC0 振荡器是一个综合型的数控振荡器。通过软件设置 DCORSEL, DC0 和 MOD 位可以调节 DC0 的频率。DC0 通过 FLL 功能可以得到频率为 FLLREFCLK/n 的任意整数倍的稳定频率。FLL 可以通过设置 SELREF_x 位选择不同的参考时钟源。参考时钟源包括 XT1CLK, REF0CLK 或 XT2CLK (如果有的话)。n 的值由 FLLREFDIV_x (n=1, 2, 4, 8, 16 或 32) 决定，默认值为 1。

FLLD 位控制 FLL 的预分频值 D (D=1, 2, 4, 8, 16 或 32)。默认操作下 D=2, MCLK, SMCLK 来源于 DCOCLKDIV, 提供的时钟频率为 DCOCLK/2。

(N+1) 分频器和分频值 D 决定 DCOCLK 和 DCOCLKDIV 的频率 (N>0 时)。当 N=0 时，分频器被设置为 2。

$$f_{\text{DCOCLK}} = D (N + 1) (f_{\text{FLLREFCLK}} \square n)$$

$$f_{\text{DCOCLKDIV}} = (N + 1) (f_{\text{FLLREFCLK}} \square n)$$

DCO 频率的调节

默认情况下, FLL 操作使能。置位 SCG0 位可以禁止 FLL 操作。如果被禁止, DCO 将根据当前的 UCSCTL0 和 UCSCTL1 的设置继续运行。若需要的话 DCO 的频率还可以被手动调节。另外, DCO 的频率将被 FLL 稳定。

PUC 复位后, $DCORSEL_x=2$, $DCO_x=0$ 。MCLK 和 SMCLK 来源于 DCOCLKDIV。由于 CPU 执行指令所使用的时钟 (MCLK) 来自快速启动的 DCO, 所以

在 PUC 复位 5us 内指令即开始执行。

通过以下功能可以设置 DCOCLK 的频率

1. $DCORSEL_x$ 的三个控制位为 DCO 选择 8 个标称频率范围中的一个。不同系列单片机的标称频率范围在数据手册上查询。

2. DCO_x 的 5 个控制位将由 $DCORSEL_x$ 位选择的 DCO 频率范围分成 32 等份, 间隔大约为 8%。

3. MOD_x 的 5 个位, 使频率在 DCO_x 和下一个频率 DCO_{x+1} 之间转换。当 $DCO_x=31$ 时, MOD_x 位功能失效, 因为此时 DCO 的频率已经是 $DCORSEL_x$ 位选择的频率范围的最高频率了。

3.2.7 FLL (锁频环)

FLL 的核心是一个数控振荡器和频率积分器 (加减计数器)。积分器的输出驱动 DCO, 可以从 UCSCTL0 (MOD_x , DCO_x), UCSCTL1 中读出。 $f_{FLLREFCLK}/n$ ($n = 1, 2, 4, 8, 12, \text{或 } 16$) 使计数器加 1, $f_{DCOCLK}/(D(N+1))$ 使计数器减 1。UCSCTL0 的 bit12—bit8 这 5 个位设置 DCO 的频拍, 共 32 拍, 每拍比前一拍高大约 8%。频率调制器混合两种

DCO 频率是产生分数的频拍。

对于一个给定的 DCO 偏差值的设定，正常操作时，在时间上必须允许 DCO 选择在合适的节拍上。 $(n \times 32) f_{\text{FLLREFCLK}}$ 频率必须在节拍之间，最极限的是 $(n \times 32 \times 32) f_{\text{FLLREFCLK}}$ 的情况。n 的值由 FLLREFDIV_x 位决定 (n=1, 2, 4, 12 或 16)。

3.2.8 DCO 调制器

在数控振荡器中，产生的频率值时离散的，且分辨率较低。为了增加所产生频率的分辨率，采用 32 周期调制的方法。让输出频率在两个相邻频率之间切换，通过调整二者的比例在宏观上相当于微调频率。这个过程由 FLL 自动完成，用户无需干预。但可以通过 DISMOD 置位来禁止调制功能。禁止调制后的输出频率稳定，但有误差。调制器混合 f_{DCO} 和 $f_{\text{DCO}+1}$ 两种 DCO 频率，使产生介于 f_{DCO} 和 $f_{\text{DCO}+1}$ 中间的有效频率，从而扩展了时钟系统的能力，降低了电磁干扰 (EMI)。调制器的配置由 MOD_x 为控制，在 32 个 DCOCLK 时钟周期内混合 f_{DCO} 和 $f_{\text{DCO}+1}$ 两种 DCO 频率。当 MOD_x=0 时，调制器被关闭。

调制后的时钟信号的周期计算公式为：

$$t = ((32 - \text{MOD}_x) t_{\text{DCO}} + \text{MOD}_x t_{\text{DCO}+1}) / 32$$

当 FLL 被允许时，调制器和 DCO 的配置有 FLL 硬件实现。当 FLL 被禁止时，调制器和 DCO 的设置由软件配置。下图阐述了调制器的操作过程

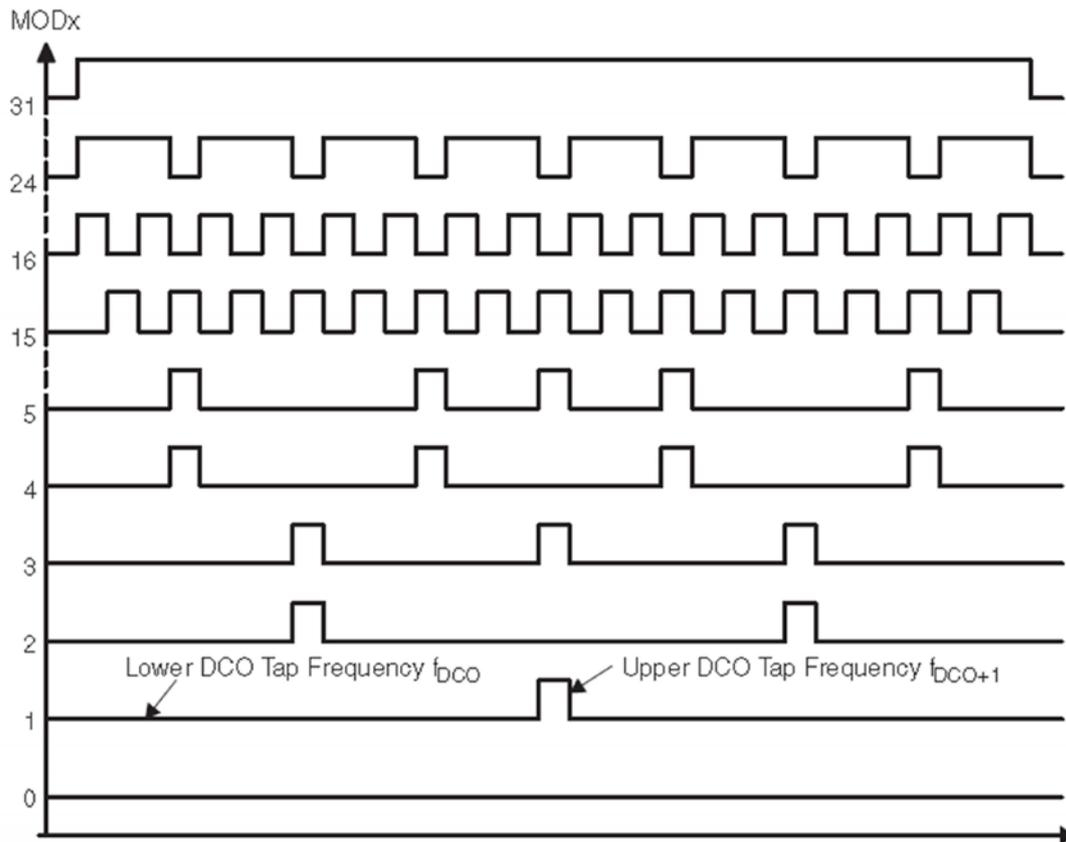


Figure 3-2. Modulator Patterns

3.2.9 禁止 FLL 硬件和调制器

当状态寄存器 SR 中的 SCG0 和 SCG1 位为 1 时, FLL 被禁止, DCO 以预先选择的频拍运行且不会自动稳定。

当 DISMOD 被置位时 DCO 调制器被禁止, DCOCLK 被调整到由 DCOx 位选择的的 DCO 频率上。

注意: 当 FLL 被禁止后 DCO 将继续在当前设置下运行。由于没有经过 FLL 的稳定, 所以输出频率会受到温度和供电电压的影响。请参考数据手册的电压和温度系数, 以确保可靠的运行。

3.2.10 FLL 低功耗模式操作

中断服务请求清零 SCG1, CPUOFF 和 OSCOFF 位, 如果以上三个位都清零, 但 SCG0 没有清零。这意味着 FLL 是从 LPM1,

2,3 或 4 进入中断服务程序 FLL 将保持被禁止，DCO 运行在之前由 UCSCTL0 和 UCSCTL1 设置的状态下。如果要求使用 FLL 的话，SCG0 可以被软件清零。

3.2.11 外围模块唤醒低功耗模式

如果外围模块的工作状态一直要求一个时钟操作，则外围模块可以向 UCS 模块申请一个时钟，如图 3—3 所示。

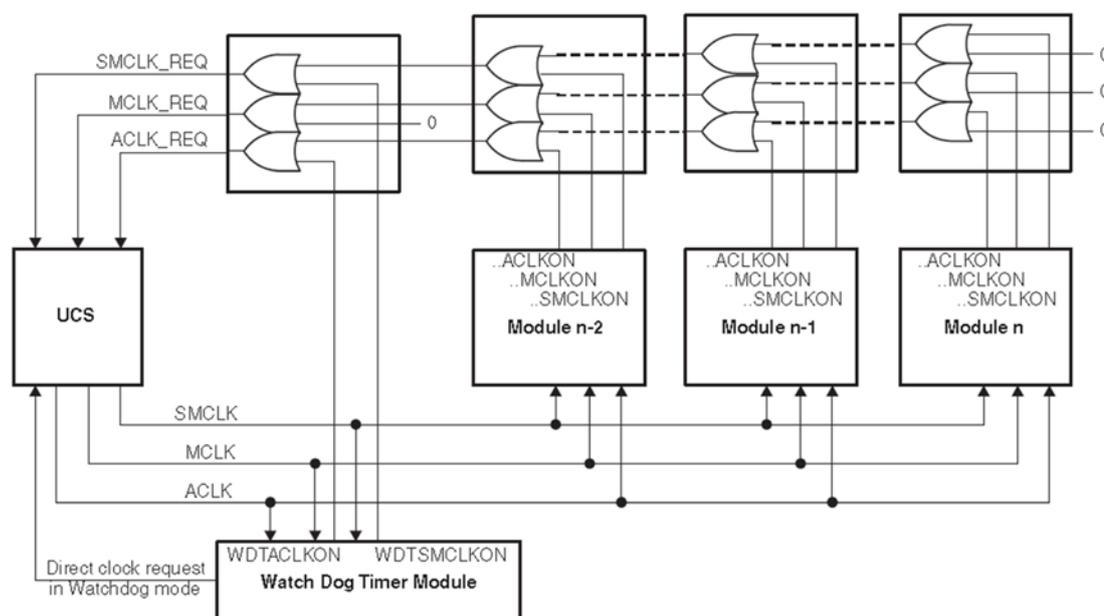


Figure 3-3. Module Request Clock System

当一个外围模块坚持请求 ACLK_REQ, MCLK_REQ 或 SMCLK_REQ 三个中的一个可能的时钟时，如果申请源没有被激活，则在对 NMI 进行软件操作时一定要小心这个请求。

如果起初选择的时钟源不可靠，则出于安全考虑 WDT 会自动的选择 VLOCLK 为时钟源。

一个来自外围模块的时钟请求可能使各时钟的关闭信号失效，但是不改变控制为的设置。例如，一个外围模块要求 MCLK 时钟源，

但当前 MCLK 被 CPUOFF 为禁止,则外围模块可以置位 MCLK_REQ 来请求 MCLK,这时 CPUOFF 位失效。从而允许 MCLK 为外围模块提供时钟

3.2.12 UCS 模块失效及安全操作

UCS 模块有一个振荡器错误失效安全的特点,可以发现 XT1, DCO 或 XT2 振荡器发生错误(如图 3—4 所示)。错误状态如下:

1. 低频振荡器出错 (XT1LFOFFG) XT1 在 LF 模式下
2. 高频振荡器出错 (XT1HFOFFG) XT1 在 HF 模式下
3. 高频振荡器出错 (XT2OFFG) XT2 出错
4. DCO 出错 (DCOFFG)

当时钟刚打开或没有正常工作时晶体振荡器错误标志位 XT1LFOFFG,XT1HFOFFG 或 XT2OFFG 相应的位将被置位,一旦被置位即使已经恢复正常状态也将一直保持置位。如果还存在错误时用户用软件将错误标志位清零,则错误标志位将自动置位,否则将保持清零。

如果使用 XT1 在 LF 模式下的时钟作为 FLL 的参考时钟 (SELRERx=0),时钟错误将使 FLL 自动选择 REFO 作为参考时钟 (FLLREFCLK),并且置位 XT1OFFG。如果使用 XT1 在 HF 模式下的时钟作为 FLL 的参考时钟,则时钟错误后就没有 FLLREFCLK 产生了, FLL 将试图锁定 FLLREFCLK 或 DCOCLK/(D×[N+1]),并继续进行减计数直到 0。DCO 频拍将降到最低位置 (DCOx 被清零)

且置位 **DCOFFG**。如果倍频系数 **N** 选择太高使 **DCO** 频拍移动到 **DCO** 频率范围的最高位置 (**UCSCTL0.12—UCSCTL0.8** 位都为 1 时) 也会使 **DCOFFG** 被置位。**DCOFFG** 一直保持置位直到用户用软件将其清零。如果在错误状态时用户将 **DCOFFG** 清零, 则 **DCOFFG** 将自动置位, 否则将保持清零, **XT1HFOFFG** 置位。

当使用 **XT2** 作为 **FLL** 的参考时钟时, 时钟错误后就没有 **FLLREFCLK** 产生了, **FLL** 将试图锁定 **FLLREFCLK** 或 **DCOCLK/(D × [N+1])**, 并继续进行减计数直到 0。**DCO** 频拍将降到最低位置 (**DCOx** 被清零) 且置位 **DCOFFG**。如果倍频系数 **N** 选择太高使 **DCO** 频拍移动到 **DCO** 频率范围的最高位置 (**UCSCTL0.12—UCSCTL0.8** 被置位) 也会使 **DCOFFG** 被置位。**DCOFFG** 一直保持置位直到用户用软件将其清零。如果在错误状态时用户将 **DCOFFG** 清零, 则 **DCOFFG** 将自动置位, 否则将保持清零, **XT2OFFG** 置位。

上电复位 (**POR**) 或晶振发生错误 (**XT1LFOFFG**, **XT1HFOFFG**, **XT2OFFG** 或 **DCOFFG**) 时晶振错误中断标志位 **OFIFG** 置位并锁存。当 **OFIFG** 被置位且 **OFIE** (晶振错误中断允许位) 置位时, **OFIFG** 将引起非可屏蔽中断 (**MNI**)。在早期的 **MSP430** 家族中, 当 **OFIFG** 中断被允许后, **OFIE** 位不会自动清零, 后期的单片机不再要求复位 **OFIE**, **NMI** 入口/出口电路系统会清除这些请求。**OFIFG** 标志位必须被软件清零, 这些错误源可能被其他的错误标志位检测到。

在除了 **LF** 模式下的 **XT1** 的所有时钟源中, 如果 **MCLK** 时钟源的晶振错误, **MCLK** 会自动转换使用 **DCO** 作为其时钟源

(DCOCLKDIV)，如果 MCLK 的时钟源是 XT1 的 LF 模式的时钟，则振荡器错误将使 MCLK 自动转换使用 REFO 作为其时钟源 (REFOCLK)。这些都不会改变 SELMx 的设置，必须由用户用软件操作。

在除了 XT1 的 LF 模式的所有时钟源中，如果 SMCLK 时钟源的晶振错误，SMCLK 会自动转换使用 DCO 作为其时钟源 (DCOCLKDIV)，如果 SMCLK 的时钟源是 XT1 的 LF 模式的时钟，则振荡器错误将使 SMCLK 自动转换使用 REFO 作为其时钟源 (REFOCLK)。这些都不会改变 SELSx 的设置，必须由用户用软件操作。

在除了 XT1 的 LF 模式的所有时钟源中，如果 ACLK 时钟源的晶振错误，ACLK 会自动转换使用 DCO 作为其时钟源(DCOCLKDIV)，如果 ACLK 的时钟源是 XT1 的 LF 模式的时钟，则振荡器错误将使 ACLK 自动转换使用 REFO 作为其时钟源 (REFOCLK)。这些都不会改变 SELAx 的设置，必须由用户用软件操作。

注意：在晶振错误的过程中，即使在最低的 DCO 频拍下 DCOCLKDIV 也能工作，为 CPU 提供时钟执行代码和响应 NMI。

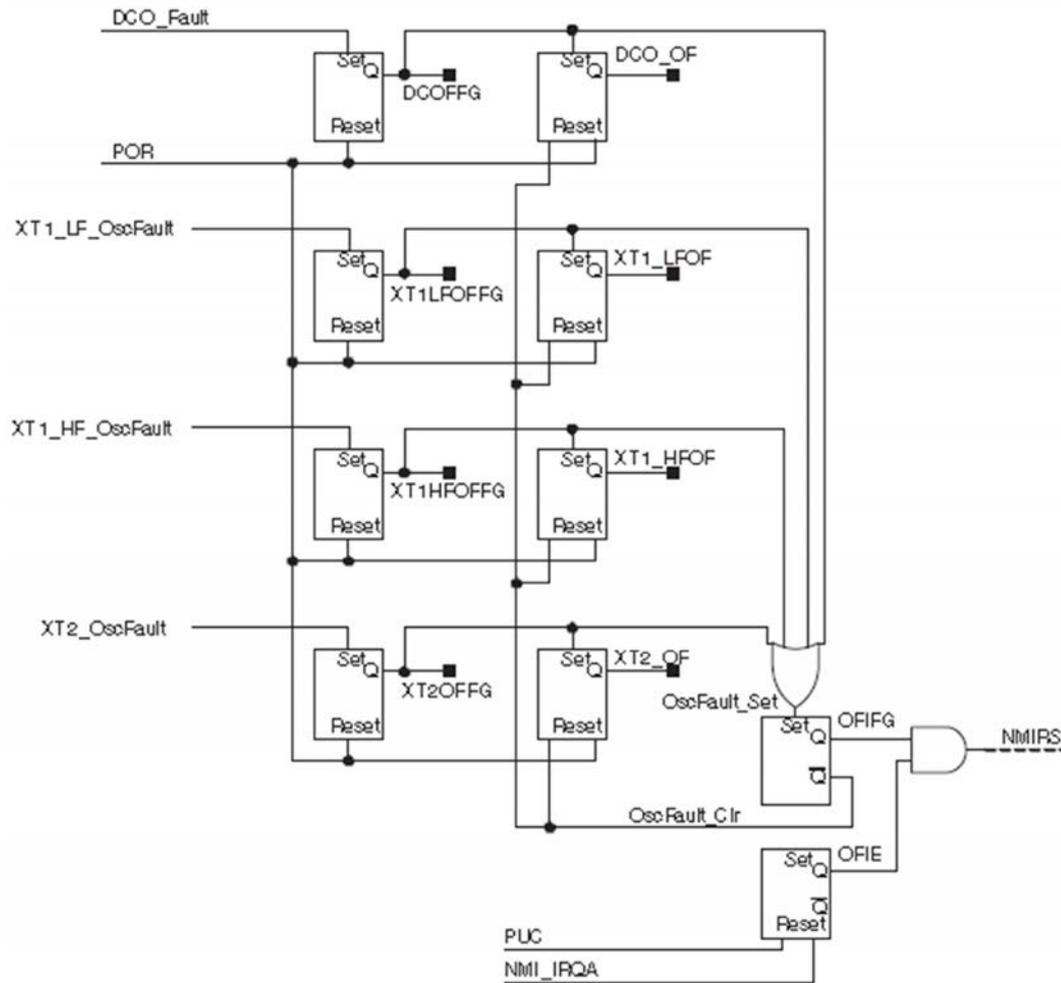


Figure 3-4. Oscillator Fault Logic

注意：错误状态

DCO_Fault:当 UCSTL0 寄存器中 DCOx 的值等于 0 或 31 时, DCOFFG 标志置位。

XT1_LF_OscFault: 当 LF 模式下的 XT1 振荡器重新开始后停止操作或清零时, XT1_LF_OscFault 将置位。这将引起 XT1LFOFFG 置位并保持, 如果在错误情况仍然存在的情况下用户清零 XT1LFOFFG 标志, XT1LFOFFG 将自动置位并保持。

XT1_HF_OscFault: 当 HF 模式下的 XT1 振荡器重新开始后停止操作或清零 XT1_HF_OscFault 将置位。这将引起 XT1HFOFFG 置位并保持, 如果在错误情况仍然存在的情况下用户清零 XT1HFOFFG 标志, XT1HFOFFG 将自动置位并保持。

XT2_OscFault: 当 XT2 振荡器重新开始后停止操作或清零时, XT2_OscFault 标志位置位, 这将引起 XT2OFFG 置位并保持, 如果在错误情况仍然存在的情况下用户清零 XT2OFFG 标志, XT2OFFG 将自动置位并保持。

注意：错误逻辑

请注意当错误状态一直存在时，OFIFG 将保持置位，应用中清零 OFIFG 标志位时一定要特别的小心这一点，如果清零 OFIFG 标志时，错误已经不存在，则时钟逻辑将转换到错误状态前用户设定的状态继续运行。

3.2.13 同步时钟信号

当 MCLK 或 SMCLK 的时钟源从一种时钟源转向另一种时钟源时，转换要同步以免出现临界的竞争条件，如同 3—5 所示。

1. 当前时钟周期继续执行直到下一个上升沿
2. 时钟保持高电平直到新时钟的下一个上升沿
3. 新时钟源被选定后即以一个高电平周期继续

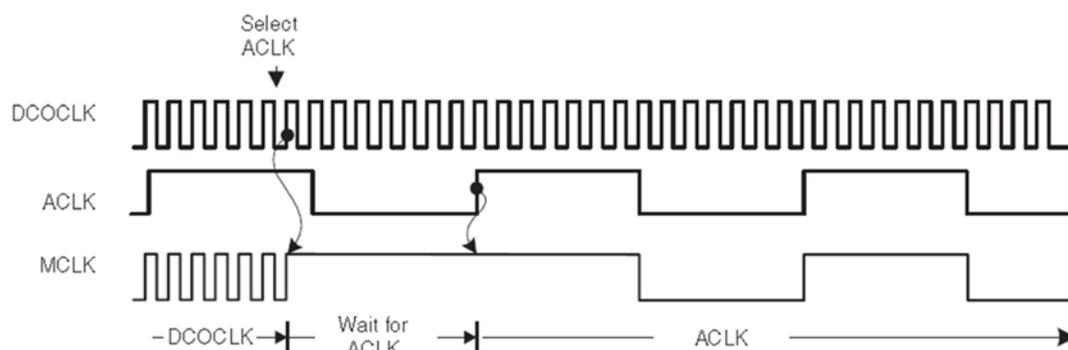


Figure 3-5. Switch MCLK from DCOCLK to ACLK

3.3 MODOSC 模块振荡器

UCS 模块还支持内部振荡器 (MODOSC)，Flash 存储控制模块以及其他模块都可以随意的使用 MODOSC。MODOSC 的时钟源是 MODCLK。

3.3.1 MODOSC 操作

为了保持电源，在不需要 MODOSC 时将关闭，只有在被要求使用

时才使能操作。当 MODOSC 时钟源是必须的时，各自的模块要求他。MODOSC 使能是基于无条件或有条件请求的，置位 MODOSCREQEN 将使能有条件请求，无条件请求被禁止。对于利用无条件请求的模块无需置位 MODOSCREQEN，例如：Flash 控制器，ADC_12 等。

Flash 存储控制器只有在执行写或擦除操作时才会请求 MODCLK，执行以上操作时，Flash 控制器发出一个无条件请求，请求 MODOSC 时钟源，如果 MODOSC 没有被先前的模块请求使能则 MODOSC 使能。

ADC12_A 可能随意使用 MODOSC 作为他的转换时钟，用户选择 ADC12OSC 作为转换时钟，在转换期间，ADC12_A 发出一个无条件请求要求 ADC12OSC 时钟，如果 MODOSC 没有被先前的模块请求使能则 MODOSC 使能。

3.4 UCS 模块控制寄存器

UCS 模块控制寄存器如表 3—1 所示，其基址请查数据手册，偏移地址也在下表中

Table 3-1. Unified Clock System Registers

Register	Short Form	Register Type	Register Access	Address Offset	Initial State
UCS Control register 0	UCSCTL0	Read/write	Word	00h	0000h
	UCSCTL0_L	Read/write	Byte	00h	00h
	UCSCTL0_H	Read/write	Byte	01h	00h
UCS Control register 1	UCSCTL1	Read/write	Word	02h	0020h
	UCSCTL1_L	Read/write	Byte	02h	20h
	UCSCTL1_H	Read/write	Byte	03h	00h
UCS Control register 2	UCSCTL2	Read/write	Word	04h	101Fh
	UCSCTL2_L	Read/write	Byte	04h	1Fh
	UCSCTL2_H	Read/write	Byte	05h	10h
UCS Control register 3	UCSCTL3	Read/write	Word	06h	0000h
	UCSCTL3_L	Read/write	Byte	06h	00h
	UCSCTL3_H	Read/write	Byte	07h	00h
UCS Control register 4	UCSCTL4	Read/write	Word	08h	0044h
	UCSCTL4_L	Read/write	Byte	08h	44h
	UCSCTL4_H	Read/write	Byte	09h	00h
UCS Control register 5	UCSCTL5	Read/write	Word	0Ah	0000h
	UCSCTL5_L	Read/write	Byte	0Ah	00h
	UCSCTL5_H	Read/write	Byte	0Bh	00h
UCS Control register 6	UCSCTL6	Read/write	Word	0Ch	C1CDh
	UCSCTL6_L	Read/write	Byte	0Ch	CDh
	UCSCTL6_H	Read/write	Byte	0Dh	C1h
UCS Control register 7	UCSCTL7	Read/write	Word	0Eh	0703h
	UCSCTL7_L	Read/write	Byte	0Eh	03h
	UCSCTL7_H	Read/write	Byte	0Fh	07h
UCS Control register 8	UCSCTL8	Read/write	Word	10h	0307h
	UCSCTL8_L	Read/write	Byte	10h	07h
	UCSCTL8_H	Read/write	Byte	11h	03h

UCSCTL0, UCSCTL0_H, UCSCTL0_L, UCS 控制寄存器 0

15	14	13	12	11	10	9	8
7	6	5	4	3	2	1	0
Reserved				DCO			
r0	r0	r0	nw-0	nw-0	nw-0	nw-0	nw-0
7	6	5	4	3	2	1	0
MOD					Reserved		
nw-0	nw-0	nw-0	nw-0	nw-0	r0	r0	r0

保留：读回值为 0

UCSCTL0 位 15—13

UCSCTL0_H 位 7—5

DCO : DCO 频拍选择。选择 DCO 的频拍并在 FLL 运行期间（因 MOD 位的变化）自动调整。DCO 的 5 个控制位把由 DCORSEL_x 选择的 DCO 频率分为 32 等份，间隔大约 8%

UCSCTL0 位 12—8

UCSCTL0_H 位 4—0

MOD: 调制位计数器。选择调制类型，所有的 MOD 位在 FLL 运行期间自动调整，无需用户干预。当调制位计数器从 31 返回到 0 时，DCO_x 的值增加。如果调制位计数器从 0 减到 31，则 DCO_x 的值降低。

UCSCTL0 位 7—3

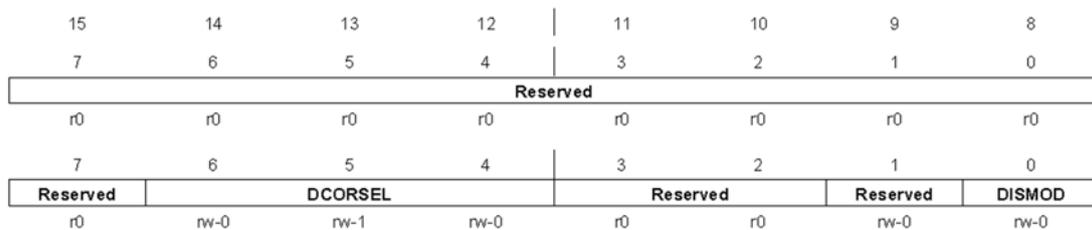
UCSCTL0_L 位 7—3

保留：读回值为 0

UCSCTL0 位 2—0

UCSCTL0_L 位 2—0

UCSCTL1, UCSCTL1_H, UCSCTL1_L, UCS 控制寄存器 1



保留：读回值为 0

UCSCTL1 位 15—8

UCSCTL1_H 位 7—0

保留：读回值为 0

UCSCTL1 位 7

UCSCTL1_L 位 7

DCORSEL:DCO 频率范围选择（频率范围请参考数据手册 50 页）

UCSCTL1 位 6—4

UCSCTL1_L 位 6—4

保留：读回值为 0

UCSCTL1 位 3—2

UCSCTL1_L 位 3—2

DISMOD:调制器禁止使能位。0—使能调制器；1—禁止调制器。

UCSCTL1 位 0

UCSCTL1_L 位 0

UCSCTL2, UCSCTL2_H, UCSCTL2_L, UCS 控制寄存器 2



保留：读回值为 0

UCSCTL2 位 15

UCSCTL2_H 位 7

FLLD: FLL 预分频器。这些位选择 DCO 的频率范围。

000 $f_{\text{DCOCLK}}/1$

001 $f_{\text{DCOCLK}}/2$

010 $f_{\text{DCOCLK}}/4$

011 $f_{\text{DCOCLK}}/8$

100 $f_{\text{DCOCLK}}/16$

101 $f_{\text{DCOCLK}}/32$

110 保留以备后来使用。默认值为 $f_{\text{DCOCLK}}/32$ 。

111 保留以备后来使用。默认值为 $f_{\text{DCOCLK}}/32$ 。

UCSCTL2 位 14—12

UCSCTL2_H 位 6—4

保留：读回值为 0

UCSCTL2 位 11—10

UCSCTL2_H 位 3—2

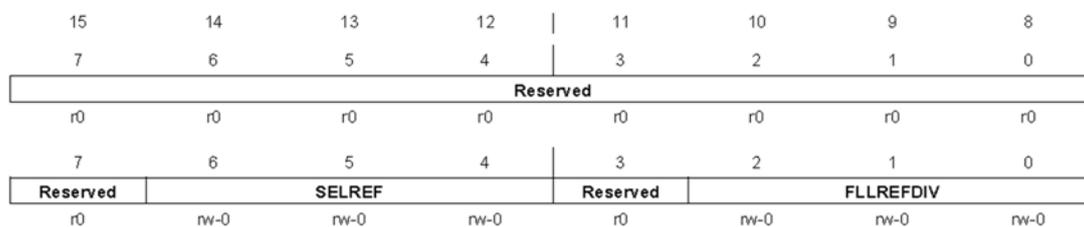
FLLN: 倍频系数。设置倍频值 N, N 必须大于 0, 如果 FLLN=0, 则 N 被自动设置为 1。

UCSCTL2 位 9—0

UCSCTL2_H 位 1—0

UCSCTL2_L 位 7-0

UCSCTL3, UCSCTL3_H, UCSCTL3_L, UCS 控制寄存器 3



保留：读回值为 0

UCSCTL3 位 15—8

UCSCTL3_H 位 7—0

保留：读回值为 0

UCSCTL3 位 7

UCSCTL3_L 位 7

SELREF:FLL 参考时钟选择

000 XT1CLK

001 保留以备后来使用。默认值为 XT1CLK.

010 REFOCLK

011 保留以备后来使用。默认值为 REFOCLK.

100 保留以备后来使用。默认值为 REFOCLK.

101 当 XT2 有效时为 XT2CLK，否则为 REFOCLK.

110 保留以备后来使用。当 XT2 有效时为 XT2CLK，否则为 REFOCLK.

111 保留以备后来使用。当 XT2 有效时为 XT2CLK，否则为 REFOCLK.

UCSCTL3 位 6—4

UCSCTL3_L 位 6—4

保留：读回值为 0

UCSCTL3 位 3

UCSCTL3_L 位 3

FLLREFDIV:FLL 参考时钟分频器。

000 $f_{FLLREFCLK}/1$

001 $f_{FLLREFCLK}/2$

010 $f_{FLLREFCLK}/4$

011 $f_{FLLREFCLK}/8$

100 $f_{FLLREFCLK}/12$

101 $f_{FLLREFCLK}/16$

110 保留以备后来使用。默认值为 $f_{FLLREFCLK}/16$ 。

111 保留以备后来使用。默认值为 $f_{FLLREFCLK}/16$ 。

UCSCTL4, UCSCTL4_H, UCSCTL4_L, UCS 控制寄存器 4

15	14	13	12	11	10	9	8
7	6	5	4	3	2	1	0
Reserved				SELA			
r0	r0	r0	r0	r0	rw-0	rw-0	rw-0
7	6	5	4	3	2	1	0
Reserved	SELS		Reserved		SELM		
r0	rw-1	rw-0	rw-0	r0	rw-1	rw-0	rw-0

保留：读回值为 0

UCSCTL4 位 15—11

UCSCTL4_H 位 7—3

SELA: ACLK 时钟源选择

000 XT1CLK

001 VLOCLK

010 REFOCLK

011 DCOCLK

100 DCOCLKDIV

101 当 XT2 有效时为 XT2CLK，否则为 DCOCLKDIV

110 保留以备后来使用。当 XT2 有效时默认为 XT2CLK，否则默认为 DCOCLKDIV

111 保留以备后来使用。当 XT2 有效时默认为 XT2CLK，否则默认为 DCOCLKDIV

UCSCTL4 位 10—8

UCSCTL4_H 位 2—0

保留：读回值为 0

UCSCTL4 位 7

UCSCTL4_L 位 7

SELS: SMCLK 时钟源选择

000 XT1CLK

001 VLOCLK

010 REFOCLK

011 DCOCLK

100 DCOCLKDIV

101 当 XT2 有效时为 XT2CLK，否则为 DCOCLKDIV

110 保留以备后来使用。当 XT2 有效时默认为 XT2CLK，否则默认为 DCOCLKDIV

111 保留以备后来使用。当 XT2 有效时默认为 XT2CLK，否则默认为 DCOCLKDIV

UCSCTL4 位 6—4

UCSCTL4_L 位 6—4

保留：读回值为 0

UCSCTL4 位 3

UCSCTL4_L 位 3

SELM: MCLK 时钟源选择

000 XT1CLK

001 VLOCLK

010 REFOCLK

011 DCOCLK

100 DCOCLKDIV

101 当 XT2 有效时为 XT2CLK，否则为 DCOCLKDIV

110 保留以备后来使用。当 XT2 有效时默认为 XT2CLK，否则默认为 DCOCLKDIV

111 保留以备后来使用。当 XT2 有效时默认为 XT2CLK，否则默认为 DCOCLKDIV

UCSCTL5, UCSCTL5_H, UCSCTL5_L, UCS 控制寄存器 5

15	14	13	12	11	10	9	8
7	6	5	4	3	2	1	0
Reserved	DIVPA			Reserved	DIVA		
rw-0	rw-0	rw-0	rw-0	rw-0	rw-0	rw-0	rw-0
7	6	5	4	3	2	1	0
Reserved	DIVS			Reserved	DIVM		
rw-0	rw-0	rw-0	rw-0	rw-0	rw-0	rw-0	rw-0

保留：读回值为 0

UCSCTL5 位 15

UCSCTL5_H 位 7

DIVPA: ACLK/n 外部引脚输出有效时钟分频

000 fACLK/1

001 fACLK/2

010 fACLK/4

011 fACLK/8

100 fACLK/16

101 fACLK/32

110 保留以备后来使用。默认值为 fACLK/32.

111 保留以备后来使用。默认值为 fACLK/32.

UCSCTL5 位 14—12

UCSCTL5_H 位 6—4

保留：读回值为 0

UCSCTL5 位 11

UCSCTL5_H 位 3

DIVA: ACLK 时钟源分频

000 fACLK/1

001 fACLK/2

010 fACLK/4

011 fACLK/8

100 fACLK/16

101 fACLK/32

110 保留以备后来使用。默认值为 fACLK/32.

111 保留以备后来使用。默认值为 fACLK/32.

UCSCTL5 位 10—8

UCSCTL5_H 位 2—0

保留：读回值为 0

UCSCTL5 位 7

UCSCTL5_L 位 7

DIVS: SMCLK 时钟源分频

000 fACLK/1

001 fACLK/2

010 fACLK/4

011 fACLK/8

100 fACLK/16

101 fACLK/32

110 保留以备后来使用。默认值为 fACLK/32.

111 保留以备后来使用。默认值为 fACLK/32.

UCSCTL5 位 6—4

UCSCTL5_L 位 6—4

保留：读回值为 0

UCSCTL5 位 3

UCSCTL5_L 位 3

DIVM: MCLK 时钟源分频

000 fACLK/1

001 fACLK/2

010 fACLK/4

011 fACLK/8

100 fACLK/16

101 fACLK/32

110 保留以备后来使用。默认值为 fACLK/32.

111 保留以备后来使用。默认值为 fACLK/32.

UCSCTL5 位 2—0

UCSCTL5_L 位 2—0

UCSCTL6, UCSCTL6_H, UCSCTL6_L, UCS 控制寄存器 6

15	14	13	12	11	10	9	8
7	6	5	4	3	2	1	0
XT2DRIVE		Reserved	XT2BYPASS	Reserved			XT2OFF
rw-1	rw-1	r0	rw-0	r0	r0	r0	rw-1
7	6	5	4	3	2	1	0
XT1DRIVE		XTS	XT1BYPASS	XCAP		SMCLKOFF	XT1OFF
rw-1	rw-1	rw-0	rw-0	rw-1	rw-1	rw-0	rw-1

XT2DRIVE: XT2 振荡器的电流可以调整以适应驱动器的需要。起初，XT2 振荡器以最大电流启动，以实现可靠地快速启动。如果有必要的话，用户软件可以降低驱动器的能力。

- 00 最低电流消耗。XT2 振荡器工作在 4MHz 到 8MHz
- 01 增强 XT2 振荡器驱动强度。XT2 振荡器工作在 8MHz 到 16MHz。
- 10 增强 XT2 振荡器驱动能力。XT2 振荡器工作在 16MHz 到 24MHz。
- 11 XT2 振荡器最大能力、最大电流消耗。XT2 振荡器工作在 24MHz 到 32MHz。

UCSCTL6 位 15—14

UCSCTL6_H 位 7—6

保留：读回值为 0

UCSCTL6 位 13

UCSCTL6_H 位 5

XT2BYPASS: XT2 旁路选择

- 0 XT2 来源于内部时钟（使用外部晶振）
- 1 XT2 来源于外部引脚输入（旁路模式）

UCSCTL6 位 12

UCSCTL6_H 位 4

保留：读回值为 0

UCSCTL6 位 11—9

UCSCTL6_H 位 3—1

XT2OFF：关闭 XT2 振荡器

- 0 当 XT2 引脚被设置为 XT2 功能且没有被设置位旁路模式时，XT2 被打开。
- 1 当 XT2 没有被用作 ACLK, MCLK 和 SMCLK 时钟源以及没有用作 FLL 参考时钟时，XT2 被关闭。

UCSCTL6 位 8

UCSCTL6_H 位 0

XT1DRIVE：XT1 振荡器的电流可以调整以适应驱动器的需要。起初，

XT1 振荡器以最大电流启动，以实现可靠地快速启动。如果有必要的话，用户软件可以降低驱动器的能力。

- 00 XT1 的 LF 模式最低电流消耗。XT1 振荡器在 HF 模式下工作在 4MHz 到 8MHz
- 01 增强 XT1 振荡器在 LF 模式下驱动强度。XT1 振荡器在 HF 模式下工作在 8MHz 到 16MHz。
- 10 增强 XT1 振荡器在 LF 模式下驱动能力。XT1 振荡器在 HF 模式下工作在 16MHz 到 24MHz。
- 11 XT1 振荡器在 LF 模式下最大能力、最大电流消耗。XT1 振荡器在 HF 模式下工作在 24MHz 到 32MHz。

XTS: XT1 模式选择我

0 低频模式。XCAP 定义 XIN 和 XOUT 引脚间的电容

1 高频模式。XCAP 位没有被使用。

UCSCTL6 位 5

UCSCTL6_L 位 5

XT1BYPASS: XT1 旁路模式选择。

0 XT1 时钟来源于内部（使用外部晶振）

1 XT1 时钟来源于外部引脚输入（旁路模式）

UCSCTL6 位 4

UCSCTL6_L 位 4

XCAP: 振荡器负载电容选择。这些位选择低频晶振或谐振器在低频模式（XTS=0）时的负载电容。假设 $C_{XIN}=C_{XOUT}$ 且印制电路板产生的寄生电容为 2pF，则有效电容（视晶振而定）的大小 C_{eff} 约等于 $(C_{XIN} + 2 \text{ pF})/2$ 。详情请参考数据手册 46 页。

UCSCTL6 位 3—2

UCSCTL6_L 位 3—2

SMCLKOFF: SMCLK 关闭控制位。

0 SMCLK 关闭

1 SMCLK 打开

UCSCTL6 位 1

UCSCTL6_L 位 1

XT1OFF: XT1 关闭控制位

- 0 当 XT1 引脚被设置为 XT1 功能且没有被设置位旁路模式时，XT1 被打开。
- 1 当 XT1 没有被用作 ACLK, MCLK 和 SMCLK 时钟源以及没有用作 FLL 参考时钟时，XT1 被关闭

UCSCTL7, UCSCTL7_H, UCSCTL7_L, UCS 控制寄存器 7

15	14	13	12	11	10	9	8
7	6	5	4	3	2	1	0
Reserved		FLLWARNEN	FLLULIE	FLLUNLOCKHIS		FLLUNLOCK	
r0	r0	rw-0	rw-(0)	rw-(1)	rw-(1)	r-1	r-1
7	6	5	4	3	2	1	0
Reserved		FLLULIFG	XT2OFFG	XT1HFOFFG	XT1LFOFFG	DCOFFG	
r0	r0	r0	rw-(0)	rw-(0)	rw-(0)	rw-(1)	rw-(1)

保留：读回值为 0

UCSCTL7 位 15—14

UCSCTL7_H 位 7—6

FLLWARNEN: 警告允许控制位。如果当 OFIFG 产生时 FLLUNLOCKHIS 不等

00, 且 FLLWARNEN 位置位, 则将有中断产生。

0 FLLUNLOCKHIS 状态能设置 OFIFG

1 FLLUNLOCKHIS 状态不能设置

OFIFG UCSCTL7位 13

UCSCTL7_H 位 6

FLLULIE: FLL 开启中断允许。当 FLLULIE 位为 1 时, 如果 FLLULIFG 置位 将触发一个 PUC 复位。当 FLLUNLOCD 位不等于 00 时, FLLULIFG 置位。FLLULIE 在进入中断服务之前会自动清零。如果 FLLULIE 位为 0, 则 FLLULIFG 不会产生 PUC 复位信号。

UCSCTL7 位 12

UCSCTL7_H 位 4

FLLUNLOCKHIS: 开启历史控制位。这两个位控制是否开启历史配置。一旦开启, 他们各自的位将被设置并保持直到用软件写入 0 来清除或产生 POR 复位。

00 FLL 关闭。从最以次复位后这几位没有开启情况发现。

01 DCOCLK 从这几位被清零后已经太低。

10 DCOCLK 从这几位被清零后已经太快。

11 DCOCLK 从这几位被清零后已经太快和太低。

UCSCTL7 位 11—10

UCSCTL7_H 位 3—2

FLLUNLOCK: FLL 开启控制位。该位表明 FLL 电流的开启情况。其设置与 DCOFFG 位的设置相同。

00 FLL 关闭。当前没有开启情况激活

01 当前 DCOCLK 太慢

10 当前 DCOCLK 太快

11 DCOERROR. DCO 超出范围

UCSCTL7 位 9—8

UCSCTL7_H 位 1—0

保留: 读回值为 0

UCSCTL7 位 7—5

UCSCTL7_L 位 7—5

FLLULIFG: FLL 中断开启控制位。当 FLLUNLOCK 位等于 10 (DCO 太快) 时该位置位，如果 FLLUIFE 位也为 1，则当 FLLUIFG 置位时将触发 PUC 复位。

0 FLLUNLOCK 位不等于 10

1 FLLUNLOCK 位等于 10

XT2OFFG: XT2 振荡器错误标志位。如果该位置位 OFIFG 位也置位。当 XT2 振荡器发生错误时 XT2OFFG 置位。XT2OFFG 位可以通过软件置位。如果 XT2 振荡器错误一直存在，则 XT2OFFG 一直置位。

0 从前次复位后没有错误发生

1 XT2 错误。上次复位后 XT2 发生了错误。 **XT1HFOFFG:**

XT1 振荡器 HF 模式下错误标志位。如果该位置位 OFIFG

也置位。如果 XT1 振荡器 HF 模式发生错误该位置位。该位可以通过软件清零。如果 XT1 错误一直存在，该位一直置位。

0 上次复位后没有错误发生

1 XT1 (HF 模式) 错误。上次复位后有 XT1 错误发生

UCSCTL7 位 2

UCSCTL7_L 位 2

XT1LFOFFG: XT1 振荡器 LF 模式下错误标志位。如果该位置位 OFIFG 也置位。如果 XT1 振荡器 LF 模式发生错误该位置位。该位可以通过软件清零。如果 XT1 错误一直存在，该位一

直置位。

0 上次复位后没有错误发生

1 XT1 (LF 模式) 错误。上次复位后有 XT1 错误发生

DCOFFG: DCO 错误标志。如果该位置位 0FIFG 也置位。DCO_x=0 或 DCO_x=31 时该位置为。该位可以用软件清零。如果 DCO 错误一直存在, 该位一直置位。只要 DCOFFG 置位, FLLUNLOCK 反应 DCOERROR 状态。

0 上次复位后没有错误发生

1 DCO 错误。上次复位后有 DCO 错误发生

UCSCTL8, UCSCTL8_H, UCSCTL8_L, UCS 控制寄存器 8

15	14	13	12	11	10	9	8
7	6	5	4	3	2	1	0
Reserved						Reserved	Reserved
r0	r0	r0	r0	r0	r0	rw-(1)	rw-(1)
7	6	5	4	3	2	1	0
Reserved			Reserved	MODOSCREQ EN	Reserved	Reserved	Reserved
r0	r0	r0	rw-(1)	rw-(0)	rw-(1)	rw-(1)	rw-(1)

保留: 读回值为 0

UCSCTL8 位 15—10

UCSCTL8_H 位 7—2 保留:

必须总是写入为 1

UCSCTL8 位 9

UCSCTL8_H 位 1

保留: 必须总是写入为 1

UCSCTL8 位 8

UCSCTL8_H 位 0

保留：读回值为 0

UCSCTL8 位 7—5

UCSCTL8_L 位 7—5 保

留：必须总是写入为 1

UCSCTL8 位 4

UCSCTL8_L 位 4

MODOSCREQEN：MODOSC 时钟要求使能。

0 MODOSC 请求允许

1 MODOSC 请求禁止

UCSCTL8 位 2

UCSCTL8_L 位 2 保

留：必须总是写入为 1

UCSCTL8 位 1

UCSCTL8_L 位 1 保

留：必须总是写入为 1

UCSCTL8 位 0

UCSCTL8_L 位 0