

基于 DSP 的光伏并网逆变器的设计

Design of Photovoltaic Grid-connected Inverter Based on DSP

蒲鹏鹏, 刘广思 (河南理工大学电气工程与自动化学院, 河南 焦作 454000)

Pu Peng-peng, Liu Guang-si (School of Electronic Engineering and Automation, Henan Polytechnic University, Henan Jiaozuo 454003)

摘要: 光伏并网发电系统是光伏系统发展的趋势, 文章根据光伏并网发电系统的特点, 设计了一套基于数字信号处理器 TMS320F2407 控制的单相光伏并网逆变器。分析了系统的结构和控制原理, 设计了最大功率点跟踪算法和锁相环的软件设计流程图。实验结果表明并网电流波形良好, 逆变器输出的电流基本与电网电压同频同相, 并网的功率因数近似为 1。

关键词: 光伏并网; 数字信号处理器; 逆变器

中图分类号: TN602

文献标识码: B

文章编号: 1003-0107(2009)07-0020-04

Abstract: Grid-connected photovoltaic (PV) system is the development trend of photovoltaic systems. According to the grid-connected PV system characteristics, this paper presents the design of a photovoltaic grid-connected inverter based on the digital signal processor TMS320F2407. The paper analyzes the constitute and control principle of the system and designs the software flow chart of MPPT(Maximum Power Point Tracking) algorithm and the phase lock loop. The experimental results show the grid-connected current wave achieves our need. The wave of grid-connected current has the same frequency and phase as the utility voltage. The power factor of grid-connected has reached to nearly 1.

Key words: grid-connected photovoltaic; digital signal processor; inverter

CLC number: TN602

Document code: B

Article ID: 1003-0107(2009)07-0020-04

1 引言

随着科学技术的快速发展和人们生活水平的不断提高, 人们对能源的需求量越来越多, 而传统的化石能源日益枯竭。因此, 开发利用可再生能源是全世界各国共同追求的目标。太阳能发电安全、清洁、资源分布均匀, 对环境没有污染和破坏。太阳能光伏并网发电已成为新能源开发利用领域的一个重要方向^[1]。并网逆变器作为光伏并网发电系统的关键设备之一, 其性能对提高光伏发电效率, 降低成本具有重要意义。而本文中应用的 TMS320F2407 DSP 芯片具有高速信号处理结构特点, 可以快速、准确、方便地实现先进的控制方法, 提高了逆变系统的稳定性和控制精度。在数字化电源系统中有着广泛的应用^[2]。

2 单项光伏并网发电系统的组成

光伏并网逆变器的结构如图 1 所示。光伏并网逆变器主要由两部分组成, 前级的 DC-DC 升压变换器和后级的 DC-AC 逆变器。系统的控制部分都是由以 DSP (TMS320F2407A) 为核心的控制电路完成。另外系统设计了基于 TOP244G 的辅助电源为控制电路提供电源。

图 2 为光伏并网逆变器的主回路拓扑结构。其中 DC-DC 变换器部分为 BOOST 结构^[3], 主要由电感、二极管和 MOSFET 开关管组成, 其中 DC-DC 变换器控制部分主要完成太阳能电池的最大功率点跟踪控制^[4]。系统通过 MPPT 控制算法找到太阳能电池阵列的最佳工作点, 然后通过控制 DC-DC 变换器的开关管的占空比来调节系统的工作点。中间的支撑电容是 DClink 部分。DClink 部分的作用是连接 DC-DC 变换器和

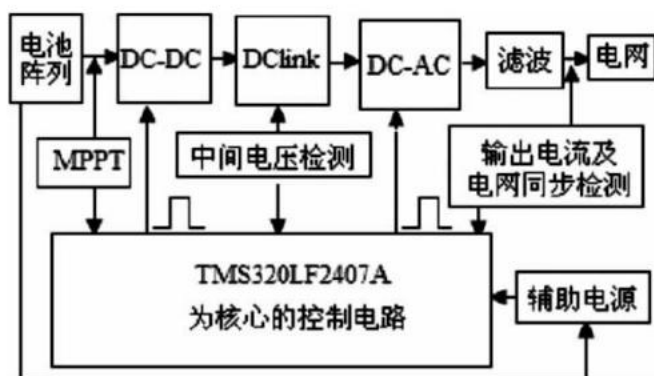


图 1 光伏并网逆变系统结构框图

DC-AC 逆变器, 并实现功率传递。DC-AC 逆变器主电路采用全桥式结构, 由四个 IGBT 开关管和四个反并联的二极管构成, DC-AC 逆变器的控制部分主要完成维持 DClink 中间电压稳定和实现与网压同步的单位功率因数正弦波电流输出。

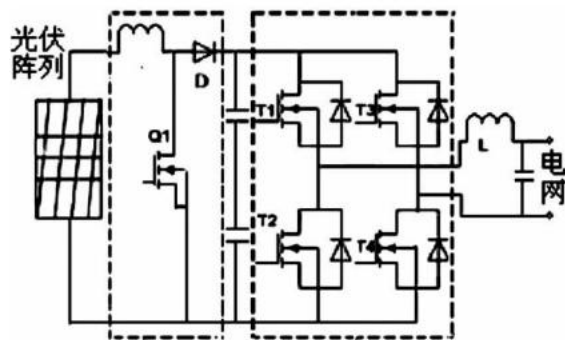


图 2 光伏并网发电系统主电路图

3 光伏并网逆变系统控制电路设计

控制板如图 3 所示, 以 TI 公司的 TMS320LF2407A 为核心, 外围辅以电压电流模拟信号调理电路、CPLD 逻辑电路, 完成对电压电流信号的采样、PWM 脉冲的产生、与上位机的通信和故障保护等功能。

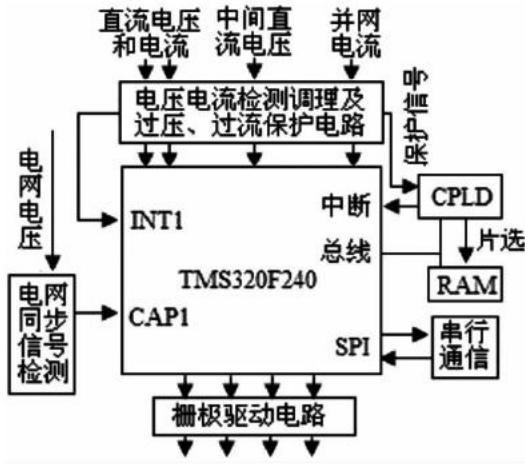


图 3 TMS320F240 控制板框图

为了简化 DSP 外围接口电路的设计, 本系统采用了 CPLD 来实现 DSP 外围的译码、数据传输、时序控制等功能。因为 CPLD 的管脚具有重定义的功能[5], 这使得 PCB 板的设计要简化很多。TMS320LF2407A 片内具有 544 字节的 RAM, 在系统正常工作中使用的是片内的 RAM, 但是为了调试的方便, 在电路上扩展了一片 64K 的外部 RAM, 可根据需要设置为程序存储器或数据存储器来使用。

3.1 电压电流采样电路

本文采用两级式电路结构来实现最大功率和并网控制, 其中对参数的检测是控制精确的重要保证, 两级式并网逆变器需要检测有: BOOST 侧输入直流电压和电流、中间直流侧电压、逆变器输出电流、市电电压等五个模拟量。本系统的控制电路使用 TI 公司的 TMS320LF2407A DSP 作为主控制芯片, 它提供了 16 路 10 位的 A/D 接口, 输入电压范围为 0~+3.3V, 由于被采样的信号电压都远高于 +3.3V, 所以需设计采样电路来实现信号电压的转换。输出采样电路与控制电路进行电气隔离是必须的。本文采用高速光耦 HCPL7800 来实现电气隔离, 它的工作电压为隔离的双 +5V, 带宽为 85kHz, 可以消除至少 10Kv/us 的共模干扰, 为检测提供很高的准确性和稳定性[6]。HCPL7800 的内部结构图如图 4 所示。

3.2 关管的隔离驱动电路

DSP 控制电路产生的 PWM 信号先通过驱动电路, 然后控制 IGBT 开关管的开通状态。驱动光耦选用 HCPL3120 高速光耦, 驱动电路的输入和输出是相互隔离的, 驱动电路驱动电源采用前面设计的辅助电源, 它可以提供 +12 V、-12V、+5V, 可以满足 HCPL3120 的正常工作。以 HCPL3120 为核心隔离驱

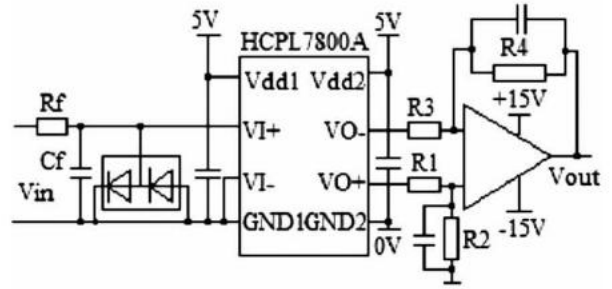


图 4 基于 HCPL7800 隔离放大电路

动电路如图 5 所示, R1 为光耦 HCPL3120 的限流电阻, HCPL3120 的正向平均输入电流为 25mA, 最大峰值电流不能超过 50mA, 考虑一定的裕量, 取 R1 为 270Ω, 使输入电流不超过 15mA。C1 是隔离光耦输出滤波电容, 采用 10nF 耐压 25V 的电解电容。去耦电容采用 0.1uF 的普通电容。

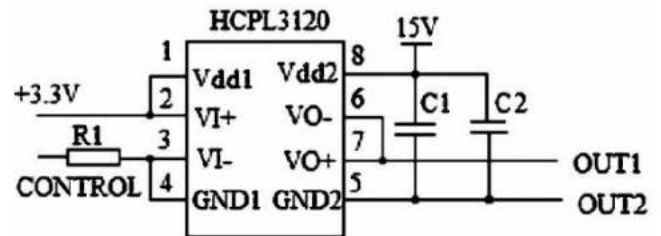


图 5 HCPL3120 隔离驱动电路

4 软件设计

4.1 最大功率点跟踪 (MPPT) 控制算法

在光伏发电系统中, 要提高系统的整体效率, 一个重要的途径就是实时调整光伏电池的工作点, 使之始终工作在最大功率点附近, 这一过程就称之为最大功率点跟踪 (MPPT- Maximum Power Point Tracking)。

MPPT 的实质是一种自寻优过程, 一些常用的跟踪方法就是通过检测电池的输出电压和电流, 连续计算电池的输出功率, 通过寻优的方法使电池的输出电压趋近于最大功率点对应的电压来实现最大功率点的跟踪。本文研究的是小功率并网发电系统, 所以系统输出电压固定, 输出电流随输出功率 P 的增加单调上升, 所以最大输出电流意味着最大功率。在本文的系统中, 前级 DC-DC 变换器占空比 D 是可以控制的变量, 系统根据采样逆变器输出的电流值, 通过电流检测电路输入到 DSP 的 A/D 转换模块, 经过写入的 MPPT 控制程序进行分析处理, 得出控制结论, 最后控制 DC-DC 变换器的开关管的占空比来调节系统的工作点。因此控制 D 连续变化的同时, 观察输出电流的变化[7]。只要由于 D 的变化导致输出电流增加, 就应当在相同的变化方向控制 D, 反之应当在相反的变化方向控制 D。以此方法逐步逼近最大功率点。这种方法直接把占空比作为控制参数, 只需要一个控制循环, 从而减少了控制器设计的难度。图 6 示出系统 MPPT 控制算法的流程。

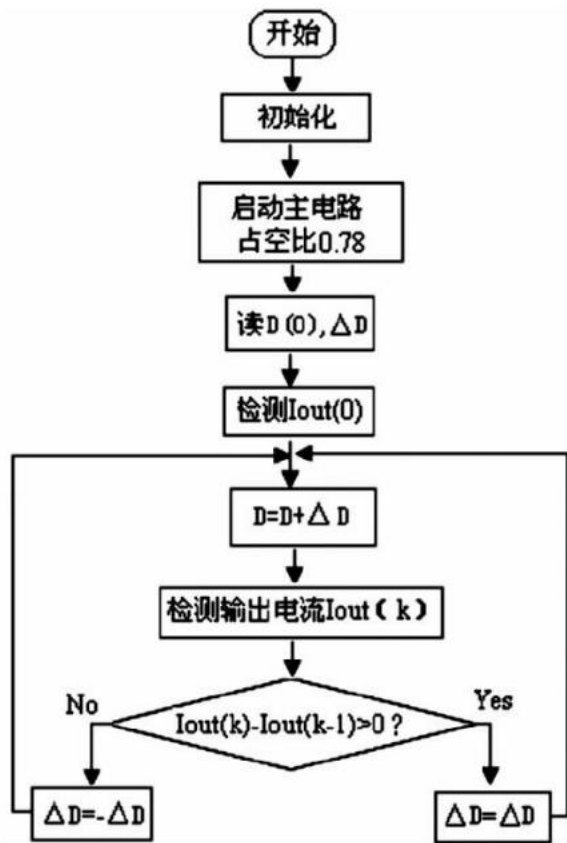


图6 MPPT控制算法流程图

4.2 锁相环的软件设计

本文设计的 SPLL, 系统框图如图 7 所示。市电电压信号经频率检测, 确定市电频率是否满足精度要求。考虑到我国电网实情, 该值一般在 50Hz 左右。当检测到输入频率高于(低于)正常规定范围时, 按照一定步长逐渐增大(减小) PWM 周期计时器值, 直到输出频率在允许范围内。同样, 调节相位也是按照同样方式进行, 当发现相位超前则调整查表顺序使输出滞后一定相位, 反之使输出超前一定相位, 这种方法可以计算出最大的锁相时间, 所以就可以根据所要求的参数来确定最小相位调节幅度。并且最终锁相的稳态误差就是一个相位的基本调节单位。这种实现方法简单、直观, 实现方便, 稳态误差较小且可以控制^[4]。

5 实验

我们设计了一套光伏并网逆变器, 太阳能电池阵列采用 4 块 175W 的多晶硅太阳能电池阵列串联, 额定输入功率为 700W, 太阳能电池阵列的额定工作电压约 140V 左右, 实验测试系统输入侧分别用安培表和伏特表测量太阳能电池的输入电压和电流, 输出侧采用 Power Quality Analyzer Fluke 电能质量分析仪检测并网逆变器输出交流电压和电流的参数和波形。

图 8 和图 9 分别示出逆变器输出电压电流的实验波形和谐波含量。由图可见, 输出电压电流已达到了很好的同步。该

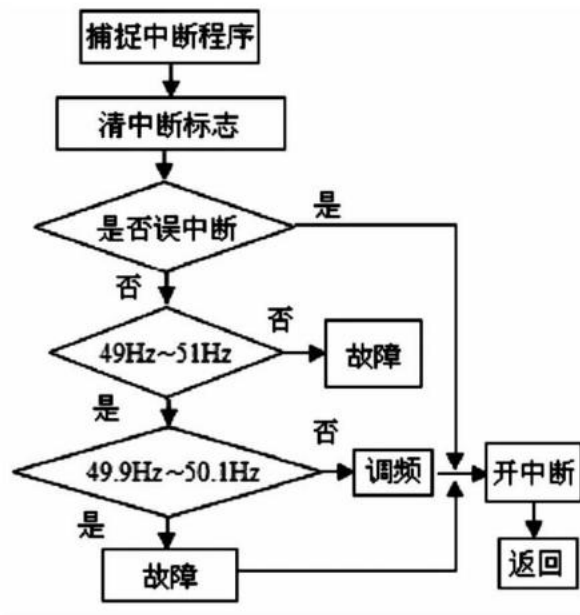


图7 SPLL程序流程图

样机系统的输出功率为 570W, THD 为 7.9%, 功率因数为 0.95, 基本上为单位功率因数。同时也可以看出我们所研究的实验系统运行稳定, 能真正达到绿色并网发电。

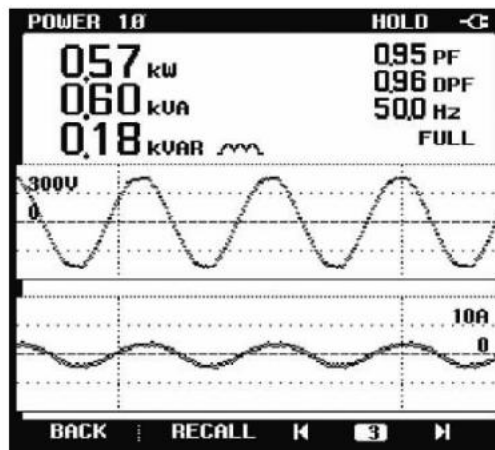


图8 逆变器输出电压和电流波形

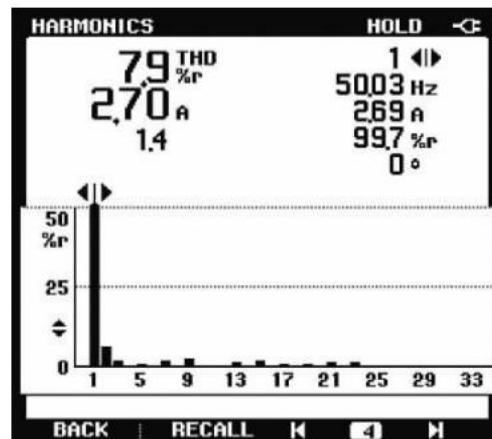


图9 谐波含量


6 结束语

本文提出了一种基于 TMS320F2407 控制的单相光伏并网逆变器系统的设计方法,分析了系统的结构和控制原理,设计了最大功率跟踪 MPPT 算法和锁相环的软件设计流程图,构建了实验室样机,其实验的结果表明了本设计方案的正确性和可行性。

参考文献:

[1] 杨忠. 太阳能光伏发电现状与发展趋势[J]. 金陵科技学院学报, 2008, 24(1): 9- 13.
 [2] 苏奎峰, 吕强, 耿庆锋, 等. TMS320F2407 原理与开发[M]. 北京: 电子工业出版社, 2005.
 [3] 李金伴, 李捷辉, 李捷明. 开关电源技术[M]. 北京: 化学工业出版社, 2006.

[4] Stefan Krauter. 太阳能发电 - 光伏能源系统[M]. 北京: 机械工业出版社, 2008.
 [5] 康怡, 韩钧. CPLD 在 DSP 数据采集系统中的应用[J]. 电气应用, 2006, 25(11): 36- 38, 89.
 [6] 姜久红, 朱若燕. 光耦隔离运放 HCPL7800 在电机电流采样中的应用[J]. 微计算机信息, 2004, 20(6): 39- 40.
 [7] KOUTROULIS E, KALAITZAKIS K, VOULGARIS N C. Development of a microcontroller based, photovoltaic maximum power point tracking control system [J]. IEEE Transaction on Power Electronics, 2001, 16(1): 46- 52.
 [8] 陈晓高, 付青, 周龙华, 等. 基于 DSP 锁相技术的光伏并网逆变器控制 [J]. 中山大学研究生学刊 (自然科学、医学版), 2007, 28(3): 64- 70.

上接 16 页 

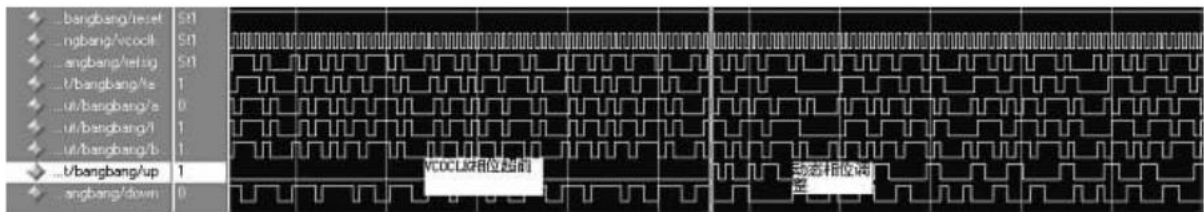


图 4 bang-bang 鉴相器的仿真波形

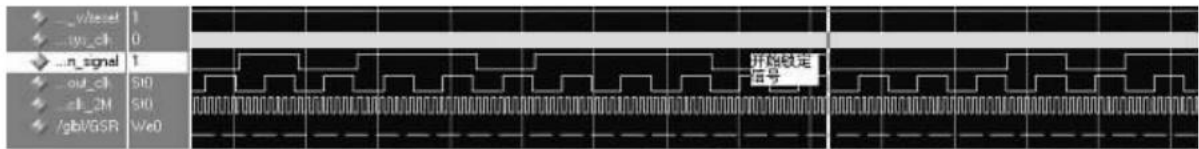


图 5 数字锁相环仿真波形

去控制。由于收发两端存在着频差 Δf , 位同步信号相位就会相对于输入信号相位而发生偏移, 偏移的数值应为: $\Delta\theta = 2\pi \Delta f \cdot t_c$, 其中 Δf 为频差, t_c 为信号中断时间^[1]。

为了使信号在恢复时缩短环路的锁定时间, 通常要求信号的中断时间不宜太长。频差 Δf 的最大允许值为 $2\Delta f_p$ 。若对 $\Delta\theta$ 提出不超过某一允许值的要求, 如: $\Delta\theta \leq \varepsilon \cdot 2\pi$ (ε 为失步系数)。则允许的信号中断时间 t_c 应为: $t_c = \varepsilon / 2 \Delta f_p = M\varepsilon / 2f_0$, 允许的信号中断时间也是同步的。

4 仿真结果与分析

bang-bang 鉴相器的输出波形如图 4 所示, 开始时 DCO-CLK 相位比输入信号超前(快), 通过 a、t、b 三个中间量的组合来判定 dcoclk 和输入信号 refsig 的相位差, 输出 "减" 脉冲或 "加" 脉冲。到如图光标处就开始动态相位调整。图中 t_a 为 dcoclk 下降沿采样信号, a、b 和 t 是上升沿采样信号, t 比 t_a 延时半个时钟周期。

整个数字锁相环的输出波形如图 5 所示, sys_clk 为本地

高速时钟序列, signal 为输入信号, out_clk 为位同步信号, clk_2M 是 out_clk 的倍频信号, 可以用于 2M 信号位同步, 比如用于将输入信号转换成 PCMB1 的 E1 信号的同步。从图中可以看出基于 bang-bang 鉴相器的数字锁相环锁定速度快, 精度高, 有利于位同步信息的提取。

参考文献:

[1] 胡华春, 石玉. 数字锁相环原理与应用[M]. 上海: 上海科学技术出版社, 1990.
 [2] Justin Gaither. Digital Phase-Locked Loop (DPLL) Reference Design[C]. XILINX, 2006, 10.
 [3] 庞浩, 王赞基. 一种基于 FPGA 实现的全数字锁相环[J]. 电子技术应用, 2005, 5: 28- 30.
 [4] Richard C. Walker. Designing Bang-Bang PLLs for Clock and Data Recovery in Serial Data Transmission Systems[Z]. 2006.
 [5] 杜勇, 江伟林. 用 FPGA 实现的位同步电路[J]. 长江大学学报 (自科版), 2004, 12, 1(4): 64- 66.