



全国大学生电子设计竞赛“十二五”规划教材

全国大学生电子设计竞赛 常用电路模块制作

黄智伟 编著



北京航空航天大学出版社
BEIHANG UNIVERSITY PRESS

全国大学生电子设计竞赛“十二五”规划教材

全国大学生电子设计竞赛 常用电路模块制作

黄智伟 编著

第九单片机论坛
www.9mcu.com

北京航空航天大学出版社

内 容 简 介

本书是为高等院校电子信息工程、通信工程、自动化和电气控制类专业学生编写的全国大学生电子设计竞赛常用电路模块制作训练的培训教材。全书共8章,内容包括:微控制器电路模块制作,微控制器外围电路模块制作,放大器电路模块制作,传感器电路模块制作,电机控制电路模块制作,信号发生器电路模块制作,电源电路模块制作,系统设计与制作;所有电路模块都提供电路图和PCB图,以及元器件布局图。

本书的特点是以全国大学生电子设计竞赛中所需要的常用电路模块为基础,以实际电路模块为模板,突出了电路模块的制作;叙述简洁清晰,工程性强,可以作为高等院校电子信息、通信工程、自动化和电气控制类专业学生参加全国大学生电子设计竞赛的培训教材,也可以作为参加各类电子制作、课程设计、毕业设计的教学参考书,以及电子工程技术人员进行电子电路设计与制作的参考书。

图书在版编目(CIP)数据

全国大学生电子设计竞赛常用电路模块制作 / 黄智伟编著. -- 北京:北京航空航天大学出版社,2011.1

ISBN 978-7-5124-0336-9

I. ①全… II. ①黄… III. ①电子电路-制作-高等学校-教学参考资料 IV. ①TN710.05

中国版本图书馆CIP数据核字(2011)第011915号

版权所有,侵权必究。

全国大学生电子设计竞赛常用电路模块制作

黄智伟 编著

责任编辑 李青 李冠咏 李徐心

*

北京航空航天大学出版社出版发行

北京市海淀区学院路37号(邮编100191) <http://www.buaapress.com.cn>

发行部电话:(010)82317024 传真:(010)82328026

读者信箱:emsbook@gmail.com 邮购电话:(010)82316936

印刷有限公司印装 各地书店经销

*

开本:787×960 1/16 印张:24.25 字数:543千字

2011年1月第1版 2011年1月第1次印刷 印数:5000册

ISBN 978-7-5124-0336-9 定价:42.00元

全国大学生电子设计竞赛是教育部倡导的四大学科竞赛之一,是面向大学生的群众性科技活动,目的在于促进信息与电子类学科课程体系和课程内容的改革,促进高等学校实施素质教育以及培养大学生的创新能力、协作精神和理论联系实际学风,促进大学生工程实践素质的培养,提高学生针对实际问题进行电子设计制作的能力。

全国大学生电子设计竞赛既不是单纯的理论设计竞赛,也不仅仅是实验竞赛,而是在一个半封闭、相对集中的环境和限定的时间内,由一个参赛队共同设计、制作完成一个有特定工程背景的作品。作品成功与否是竞赛能否取得好的成绩的关键。竞赛有其内在的规律和特点。

为满足高等院校电子信息工程、通信工程、自动化、电气控制类专业学生参加全国大学生电子设计竞赛的需要,我们修订并编写了这套系列丛书:《全国大学生电子设计竞赛系统设计(第2版)》、《全国大学生电子设计竞赛电路设计(第2版)》、《全国大学生电子设计竞赛技能训练(第2版)》、《全国大学生电子设计竞赛制作实训(第2版)》、《全国大学生电子设计竞赛常用电路模块制作》、《全国大学生电子设计竞赛 ARM 嵌入式系统应用设计与实践》。该系列丛书从 2006 年出版以来,已多次印刷,一直是全国高等院校大学生电子设计竞赛训练的首选教材之一。随着全国大学生电子设计竞赛的深入和发展,近几年来,特别是 2007 年以来,电子设计竞赛题目要求的深度、难度都有很大的提高。2009 年对竞赛规则与要求也出现了一些变化,如对“最小系统”的定义、“性价比”与“系统功耗”指标要求等。为适应新形势下全国大学生电子设计竞赛的要求与特点,对该系列丛书的内容进行了修订与补充。

《全国大学生电子设计竞赛系统设计(第2版)》在详细分析了历届全国大学生电子设计竞赛题目类型与特点的基础上,通过 47 个设计实例,系统介绍了电源类、信号源类、高频无线电类、放大器类、仪器仪表类、数据采集与处理类以及控制类 7 大类作品的设计要求、系统方案、电路设计、主要芯片、程序设计等内容。通过对这些设计实例进行系统方案分析、单元电路设计、集成电路芯片选择,可使学生全面、系统地掌握电子设计竞赛作品系统设计的基本方法,培养学生系统分析、开发创新的能力。

《全国大学生电子设计竞赛电路设计(第2版)》在详细分析了历届全国大学生电子设计竞赛题目的设计要求及所涉及电路的基础上,精心挑选了传感器应用电路、信号调理电路、放大器电路、信号变换电路、射频电路、电机控制电路、测量与显示电路、电源电路、ADC 驱动和 DAC 输出电路 9 类共 180 多个电路设计实例,系统介绍了每个电路设计实例所采用的集成电路芯片的主要技术性能与特点、芯片封装与引脚功能、内部结构、工作原理和应用电路等内容。

通过这些电路设计实例的学习,学生可全面、系统地掌握电路设计的基本方法,培养电路分析、设计和制作的能力。由于各公司生产的集成电路芯片类型繁多,限于篇幅,本书仅精选了其中很少的部分以“抛砖引玉”。读者可根据电路设计实例举一反三,并利用在参考文献中给出的大量的公司网址,查询到更多的电路设计应用资料。

《全国大学生电子设计竞赛技能训练(第2版)》从7个方面系统介绍了元器件的种类、特性、选用原则和需注意的问题;印制电路板设计的基本原则、工具及其制作;元器件、导线、电缆、线扎和绝缘套管的安装工艺和焊接工艺;电阻、电容、电感、晶体管等基本元器件的检测,电压和电平的测量,信号参数的测量,时间和频率的测量,电路性能参数的测量,噪声和接地对测量的影响;电子产品调试基本方法,故障检测的一般方法,模拟电路的调试与故障检测,数字电路的故障检测,整机的调试与故障检测;设计总结报告写作的基本格式、写作要求与示例;赛前培训、赛前题目分析和赛前准备等内容,通过上述内容的学习,学生可全面、系统地掌握在电子竞赛作品制作过程中必需的一些基本技能。

《全国大学生电子设计竞赛制作实训(第2版)》指导学生完成 SPCE061A 16 位单片机、AT89S52 单片机、ADuC845 单片数据采集等最小系统的制作;系统可编程模拟放大器、系统可编程低通滤波器、单通道音频功率放大器、双通道音频功率放大器、语音录放器、语音解说文字显示系统等模拟电路的制作;FPGA 最小系统、彩灯控制器等数字电路的制作;射频小信号放大器、射频功率放大器、VCO(压控振荡器)、PLL-VCO 环路、调频发射器、调频接收机等高频电路的制作;DDS AD9852 信号发生器、MAX038 函数信号发生器等信号发生器的制作;DC-DC 升压变换器、开关电源、交流固态继电器等电源电路的制作。介绍了电路组成、元器件清单、元器件清单、安装步骤、调试方法、性能测试方法等内容,可使学生提高实际制作能力。

《全国大学生电子设计竞赛常用电路模块制作》以全国大学生电子设计竞赛中所需要的常用电路模块为基础,介绍了 AT89S52、ATmega128、ATmega8、C8051F330/1 单片机, LM3S615 ARM Cortex-M3 微控制器、LPC2103 ARM 7 微控制器 PACK 板的设计与制作;键盘及 LED 数码管显示器模块、RS-485 总线通信模块、CAN 总线通信模块、ADC 模块和 DAC 模块等外围电路模块的设计与制作;放大器模块、信号调理模块、宽带可控增益直流放大器模块、音频放大器模块、D 类放大器模块、菱形功率放大器模块、宽带功率放大器模块、滤波器模块的设计与制作;反射式光电传感器模块、超声波发射与接收模块、温湿度传感器模块、阻抗测量模块、音频信号检测模块的设计与制作;直流电机驱动模块、步进电机驱动模块、函数信号发生器模块、DDS 信号发生器模块、压频转换模块的设计与制作;线性稳压电源模块、DC/DC 电路模块、Boost 升压模块、DC/AC/DC 升压电源模块的设计与制作;介绍了电路模块在随动控制系统、基于红外线的目标跟踪与无线测温系统、声音导引系统、单相正弦波逆变电源、无线环境监测模拟装置中的应用。本书以实用电路模块为模板,叙述简洁清晰,工程性强,可使学生提高常用电路模块的制作能力。所有电路模块都提供电路图、PCB 图和元器件布局图。

《全国大学生电子设计竞赛 ARM 嵌入式系统应用设计与实践》以 ARM 嵌入式系统在全

国大学生电子设计竞赛应用所需要的知识点为基础,介绍了LPC214x ARM微控制器最小系统的设计与制作;键盘及LED数码管显示器电路、汉字图形液晶显示器模块、触摸屏模块、LPC214x的ADC和DAC、定时器/计数器和脉宽调制器(PWM)、直流电机、步进电机和舵机驱动电路、光电传感器、超声波传感器、图像识别传感器、色彩传感器、电子软盘、倾角传感器、角度传感器、E²PROM 24LC256和SK-SDMP3模块、nRF905无线收发器电路模块、CAN总线模块电路与LPC214x ARM微控制器的连接、应用与编程;基于ARM微控制器的随动控制系统、音频信号分析仪、信号发生器和声音导引系统的设计要求、总体方案设计、系统各模块方案论证与选择、理论分析及计算、系统主要单元电路设计和系统软件设计;ADS1.2和MDK集成开发环境工程的建立、程序的编译、HEX文件的生成以及ISP下载。该书突出了ARM嵌入式系统应用的基本方法,以实例为模板,可使学生提高ARM嵌入式系统在电子设计竞赛中的应用能力。本书所有实例程序都通过验证,相关程序清单可以在北航出版社网站“下载中心”下载。

本系列丛书的特点:以全国大学生电子设计竞赛所需要的知识点和技能为基础,内容丰富实用,叙述简洁清晰,工程性强,突出了设计制作竞赛作品的方法与技巧。“系统设计”、“电路设计”、“技能训练”、“制作实训”、“常用电路模块制作”和“ARM嵌入式系统应用设计与实践”这6个主题互为补充,构成一个完整的训练体系。

《全国大学生电子设计竞赛系统设计(第2版)》通过对历年的竞赛设计实例进行系统方案分析、单元电路设计和集成电路芯片选择,全面、系统地介绍电子设计竞赛作品的基本设计方法,目的是使学生建立一个“系统概念”,在电子设计竞赛中能够尽快提出系统设计方案。

《全国大学生电子设计竞赛电路设计(第2版)》通过对9类共180多个电路设计实例所采用的集成电路芯片的主要技术性能与特点、芯片封装与引脚功能、内部结构、工作原理和应用电路等内容进行介绍,目的是使学生全面、系统地掌握电路设计的基本方法,以便在电子设计竞赛中尽快“找到”和“设计”出适用的电路。

《全国大学生电子设计竞赛ARM嵌入式系统应用设计与实践》以ARM嵌入式系统在全国大学生电子设计竞赛应用所需要的知识点为基础,以LPC214x ARM微控制器最小系统为核心,以LED、LCD和触摸屏显示电路,ADC和DAC电路,直流电机、步进电机和舵机的驱动电路,光电、超声波、图像识别、色彩识别、电子罗盘、倾角传感器、角度传感器,E²PROM,SD卡,无线收发器模块,CAN总线模块的设计制作与编程实例为模板,目的是使学生能够简单、快捷地掌握ARM系统,并且能够在电子设计竞赛中熟练应用。

《全国大学生电子设计竞赛技能训练(第2版)》通过对元器件的选用、印制电路板的设计与制作、元器件和导线的安装和焊接、元器件的检测、电路性能参数的测量、模拟/数字电路和整机的调试与故障检测、设计总结报告的写作,培训学生全面、系统地掌握在电子竞赛作品制作过程中必需的一些基本技能。

《全国大学生电子设计竞赛制作训练(第2版)》与《全国大学生电子设计竞赛技能实训(第2版)》相结合,通过单片机最小系统、FPGA最小系统、模拟电路、数字电路、数字电路、高频电

路、电源电路等 30 多个制作实例,掌握主要元器件特性、电路结构、印制电路板、制作步骤、调试方法、性能测试方法等内容,培养学生制作、装配、调试与检测等实际动手能力,使其能够顺利地完成电子设计竞赛作品的制作。

《全国大学生电子设计竞赛常用电路模块制作》指导学生完成电子设计竞赛中常用的微控制器电路模块、微控制器外围电路模块、放大器电路模块、传感器电路模块、电机控制电路模块、信号发生器电路模块和电源电路模块的制作,所制作的模块可以直接在竞赛中使用。

本系列丛书可作为电子设计竞赛参赛学生的训练教材,也可作为高等院校电子信息工程、通信工程、自动化、电气控制类专业学生参加各类电子制作、课程设计和毕业设计的教学参考书,还可作为电子工程技术人员和电子爱好者进行电子电路和电子产品设计与制作的参考书。

作者在本系列丛书的编写过程中,参考了国内外的大量资料,得到了许多专家和学者的大力支持。其中,北京理工大学、北京航空航天大学、国防科技大学,中南大学、湖南大学、南华大学等院校的指导老师和电子参赛队员提出了一些宝贵意见和建议,并为本系列丛书的编写做了大量的工作,在此一并表示衷心的感谢。

由于作者水平有限,本系列丛书的错误和不足之处在所难免,敬请各位读者批评斧正。

黄智伟

2011 年 1 月

于南华大学

前 言

随着全国大学生电子设计竞赛的深入和发展,电子设计竞赛在题目要求的深度、难度上都有很大的提高,在竞赛规则中对微控制器选型、电路模块采用的限制、“最小系统”的定义、“性价比”与“系统功耗”指标要求等也出现了一些变化。本书是针对新形势下全国大学生电子设计竞赛的特点和需要,为高等院校电子信息工程、通信工程、自动化和电气控制类专业学生编写的在电子设计竞赛中常用电路模块制作的培训教材。

本书的特点是以全国大学生电子设计竞赛中所需要的常用电路模块为基础,以实际电路模块为模板,突出了电路模块的制作,叙述简洁清晰,工程性强,可以培养学生的设计与制作、综合分析与创新的能力。本书也可以作为参加各类电子制作、课程设计、毕业设计的教学参考书,以及电子工程技术人员进行电子电路设计与制作的参考书。

全书共分8章:第1章为微控制器电路模块制作,介绍了AT89S52单片机PACK板,ATmega128单片机PACK板,ATmega8单片机PACK板,C8051F330/1单片机PACK板,LM3S615 ARM CortexTM-M3微控制器PACK板,LPC2103 ARM7微控制器PACK板的设计与制作;第2章为微控制器外围电路模块制作,介绍了键盘及LED数码管显示器模块,RS-485总线通信模块,CAN总线通信模块,基于ADS930的8位30MHz采样速率的ADC模块,基于MCP3202的12位ADC模块,基于DAC904 14位165MSPS的DAC模块,基于THS5661 12位100MSPS的DAC模块,基于TLV5618双12位DAC模块的设计与制作;第3章为放大器电路模块制作,介绍了基于MAX4016+THS3902的放大器模块,基于AD624的信号调理模块,基于AD603的放大器模块,基于AD8055的放大器模块,基于AD811的放大器模块,基于ICL7650/53的放大器模块,宽带可控增益直流放大器模块,基于LM386的音频放大器模块,基于TEA2025的音频功率放大器模块、D类放大器模块、菱形功率放大器模块,基于BUF634宽带功率放大器模块、滤波器模块的设计与制作;第4章为传感器电路模块制作,介绍了反射式光电传感器模块,超声波发射与接收模块,温湿度传感器模块,基于AD5933的阻抗测量模块,音频信号检测模块的设计与制作;第5章为电机控制电路模块制作,介绍了基于L298N的直流电机驱动模块,基于L297+L298N的步进电机驱动模块,基于TA8435H的步进电机驱动模块的设计与制作;第6章为信号发生器电路模块制作,介绍了基于MAX038的函数信号发生器模块,基于AD9850的信号发生器模块,基于AD652的压频转换模块的设计与制作;第7章为电源电路模块制作,介绍了线性稳压电源模块,基于MAX887

的 3.3 V DC-DC 电路模块,基于 MAX1771 的 Boost 升压模块,基于 UC3843 的 Boost 升压模块,DC-AC-DC 升压电源模块的设计与制作;第 8 章为系统设计与制作,介绍了随动控制系统,基于红外线的目标跟踪与无线测温系统,声音导引系统,单相正弦波逆变电源,无线环境监测模拟装置的系统设计方法,以及电路模块在系统设计中的应用。所有电路模块都提供电路图、PCB 图和元器件布局图。

本书在编写过程中,参考了大量的国内外著作和资料,得到了许多专家和学者的大力支持,听取了多方面的意见和建议。李富英高级工程师对本书进行了审阅,南华大学王彦副教授、朱卫华副教授、陈文光副教授、李圣老师,湖南理工学院陈松、胡文静、刘翔老师,湖南师范大学邓月明老师、张翼、李军、戴焕昌、汤玉平、金海锋、李林春、谭仲书、彭湃、尹晶晶、全猛、周到、杨乐、黄俊、伍云政、李维、周望、李文玉、方果、许超龙、姚小明、马明、黄政中、邱海枚、欧俊希、陈杰、彭波、许俊杰、李扬宗、肖志刚、刘聪、汤柯夫、樊亮、曾力、潘策荣、赵俊、王永栋、晏子凯、何超,湖南理工学院的尹慧、王立、何华梁等为本书的编写也做了大量的工作,在此表示衷心的感谢。

由于作者水平有限,不足之处在所难免,敬请各位读者批评斧正。

黄智伟

2010 年 9 月于南华大学

第九单片机的应用
www.9mcu.com

目 录

第 1 章 微控制器电路模块制作	1
1.1 AT89S52 单片机 PACK 板	1
1.1.1 AT89S52 单片机简介	1
1.1.2 AT89S52 单片机封装形式与引脚端功能	1
1.1.3 AT89S52 单片机 PACK 板电路和 PCB	4
1.2 ATmega128 单片机 PACK 板	6
1.2.1 ATmega128 单片机简介	6
1.2.2 ATmega128 单片机封装形式与引脚端功能	7
1.2.3 ATmega128 单片机 PACK 板电路和 PCB	10
1.3 ATmega8 单片机 PACK 板	15
1.3.1 ATmega8 单片机简介	15
1.3.2 ATmega8 单片机封装形式与引脚端功能	16
1.3.3 ATmega8 单片机 PACK 板电路和 PCB	19
1.4 C8051F330/1 单片机 PACK 板	20
1.4.1 C8051F330/1 单片机简介	20
1.4.2 C8051F330/1 单片机封装形式与引脚端功能	22
1.4.3 C8051F330/1 单片机 PACK 板电路和 PCB	24
1.5 LM3S615 ARM Cortex™-M3 微控制器 PACK 板	25
1.5.1 LM3S600 系列微控制器简介	25
1.5.2 LM3S615 微控制器的封装形式与引脚端功能	27
1.5.3 LM3S615 微控制器 PACK 板电路和 PCB	32
1.5.4 EasyARM615 ARM 开发套件	33
1.6 LPC2103 ARM 7 微控制器 PACK 板	34

1.6.1	LPC2103 系列微控制器简介	34
1.6.2	LPC2103 微控制器的封装形式与引脚端功能	36
1.6.3	LPC2103 微控制器 PACK 板电路和 PCB	41
1.6.4	EasyARM LPC2103ARM 开发套件	43
第 2 章	微控制器外围电路模块制作	44
2.1	键盘及 LED 数码管显示器模块	44
2.1.1	ZLG7290B 简介	44
2.1.2	ZLG7290B 封装形式与引脚端功能	44
2.1.3	ZLG7290B 键盘及 LED 数码管显示器模块电路和 PCB	45
2.1.4	ZLG7290B 4×4 矩阵键盘模块电路和 PCB	49
2.2	RS-485 总线通信模块	51
2.2.1	MAX485 封装形式与引脚端功能	51
2.2.2	MAX485 的典型应用	52
2.2.3	MAX485 总线通信模块电路和 PCB	52
2.3	CAN 总线接口通信模块	56
2.3.1	CAN 总线简介	56
2.3.2	CAN 总线接口通信模块结构	57
2.3.3	CAN 总线接口通信模块电路和 PCB	64
2.4	基于 ADS930 的 8 位 30 MHz 采样速率的 ADC 模块	66
2.4.1	ADS930 简介	66
2.4.2	基于 ADS930 的 ADC 模块电路和 PCB	68
2.5	基于 MCP3202 的 12 位 ADC 模块	69
2.5.1	MCP3202 简介	69
2.5.2	基于 MCP3202 的 ADC 模块电路和 PCB	71
2.6	基于 DAC904 14 位 165 MSPS 的 DAC 模块	74
2.6.1	DAC904 简介	74
2.6.2	基于 DAC904 的 DAC 模块电路和 PCB	77
2.7	基于 THS5661 12 位 100 MSPS 的 DAC 模块	79
2.7.1	THS5661 简介	79
2.7.2	基于 THS5661 的 DAC 模块电路和 PCB	82
2.8	基于 TLV5618 双 12 位 DAC 模块	85
2.8.1	TLV5618 简介	85
2.8.2	基于 TLV5618 的 DAC 模块电路和 PCB	86

第3章 放大器电路模块制作	88
---------------------	----

3.1 基于 MAX4016+THS3902 的放大器模块	88
3.1.1 MAX4016 简介	88
3.1.2 THS3902 简介	89
3.1.3 基于 MAX4016+THS3902 的放大器模块电路和 PCB	91
3.2 基于 AD624 的信号调理模块	94
3.2.1 AD624 简介	94
3.2.2 基于 AD624 的信号调理电路模块和 PCB	96
3.3 基于 AD603 的放大器模块	98
3.3.1 AD603 简介	98
3.3.2 基于 AD603 的放大器模块电路和 PCB	99
3.4 基于 AD8055 的放大器模块	103
3.4.1 AD8055 简介	103
3.4.2 基于 AD8055 的放大器模块电路和 PCB	104
3.5 基于 AD811 的放大器模块	107
3.5.1 AD811 简介	107
3.5.2 基于 AD811 的放大器模块电路和 PCB	108
3.6 基于 ICL7650/53 的放大器模块	113
3.6.1 ICL7650/53 简介	113
3.6.2 基于 ICL7650 的放大器模块电路和 PCB	115
3.7 宽带可控增益直流放大器模块	118
3.7.1 宽带可控增益直流放大器模块电路结构	118
3.7.2 宽带可控增益直流放大器模块电路与 PCB	122
3.8 基于 LM386 的音频放大器模块	126
3.8.1 LM386 简介	126
3.8.2 基于 LM386 的音频放大器模块电路和 PCB	127
3.9 基于 TEA2025 的音频功率放大器模块	128
3.9.1 TEA2025 简介	128
3.9.2 基于 TEA2025 的音频功率放大器模块电路和 PCB	129
3.10 D类放大器模块	132
3.10.1 D类放大器简介	132
3.10.2 D类放大器模块系统结构	140
3.10.3 三角波产生电路模块和 PCB	140

3.10.4	比较器及驱动电路和 PCB	140
3.10.5	前置放大器电路和 PCB	146
3.10.6	偏置电路和 PCB	147
3.10.7	功率输出级及低通滤波器电路和 PCB	148
3.11	菱形功率放大器模块	150
3.12	基于 BUF634 的宽带功率放大器模块	150
3.12.1	BUF634 简介	150
3.12.2	BUF634 宽带功率放大器模块电路和 PCB	150
3.13	滤波器模块	157
3.13.1	LTC1068 简介	157
3.13.2	低通滤波器电路和 PCB	163
3.13.3	高通滤波器电路和 PCB	163
第 4 章	传感器电路模块制作	170
4.1	反射式光电传感器模块	170
4.1.1	3 路反射式光电传感器模块电路和 PCB	170
4.1.2	8 路反射式光电传感器模块电路和 PCB	172
4.2	超声波发射与接收模块	174
4.2.1	超声波发射与接收电路主要 IC 简介	174
4.2.2	超声波发射与接收模块电路和 PCB	175
4.3	温湿度传感器模块	178
4.3.1	SHTxx 温湿度传感器简介	178
4.3.2	SHTxx 温湿度传感器模块电路和 PCB	181
4.4	基于 AD5933 的阻抗测量模块	181
4.4.1	AD5933 简介	181
4.4.2	基于 AD5933 的阻抗测量模块电路和 PCB	191
4.5	音频信号检测模块	195
4.5.1	音频信号检测模块 IC 简介	195
4.5.2	音频信号检测模块电路和 PCB	196
第 5 章	电机控制电路模块制作	201
5.1	基于 L298N 的直流电机驱动模块	201
5.1.1	L298N 双全桥电机驱动器的封装形式和尺寸	201
5.1.2	L298N 双全桥电机驱动器的典型应用电路	204

5.1.3	L298 N 直流电机驱动模块电路和 PCB	204
5.2	基于 L297+L298N 的步进电机驱动模块	208
5.2.1	L297 步进电机控制器封装形式与尺寸	208
5.2.2	L297 步进电机控制器的典型应用电路	208
5.2.3	L297+L298N 步进电机驱动模块的电路和 PCB	211
5.3	基于 TA8435H 的步进电机驱动模块	213
5.3.1	TA8435H 步进电机控制器封装形式与尺寸	213
5.3.2	TA8435H 步进电机控制器的典型应用电路	215
5.3.3	TA8435H 步进电机驱动模块电路和 PCB	215
第 6 章	信号发生器电路模块制作	220
6.1	基于 MAX038 的函数信号发生器模块	220
6.1.1	MAX038 简介	220
6.1.2	基于 MAX038 的函数信号发生器模块电路和 PCB	222
6.2	基于 AD9850 的信号发生器模块	225
6.2.1	AD9850 简介	225
6.2.2	基于 AD9850 的信号发生器模块电路和 PCB	230
6.3	基于 AD652 的压频转换模块	234
6.3.1	AD652 简介	234
6.3.2	基于 AD652 的压频转换模块电路和 PCB	239
第 7 章	电源电路模块制作	241
7.1	线性稳压电源模块制作	241
7.1.1	整流模块制作	241
7.1.2	±12 V 和 ±5 V 电源模块制作	243
7.2	基于 MAX887 的 3.3 V DC-DC 电路模块	245
7.2.1	MAX887 简介	245
7.2.2	3.3 V DC-DC 电路和 PCB	246
7.3	基于 MAX1771 的升压(Boost)电路模块	247
7.3.1	MAX1771 简介	247
7.3.2	24~36 V DC-DC 升压电路和 PCB	248
7.4	基于 UC3843 的 Boost 升压模块	250
7.4.1	UC3843 简介	250
7.4.2	DC-DC 升压电路和 PCB	251

7.5 DC-AC-DC 升压电源模块	253
7.5.1 系统组成	253
7.5.2 DC-AC 电路	253
7.5.3 倍压整流电路	254
7.5.4 PWM 调制电路	254
7.5.5 DC-AC-DC 升压电源模块电路和 PCB	256
第 8 章 系统设计与制作	258
8.1 随动控制系统	258
8.1.1 设计要求	258
8.1.2 方案的论证与选择	259
8.1.3 系统算法设计	261
8.1.4 控制器最小系统模块	262
8.1.5 液晶显示模块	263
8.1.6 4×4 矩阵键盘电路	264
8.1.7 存储电路模块	266
8.1.8 步进电机驱动模块	266
8.1.9 角度传感器电路模块	269
8.1.10 系统软件设计	270
8.1.11 系统测试	272
8.2 基于红外线的目标跟踪与无线测温系统	273
8.2.1 设计要求	273
8.2.2 系统设计方案论证及选择	275
8.2.3 光源检测电路	280
8.2.4 步进电机驱动电路	282
8.2.5 PT100 温度传感器测量电路	284
8.2.6 串口扩展模块电路	286
8.2.7 SK-SDMP3 模块的音频输出电路	288
8.2.8 ATmega8 和液晶显示器的电路设计	288
8.2.9 定位仪 A 主控器的外围电路	290
8.2.10 系统各模块连接	299
8.2.11 系统软件设计	300
8.2.12 系统测试	304
8.3 声音导引系统	306

8.3.1	设计要求	306
8.3.2	系统方案设计	308
8.3.3	控制方案设计和论证	310
8.3.4	可移动声源模块电路设计	311
8.3.5	声音接收器模块电路设计	316
8.3.6	控制器模块电路设计	318
8.3.7	定位点语音提示电路设计	324
8.3.8	系统接线与供电	326
8.3.9	系统软件设计	327
8.4	单相正弦波逆变电源	328
8.4.1	系统方案论证与比较	328
8.4.2	系统组成	332
8.4.3	DC-DC 变换器电路	333
8.4.4	DC-AC 变换器电路	335
8.4.5	真有效值转换电路	344
8.4.6	过流保护电路	345
8.4.7	空载检测电路	346
8.4.8	浪涌短路保护电路	347
8.4.9	电流检测电路	347
8.4.10	死区时间控制电路	347
8.4.11	辅助电源电路 1	348
8.4.12	辅助电源电路 2	349
8.4.13	高频变压器的绕制	349
8.4.14	低通滤波器电路	350
8.4.15	单片机及外围电路	351
8.5	无线环境监测模拟装置	353
8.5.1	设计要求	353
8.5.2	系统方案设计	356
8.5.3	理论分析与计算	357
8.5.4	发射电路设计	358
8.5.5	接收电路设计	359
8.5.6	系统软件设计	364
	参考文献	367

微控制器电路模块制作

1.1 AT89S52 单片机 PACK 板

1.1.1 AT89S52 单片机简介

AT89S52 是一种低功耗、高性能的 CMOS 8 位微控制器,具有 8 KB 在系统可编程 Flash 存储器;使用 Atmel 公司高密度非易失性存储器技术制造,片上 Flash 允许程序存储器在系统可编程,也适于常规编程器。AT89S52 具有 8 KB Flash,256 B RAM,32 位 I/O 口线,看门狗定时器,2 个数据指针,3 个 16 位定时器/计数器,1 个 6 向量 2 级中断结构,全双工串行口,片内晶振及时钟电路。另外,AT89S52 可降至 0 Hz 静态逻辑操作,支持 2 种软件,可选择节电模式。在空闲模式下,CPU 停止工作,允许 RAM、定时器/计数器、串口、中断继续工作。在掉电保护方式下,RAM 内容被保存,振荡器被冻结,单片机一切工作停止,直到下一个中断或硬件复位为止。AT89S52 是在电子设计竞赛中最常用的单片机之一。

1.1.2 AT89S52 单片机封装形式与引脚端功能

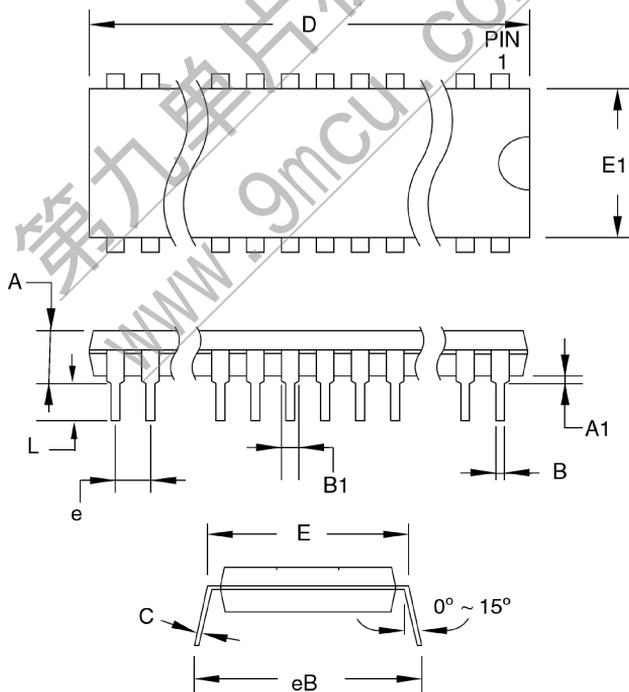
AT89S52 采用 PDIP、PLCC 和 TQFP 三种封装形式,PDIP 封装形式和尺寸如图 1-1 所示和表 1-1 所列。

表 1-1 AT89S52 PDIP 封装尺寸 mm

符 号	最小值	最大值	符 号	最小值	最大值
A	—	4.826	B1	1.041	1.651
A1	0.381	—	L	3.048	3.556
D	52.070	52.578	C	0.203	0.381
E	15.240	15.875	eB	15.494	17.526
E1	13.462	13.970	e	2.540 典型值	
B	0.356	0.559			

(T2)P1.0	1	40	VCC
(T2 EX)P1.1	2	39	P0.0(AD0)
P1.2	3	38	P0.1(AD1)
P1.3	4	37	P0.2(AD2)
P1.4	5	36	P0.3(AD3)
(MOSI)P1.5	6	35	P0.4(AD4)
(MISO)P1.6	7	34	P0.5(AD5)
(SCK)P1.7	8	33	P0.6(AD6)
RST	9	32	P0.7(AD7)
(RXD)P3.0	10	31	$\overline{\text{EA}}/\text{VPP}$
(TXD)P3.1	11	30	ALE/PROG
($\overline{\text{INT0}}$)P3.2	12	29	$\overline{\text{PSEN}}$
($\overline{\text{INT1}}$)P3.3	13	28	P2.7(A15)
(T0)P3.4	14	27	P2.6(A14)
(T1)P3.5	15	26	P2.5(A13)
($\overline{\text{WR}}$)P3.6	16	25	P2.4(A12)
($\overline{\text{RD}}$)P3.7	17	24	P2.3(A11)
XTAL2	18	23	P2.2(A10)
XTAL1	19	22	P2.1(A9)
GND	20	21	P2.0(A8)

(a) PDIP-40封装



(b) 封装尺寸

图 1-1 AT89S52 PDIP 封装形式与尺寸

AT89S52 的引脚端功能如下。

VCC:电源。

GND:地。

P0.0~P0.7:P0 口是一个 8 位漏极开路的双向 I/O 口。作为输出口,每位能驱动 8 个 TTL 逻辑电平。对 P0 端口写“1”时,引脚端用作高阻抗输入。当访问外部程序和数据存储器时,P0 口也被作为低 8 位地址/数据复用。在这种模式下,P0 具有内部上拉电阻。在 Flash 编程时,P0 口也用来接收指令字节;在程序校验时,输出指令字节。程序校验时,需要外部上拉电阻。

P1.0~P1.7:P1 口是一个具有内部上拉电阻的 8 位双向 I/O 口,P1 输出缓冲器能驱动 4 个 TTL 逻辑电平。对 P1 端口写“1”时,内部上拉电阻把端口拉高,此时可以作为输入口使用。作为输入使用时,被外部拉低的引脚端由于内部电阻的原因,将输出电流(I_{IL})。此外,P1.0 和 P1.2 分别作定时器/计数器 2 的外部计数输入(P1.0/T2)和定时器/计数器 2 的触发输入(P1.1/T2EX),具体如表 1-2 所列。在 Flash 编程和校验时,P1 口接收低 8 位地址字节。

表 1-2 P1 口引脚端第二功能

引脚端	第二功能
P1.0	T2(定时器/计数器 T2 的外部计数输入),时钟输出
P1.1	T2EX(定时器/计数器 T2 的捕捉/重载触发信号和方向控制)
P1.5	MOSI(在系统编程用)
P1.6	MISO(在系统编程用)
P1.7	SCK(在系统编程用)

P2.0~P2.7:P2 口是一个具有内部上拉电阻的 8 位双向 I/O 口,P2 输出缓冲器能驱动 4 个 TTL 逻辑电平。对 P2 端口写“1”时,内部上拉电阻把端口拉高,此时可以作为输入口使用。作为输入使用时,被外部拉低的引脚由于内部电阻的原因,将输出电流(I_{IL})。

在访问外部程序存储器或用 16 位地址读取外部数据存储器时(如执行“MOVX @DPTR”),P2 口送出高 8 位地址。在这种应用中,P2 口使用很强的内部上拉发送 1。在使用 8 位地址(如“MOVX @RI”)访问外部数据存储器时,P2 口输出 P2 锁存器的内容。

在 Flash 编程和校验时,P2 口也接收高 8 位地址字节和一些控制信号。

P3.0~P3.7:P3 口是一个具有内部上拉电阻的 8 位双向 I/O 口,P3 输出缓冲器能驱动 4 个 TTL 逻辑电平。对 P3 端口写“1”时,内部上拉电阻把端口拉高,此时可以作为输入口使

用。作为输入使用时,被外部拉低的引脚由于内部电阻的原因,将输出电流(I_{IL})。

P3 口亦作为 AT89S52 特殊功能(第二功能)使用,如表 1-3 所列。

表 1-3 P3 口的第二功能

引脚端	第二功能	引脚端	第二功能
P3.0	RXD(串行输入)	P3.4	T0(定时器 0 外部输入)
P3.1	TXD(串行输出)	P3.5	T1(定时器 1 外部输入)
P3.2	$\overline{INT0}$ (外部中断 0)	P3.6	\overline{WR} (外部数据存储器写选通)
P3.3	$\overline{INT1}$ (外部中断 1)	P3.7	\overline{RD} (外部数据存储器读选通)

在 Flash 编程和校验时,P3 口也接收一些控制信号。

RST:复位输入。晶振工作时,RST 脚持续 2 个机器周期高电平将使单片机复位。看门狗计时完成后,RST 脚输出 96 个晶振周期的高电平。特殊寄存器 AUXR(地址 8EH)上的 DISRTO 位可以使此功能无效。在 DISRTO 默认状态下,复位高电平有效。

ALE/ \overline{PROG} :地址锁存控制信号(ALE)是访问外部程序存储器时,锁存低 8 位地址的输出脉冲。在 Flash 编程时,此引脚(PROG)也用作编程输入脉冲。

在一般情况下,ALE 以晶振 1/6 的固定频率输出脉冲,可用来作为外部定时器或时钟使用。然而,特别强调,在每次访问外部数据存储器时,ALE 脉冲将会跳过。

如果需要,通过将地址为 8EH 的 SFR 的第 0 位置“1”,则 ALE 操作将无效。这一位置“1”,ALE 仅在执行 MOVX 或 MOVC 指令时有效;否则,ALE 将被微弱拉高。这个 ALE 使能标志位(地址为 8EH 的 SFR 的第 0 位)的设置对微控制器处于外部执行模式下无效。

\overline{PSEN} :外部程序存储器选通信号。当 AT89S52 从外部程序存储器执行外部代码时, \overline{PSEN} 在每个机器周期被激活两次,而在访问外部数据存储器时, \overline{PSEN} 将不被激活。

\overline{EA}/VPP :访问外部程序存储器控制信号。为使能 0000H~FFFFH 的外部程序存储器读取指令, \overline{EA} 必须接 GND。为了执行内部程序指令, \overline{EA} 应该接 VCC。

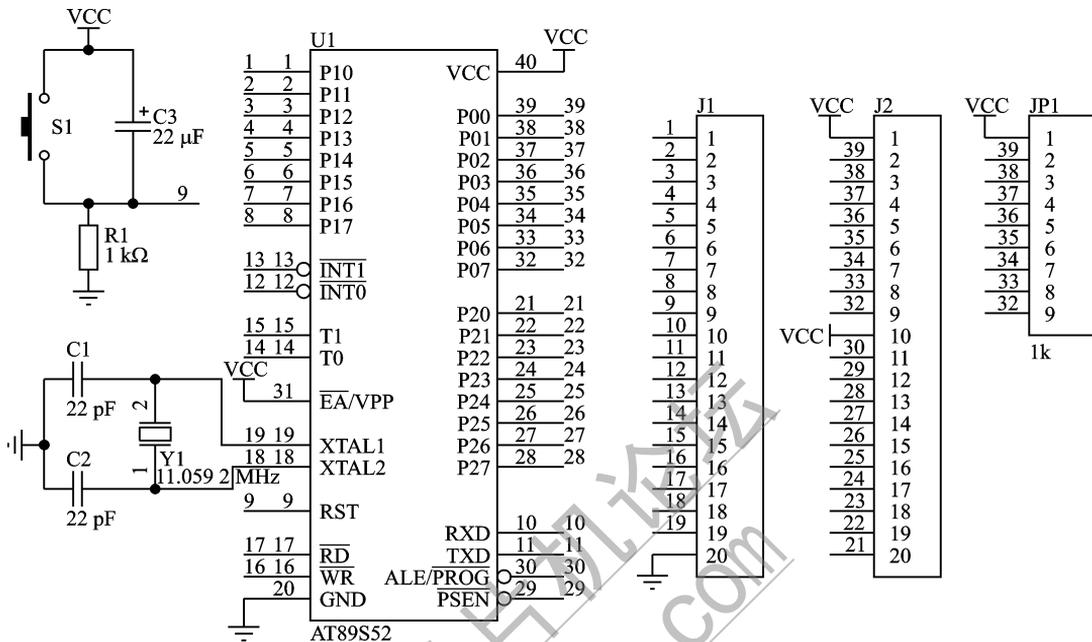
在 Flash 编程期间, \overline{EA} 也接收 12 V VPP 电压。

XTAL1:振荡器反相放大器和内部时钟发生电路的输入端。

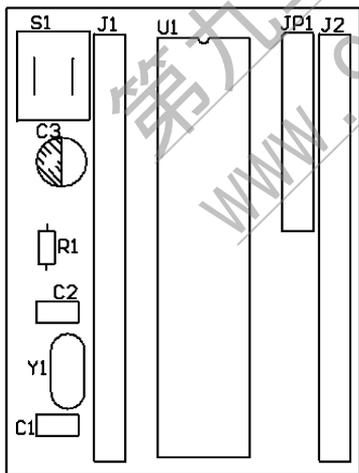
XTAL2:振荡器反相放大器的输出端。

1.1.3 AT89S52 单片机 PACK 板电路和 PCB

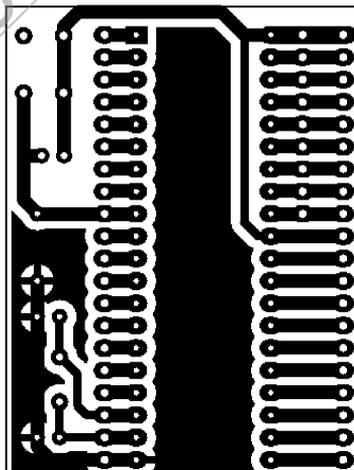
AT89S52 单片机 PACK 板电路与 PCB 图如图 1-2 所示,AT89S52 采用 PDIP 封装。



(a) 电路图



(b) 元件布局图



(c) PCB图

图 1-2 AT89S52 单片机 PACK 板电路与 PCB 图

1.2 ATmega128 单片机 PACK 板

1.2.1 ATmega128 单片机简介

ATmega128(ATmega128L)是 Atmel 公司生产的 8 位微处理器,其产品特点如下:

- ① 高性能、低功耗的 AVR[®] 8 位微处理器。
- ② 先进的 RISC 结构。
 - 133 条指令,大多数可以在一个时钟周期内完成;
 - 32×8 通用工作寄存器;
 - 全静态工作;
 - 工作于 16 MHz 时性能高达 16 MIPS;
 - 只需两个时钟周期的硬件乘法器。
- ③ 非易失性的程序和数据存储器。
 - 128 KB 的系统内可编程 Flash(寿命:10 000 次写/擦除周期);
 - 具有独立锁定位、可选择的启动代码区,通过片内的启动程序可以实现系统内编程真正的读/修改/写操作;
 - 4 KB 的 EEPROM(寿命:100 000 次写/擦除周期);
 - 4 KB 的内部 SRAM;
 - 多达 64 KB 的优化的外部存储器空间;
 - 可以对锁定位进行编程以实现软件加密;
 - 可以通过 SPI 实现系统内编程。
- ④ JTAG 接口(与 IEEE 1149.1 标准兼容)。
 - 遵循 JTAG 标准的边界扫描功能;
 - 支持扩展的片内调试;
 - 通过 JTAG 接口实现对 Flash、EEPROM、熔丝位和锁定位的编程。
- ⑤ 外设特点。
 - 两个具有独立的预分频器和比较器功能的 8 位定时器/计数器;
 - 两个具有预分频器、比较功能和捕捉功能的 16 位定时器/计数器;
 - 具有独立预分频器的实时时钟计数器;
 - 两路 8 位 PWM;
 - 6 路分辨率可编程(2~16 位)的 PWM;
 - 输出比较调制器;
 - 8 路 10 位 ADC: 8 个单端通道,7 个差分通道,2 个具有可编程增益(×1,×10,或×200)

的差分通道；

- 面向字节的两线接口；
- 两个可编程的串行 USART；
- 可工作于主机/从机模式的 SPI 串行接口；
- 具有独立片内振荡器的可编程看门狗定时器；
- 片内模拟比较器。

⑥ 特殊的处理器特点。

- 上电复位以及可编程的掉电检测；
- 片内经过标定的 RC 振荡器；
- 片内/片外中断源；
- 6 种睡眠模式：空闲模式、ADC 噪声抑制模式、省电模式、掉电模式、Standby 模式以及扩展的 Standby 模式；
- 可以通过软件选择时钟频率；
- 通过熔丝位可以选择 ATmega103 兼容模式；
- 全局上拉禁止功能。

⑦ I/O 和封装。

- 53 个可编程 I/O 口线；
- 64 引脚 TQFP 与 64 引脚 MLF 封装。

⑧ 工作电压。

- 2.7~5.5 V ATmega128L；
- 4.5~5.5 V ATmega128。

⑨ 速度等级。

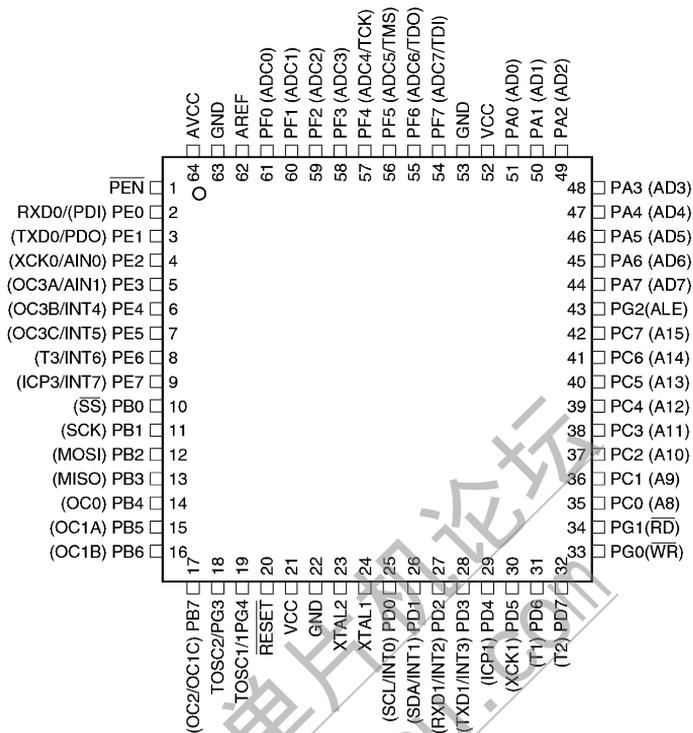
- 0~8 MHz ATmega128L；
- 0~16 MHz ATmega128。

ATmega128 是一个功能强大的单片机，可以为许多嵌入式控制应用提供灵活而低成本的解决方案。

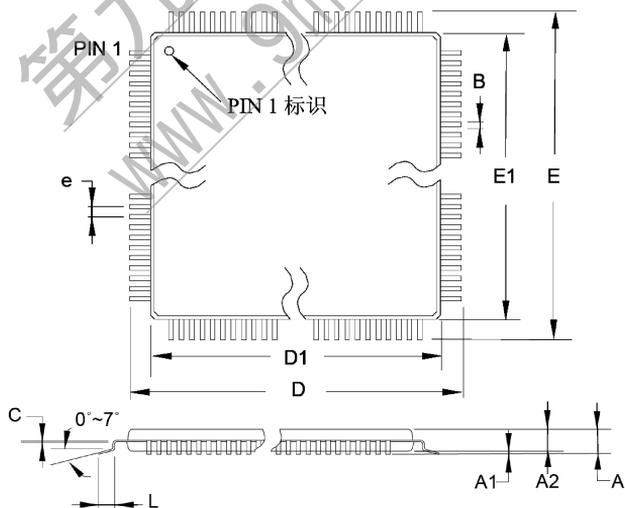
Atmel 公司为 ATmega128 提供了一整套的编程与系统开发工具，包括 C 语言编译器、宏汇编、程序调试器/软件仿真器、仿真器及评估板。

1.2.2 ATmega128 单片机封装形式与引脚端功能

ATmega128 单片机采用 64 引脚 TQFP 与 64 引脚 MLF 封装，64 引脚 TQFP 封装形式如图 1-3 所示，64 引脚 TQFP 封装尺寸如表 1-4 所列。



(a) 引脚端封装形式



(b) 封装尺寸

图 1-3 ATmega128 单片机 TQFP 封装形式

符 号	最小值	标准值	最大值	符 号	最小值	标准值	最大值
A	—		1.20	E1	13.90	14.00	14.10
A1	0.05		-0.15	B	0.30	—	0.45
A2	0.95	1.00	1.05	C	0.09	—	0.20
D	15.75	16.00	16.25	L	0.45	—	0.75
D1	13.90	14.00	14.10	e	0.80 典型值		
E	15.75	16.00	16.25				

引脚功能如下所示。

VCC: 数字电路的电源。

GND: 地。

端口 A (PA7~PA0): 端口 A 为 8 位双向 I/O 口, 并具有可编程的内部上拉电阻。其输出缓冲器具有对称的驱动特性, 可以输出和吸收大电流。作为输入使用时, 若内部上拉电阻使能, 则端口被外部电路拉低时将输出电流。复位发生时端口 A 为三态。

端口 A 也可以用作其他不同的特殊功能, 更多的内容请登录 www.atmel.com 查阅“ATmega128 Datasheet”。

端口 B (PB7~PB0): 端口 B 为 8 位双向 I/O 口, 并具有可编程的内部上拉电阻。其输出缓冲器具有对称的驱动特性, 可以输出和吸收大电流。作为输入使用时, 若内部上拉电阻使能, 则端口被外部电路拉低时将输出电流。复位发生时端口 B 为三态。

端口 B 也可以用作其他不同的特殊功能, 更多的内容请登录 www.atmel.com 查阅“ATmega128 Datasheet”。

端口 C (PC7~PC0): 端口 C 为 8 位双向 I/O 口, 并具有可编程的内部上拉电阻。其输出缓冲器具有对称的驱动特性, 可以输出和吸收大电流。作为输入使用时, 若内部上拉电阻使能, 则端口被外部电路拉低时将输出电流。复位发生时端口 C 为三态。

端口 C 也可以用作其他不同的特殊功能, 更多的内容请登录 www.atmel.com 查阅“ATmega128 Datasheet”。在 ATmega103 兼容模式下, 端口 C 只能作为输出, 而且在复位发生时不是三态。

端口 D (PD7~PD0): 端口 D 为 8 位双向 I/O 口, 并具有可编程的内部上拉电阻。其输出缓冲器具有对称的驱动特性, 可以输出和吸收大电流。作为输入使用时, 若内部上拉电阻使能, 则端口被外部电路拉低时将输出电流。复位发生时端口 D 为三态。

端口 D 也可以用作其他不同的特殊功能, 更多的内容请登录 www.atmel.com 查阅“ATmega128 Datasheet”。

端口 E(PE7~PE0):端口 E 为 8 位双向 I/O 口,并具有可编程的内部上拉电阻。其输出缓冲器具有对称的驱动特性,可以输出和吸收大电流。作为输入使用时,若内部上拉电阻使能,则端口被外部电路拉低时将输出电流。复位发生时端口 E 为三态。

端口 E 也可以用作其他不同的特殊功能,更多的内容请登录 www.atmel.com 查阅“ATmega128 Datasheet”。

端口 F(PF7~PF0):端口 F 为 ADC 的模拟输入引脚。如果不作为 ADC 的模拟输入,则端口 F 可以作为 8 位双向 I/O 口,并具有可编程的内部上拉电阻。其输出缓冲器具有对称的驱动特性,可以输出和吸收大电流。作为输入使用时,若内部上拉电阻使能,则端口被外部电路拉低时将输出电流。复位发生时端口 F 为三态。

如果使能 JTAG 接口,则复位发生时引脚 PF7(TDI)、PF5(TMS)和 PF4(TCK)的上拉电阻使能。端口 F 也可以作为 JTAG 接口。在 ATmega103 兼容模式下,端口 F 只能作为输入引脚。

端口 G(PG4~PG0):端口 G 为 5 位双向 I/O 口,并具有可编程的内部上拉电阻。其输出缓冲器具有对称的驱动特性,可以输出和吸收大电流。作为输入使用时,若内部上拉电阻使能,则端口被外部电路拉低时将输出电流。复位发生时端口 G 为三态。

端口 G 也可以用作其他不同的特殊功能。在 ATmega103 兼容模式下,端口 G 只能作为外部存储器的锁存信号以及 32 kHz 振荡器的输入,并且在复位时这些引脚初始化为 $PG0=1, PG1=1$ 及 $PG2=0$ 。PG3 和 PG4 是振荡器引脚。

\overline{RESET} :复位输入引脚。超过最小门限时间的低电平将引起系统复位。门限时间的更多内容请登录 www.atmel.com 查阅“ATmega128 Datasheet”。低于此时间的脉冲不能保证可靠复位。

XTAL1:反相振荡器放大器及片内时钟操作电路的输入。

XTAL2:反相振荡器放大器的输出。

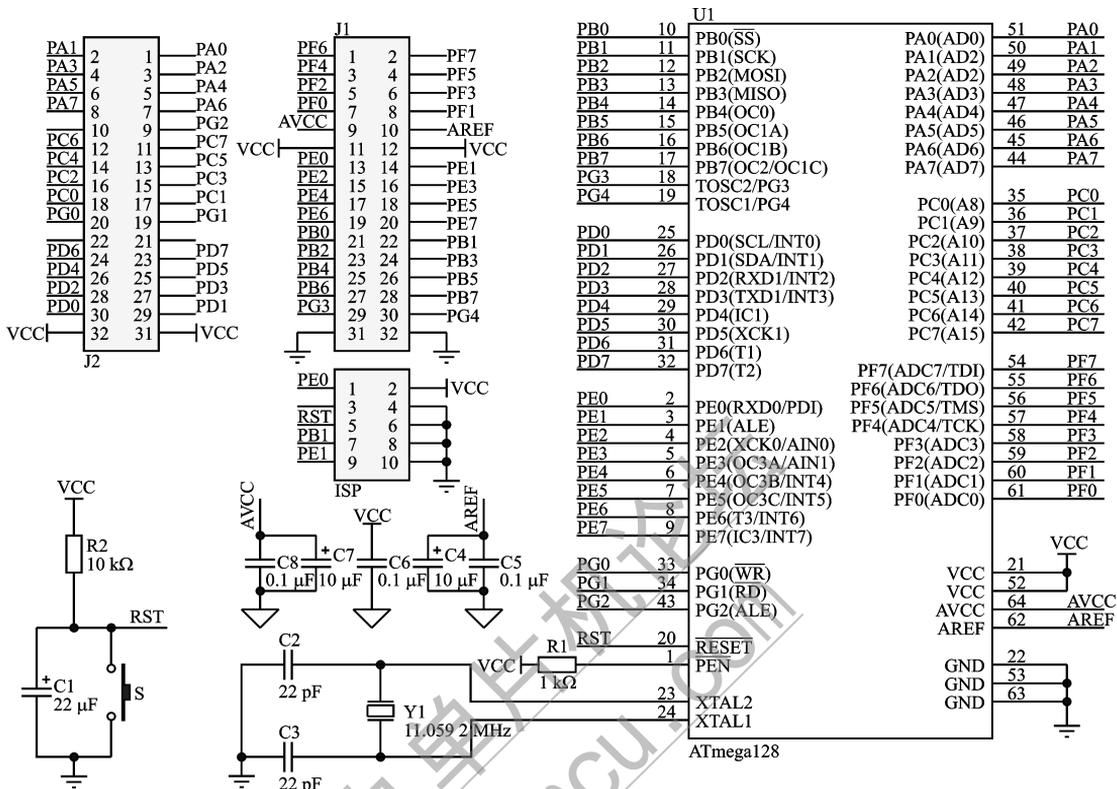
AVCC: AVCC 为端口 F 以及 ADC 转换器的电源,需要与 VCC 相连接,即使没有使用 ADC 也应该如此。使用 ADC 时应该通过一个低通滤波器与 VCC 连接。

AREF:AREF 为 ADC 的模拟基准输入引脚。

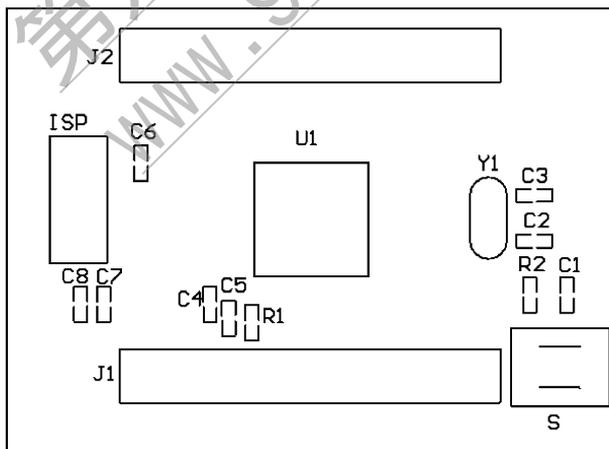
\overline{PEN} : \overline{PEN} 是 SPI 串行下载的使能引脚。在上电复位时保持 \overline{PEN} 为低电平将使器件进入 SPI 串行下载模式。在正常工作过程中 \overline{PEN} 引脚没有其他功能。

1.2.3 ATmega128 单片机 PACK 板电路和 PCB

ATmega128 单片机 PACK 板电路和 PCB 图如图 1-4 所示,ATmega128 单片机 PACK 板接口控制板电路和 PCB 图如图 1-5 所示。

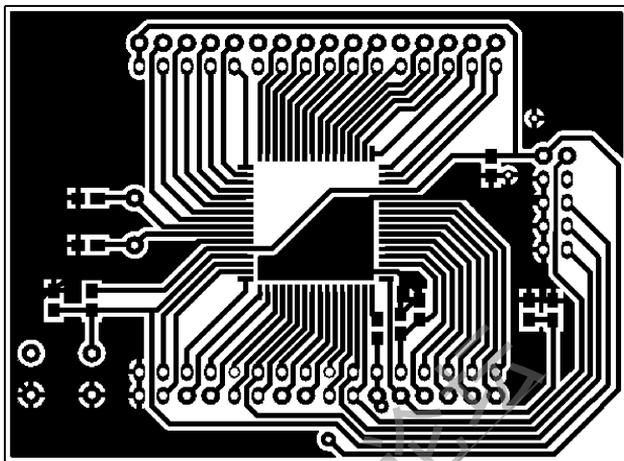


(a) ATmega128单片机最小系统电路图

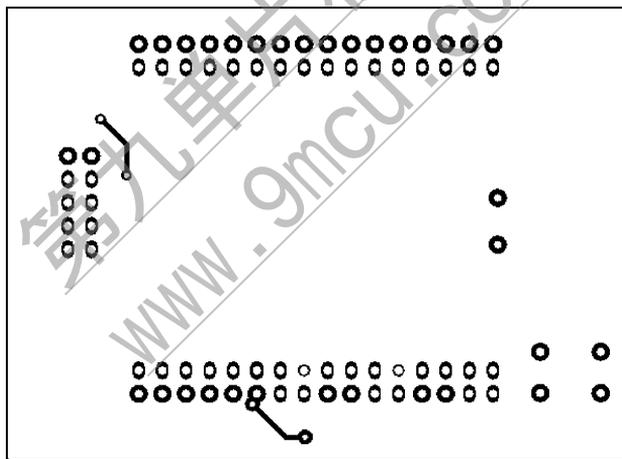


(b) ATmega128最小系统元件布局图

图 1-4 ATmega128 单片机 PACK 板电路和 PCB 图

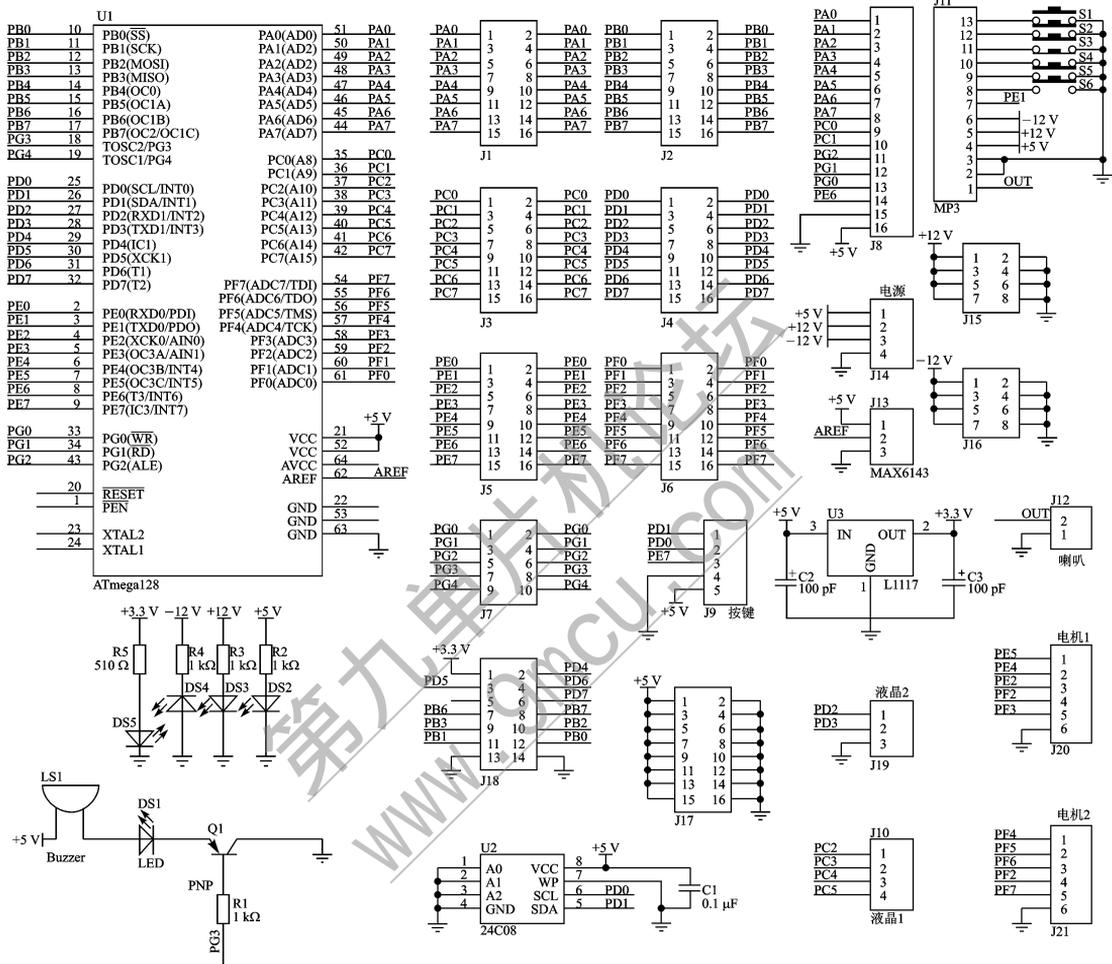


(c) ATmega128最小系统顶层PCB图



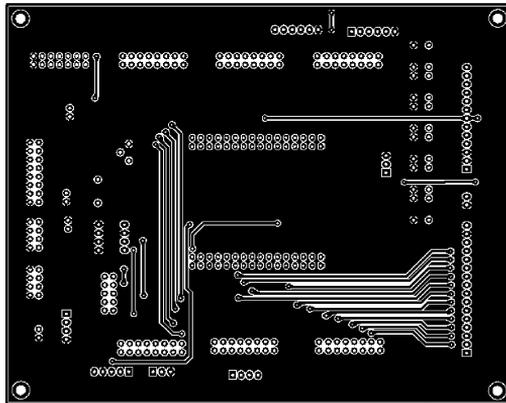
(d) ATmega128最小系统底层PCB图

图 1-4 ATmega128 单片机 PACK 板电路和 PCB 图(续)

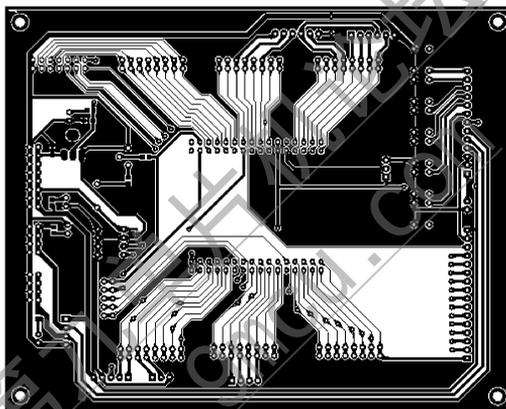


(a) ATmega128单片机PACK板接口扩展板电路图

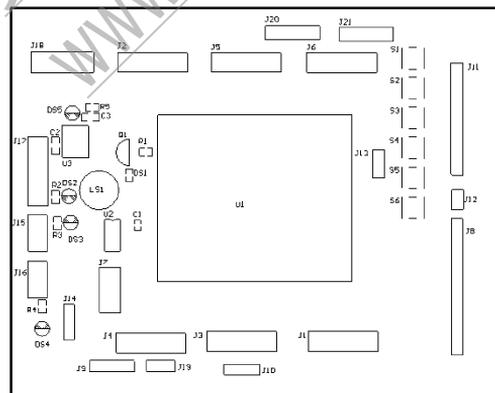
图 1-5 ATmega128 单片机 PACK 板接口控制板电路和 PCB 图



(b) ATmega128单片机PACK板接口扩展板顶层PCB图



(c) ATmega128单片机PACK板接口扩展板底层PCB图



(d) ATmega128单片机PACK板接口扩展板元件布局图

图 1-5 ATmega128 单片机 PACK 板接口控制板电路和 PCB 图 (续)

1.3 ATmega8 单片机 PACK 板

1.3.1 ATmega8 单片机简介

ATmega8 是基于增强的 AVR RISC 结构的低功耗 8 位 CMOS 微控制器。由于其先进的指令集以及单时钟周期指令执行时间,ATmega8 的数据吞吐率高达 1 MIPS/MHz,从而可以缓解系统在功耗和处理速度之间的矛盾。

ATmega8 的产品特性如下:

① 高性能、低功耗的 8 位 AVR[®] 微处理器。

② 先进的 RISC 结构。

➤ 130 条指令(大多数指令执行时间为单个时钟周期);

➤ 32 个 8 位通用工作寄存器;

➤ 全静态工作;

➤ 工作于 16 MHz 时性能高达 16 MIPS;

➤ 只需两个时钟周期的硬件乘法器。

③ 非易失性程序和数据存储器。

➤ 8 KB 的系统内可编程 Flash(擦写寿命:10 000 次);

➤ 具有独立锁定位的可选 Boot 代码区,通过片上 Boot 程序实现系统内编程,真正的同时读/写操作;

➤ 512 B 的 EEPROM(擦写寿命:100 000 次);

➤ 1 KB 的片内 SRAM;

➤ 可以对锁定位进行编程以实现用户程序的加密。

④ 外设特点。

➤ 两个具有独立预分频器的 8 位定时器/计数器,其中之一有比较功能;

➤ 一个具有预分频器、比较功能和捕捉功能的 16 位定时器/计数器;

➤ 具有独立振荡器的实时计数器 RTC;

➤ 三通道 PWM;

➤ TQFP 与 MLF 封装的 8 路 ADC(8 路 10 位 ADC);

➤ PDIP 封装的 6 路 ADC(6 路 10 位 ADC);

➤ 面向字节的两线接口;

➤ 两个可编程的串行 USART;

➤ 可工作于主机/从机模式的 SPI 串行接口;

➤ 具有独立片内振荡器的可编程看门狗定时器;

- 片内模拟比较器。
- ⑤ 特殊的处理器特点。
 - 上电复位以及可编程的掉电检测；
 - 片内经过标定的 RC 振荡器；
 - 片内/片外中断源；
 - 5 种睡眠模式：空闲模式、ADC 噪声抑制模式、省电模式、掉电模式及 Standby 模式。
- ⑥ I/O 和封装。
 - 23 个可编程的 I/O 口；
 - 28 引脚 PDIP 封装,32 引脚 TQFP 封装,32 引脚 MLF 封装。
- ⑦ 工作电压。
 - 2.7~5.5 V (ATmega8L)；
 - 4.5~5.5 V (ATmega8)。
- ⑧ 速度等级。
 - 0~8 MHz (ATmega8L)；
 - 0~16 MHz (ATmega8)。
- ⑨ 4 MHz 时功耗, 3 V, 25 °C。
 - 工作模式:3.6 mA；
 - 空闲模式:1.0 mA；
 - 掉电模式:0.5 μ A。

ATmega8 是一个功能强大的单片机,可以为许多嵌入式控制应用提供灵活而低成本的解决方案。

Atmel 公司为 ATmega8 提供了一整套的编程与系统开发工具,包括 C 语言编译器、宏汇编、程序调试器/软件仿真器、仿真器及评估板。

1.3.2 ATmega8 单片机封装形式与引脚端功能

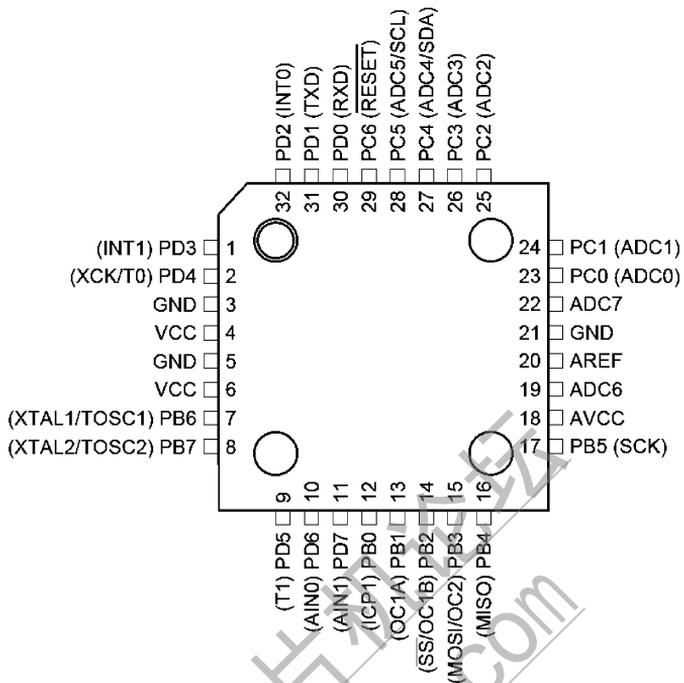
ATmega8 单片机采用 28 引脚 DIP,32 引脚 TQFP 和 32 引脚 MLF 封装,32 引脚 TQFP 封装形式如图 1-6 所示,32 引脚 TQFP 封装尺寸如表 1-5 所列。

ATmega8 引脚功能如下所示。

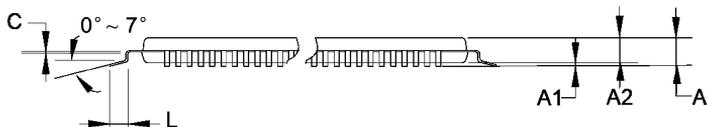
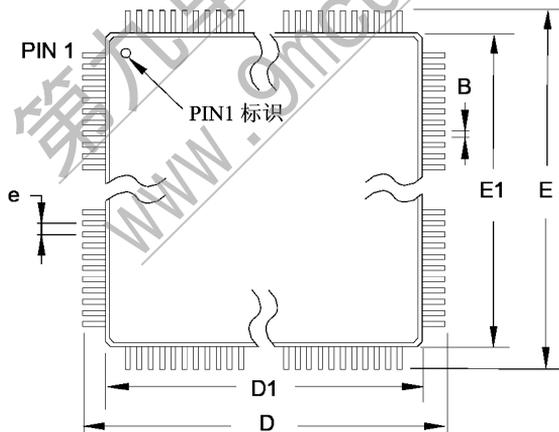
VCC:数字电路的电源。

GND:地。

端口 B(PB7~PB0)(XTAL1/XTAL2/TOSC1/TOSC2):端口 B 为 8 位双向 I/O 口,具有可编程的内部上拉电阻。其输出缓冲器具有对称的驱动特性,可以输出和吸收大电流。作为输入使用时,若内部上拉电阻使能,则端口被外部电路拉低时将输出电流。在复位过程中,即使系统时钟还未起振,端口 B 处于高阻状态。



(a) 封装形式



(b) 封装尺寸

图 1-6 ATmega8 32 引脚 TQFP 封装形式与尺寸

表 1-5 ATmega8 单片机 TQFP 封装尺寸

mm

符 号	最小值	标准值	最大值	符 号	最小值	标准值	最大值
A	—		1.20	E1	6.90	7.00	7.10
A1	0.05		-0.15	B	0.30	—	0.45
A2	0.95	1.00	1.05	C	0.09	—	0.20
D	8.75	9.00	9.25	L	0.45	—	0.75
D1	6.90	7.00	7.10	e	0.80 典型值		
E	8.75	9.00	9.25				

通过时钟选择熔丝位的设置, PB6 可作为反向振荡放大器或时钟操作电路的输入端。

通过时钟选择熔丝位的设置, PB7 可作为反向振荡放大器的输出端。

若将片内标定 RC 振荡器作为芯片时钟源, 且 ASSR 寄存器的 AS2 位设置, 则 PB7、PB6 作为异步 T/C2 的 TOSC2、TOSC1 输入端。

端口 B 的其他功能见 P55“端口 B 的第二功能”及“系统时钟及时钟选项”, 更多的内容请登录 www.atmel.com 查阅“ATmega8 Datasheet”。

端口 C(PC5~PC0): 端口 C 为 7 位双向 I/O 口, 具有可编程的内部上拉电阻。其输出缓冲器具有对称的驱动特性, 可以输出和吸收大电流。作为输入使用时, 若内部上拉电阻使能, 则端口被外部电路拉低时将输出电流。在复位过程中, 即使系统时钟还未起振, 端口 C 处于高阻状态。

PC6/ $\overline{\text{RESET}}$: 若 RSTDISBL 熔丝位编程, 则 PC6 作为 I/O 引脚使用。注意: PC6 的电气特性与端口 C 的其他引脚不同。

若 RSTDISBL 熔丝位未编程, 则 PC6 作为复位输入引脚。持续时间超过最小门限时间的低电平将引起系统复位。端口 C 的其他功能、门限时间等更多的内容请登录 www.atmel.com 查阅“ATmega8 Datasheet”。持续时间小于门限时间的脉冲不能保证可靠复位。

端口 D(PD7~PD0): 端口 D 为 8 位双向 I/O 口, 具有可编程的内部上拉电阻。其输出缓冲器具有对称的驱动特性, 可以输出和吸收大电流。作为输入使用时, 若内部上拉电阻使能, 则端口被外部电路拉低时将输出电流。在复位过程中, 即使系统时钟还未起振, 端口 D 处于高阻状态。

端口 D 的其他功能等更多的内容请登录 www.atmel.com 查阅“ATmega8 Datasheet”。

$\overline{\text{RESET}}$: 复位输入引脚。持续时间超过最小门限时间的低电平将引起系统复位。门限时间等更多的内容请登录 www.atmel.com 查阅“ATmega128 Datasheet”。持续时间小于门限时间的脉冲不能保证可靠复位。

AVCC: AVCC 是 A/D 转换器、端口 C (3~0) 及 ADC(7、6) 的电源。不使用 ADC 时, 该引脚应直接与 VCC 连接。使用 ADC 时应通过一个低通滤波器与 VCC 连接。注意: 端口 C (5、4) 为数字电源, VCC。

AREF:A/D 的模拟基准输入引脚。

ADC7、ADC6(TQFP 与 MLF 封装):TQFP 与 MLF 封装的 ADC7、ADC6 作为 A/D 转换器的模拟输入,为模拟电源且作为 10 位 ADC 通道。

1.3.3 ATmega8 单片机 PACK 板电路和 PCB

ATmega8 单片机 PACK 板电路和 PCB 图如图 1-7 所示。

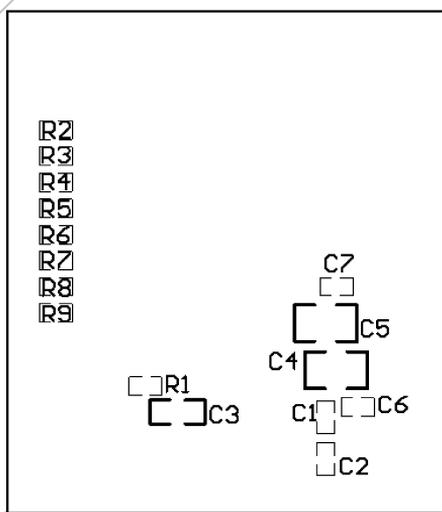
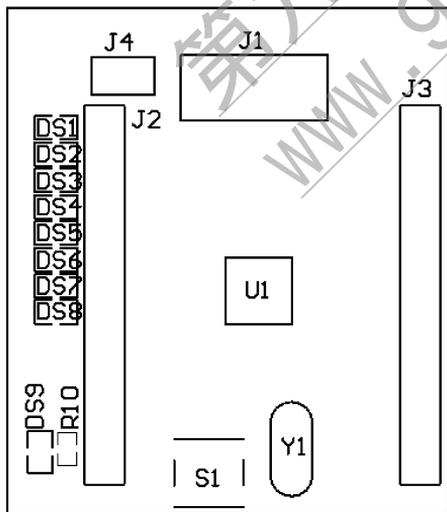
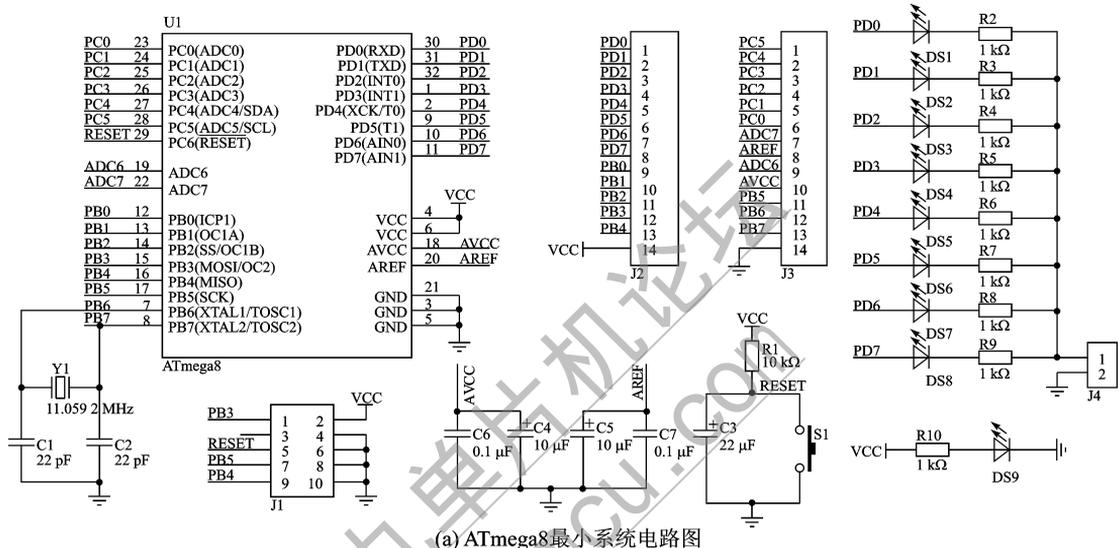
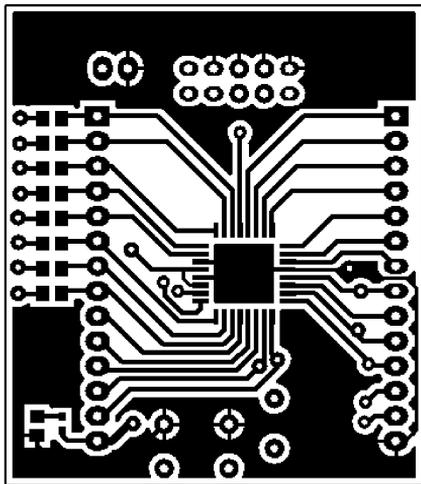
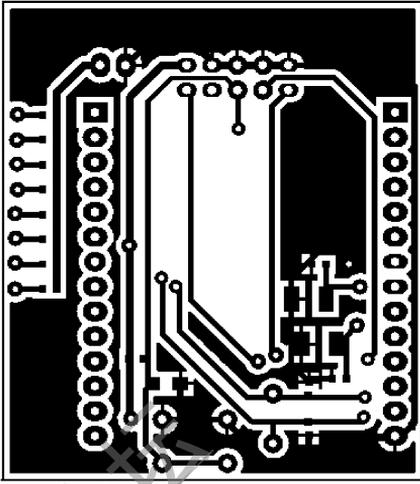


图 1-7 ATmega8 单片机 PACK 板电路和 PCB 图



(d) ATmega8最小系统顶层PCB图



(e) ATmega8最小系统底层PCB图

图 1-7 ATmega8 单片机 PACK 板电路和 PCB 图(续)

1.4 C8051F330 /1 单片机 PACK 板

1.4.1 C8051F330 /1 单片机简介

C8051F330/1 8 KB ISP Flash 微控制器是完全集成的混合信号片上系统型 MCU,采用 Silicone Labs 专利 CIP-51 微控制器内核,与 MCS-51 指令集完全兼容,是一个真正能独立工作的片上系统。

C8051F330/1 8 KB ISP Flash 微控制器产品特性如下:

(1) 模拟外设

① 10 位 ADC(只限于 F330)。

- ADC 转换速率可达 200 kSPS;
- 可多达 16 个外部单端或差分输入;
- V_{REF} 可在内部 V_{REF} 、外部引脚或 VDD 中选择;
- 内部或外部转换启动源;
- 内置温度传感器。

② 10 位电流输出 DAC(只限于 F330)。

③ 比较器。

- 可编程回差电压和响应时间;
- 可配置为中断或复位源;

➤ 小电流($<0.4 \mu\text{A}$)。

(2) 在片调试

- ① 片内调试电路提供全速、非侵入式的在系统调试(不需仿真器)。
- ② 支持断点、单步、观察/修改存储器和寄存器。
- ③ 比使用仿真芯片、目标仿真头和仿真插座的仿真系统有更优越的性能。
- ④ 廉价而完整的开发套件。

(3) 高速 8051 微控制器内核

- ① 流水线指令结构;70%的指令的执行时间为一个或两个系统时钟周期。
- ② 速度可达 25 MIPS(时钟频率为 25 MHz 时)。
- ③ 扩展的中断系统。

(4) 存储器

- ① 768 B 内部数据 RAM(256 B+512 B)。
- ② 8 KB Flash;可在系统编程,扇区大小为 512 B。

(5) 数字外设

- ① 17 个端口 I/O;均耐 5 V 电压,大灌电流。
- ② 硬件增强型 UART、SMBus 和增强型 SPI 串口。
- ③ 4 个通用 16 位定时器/计数器。
- ④ 16 位可编程定时器/计数器阵列(PCA),有 3 个捕捉/比较模块。
- ⑤ 使用 PCA 或定时器和外部时钟源的实时时钟方式。

(6) 时钟源

- ① 两个内部振荡器。
 - 24.5 MHz, $\pm 2\%$ 的精度,可支持无晶体 UART 操作;
 - 80 kHz/40 kHz/20 kHz/10 kHz 低频率、低功耗振荡器。
- ② 外部振荡器:晶体、RC、C 或外部时钟。
- ③ 可在运行中切换时钟源,适用于节电方式。

(7) 供电电压

- ① 2.7~3.6 V。
- ② 典型工作电流:6.4 mA @ 25 MHz;9 μA @ 32 kHz。
- ③ 典型待机电流:0.1 μA 。

(8) 温度范围

温度范围:-40~+85 $^{\circ}\text{C}$ 。

(9) 封装

20 脚 MLP。

1.4.2 C8051F330 /1 单片机封装形式与引脚端功能

C8051F330/1 单片机采用 20 引脚 PDIP 和 20 引脚 QFN 封装,引脚端功能如表 1-6 所列,20 引脚 QFN 封装形式如图 1-8 所示,20 引脚 QFN 封装尺寸如表 1-7 所列。

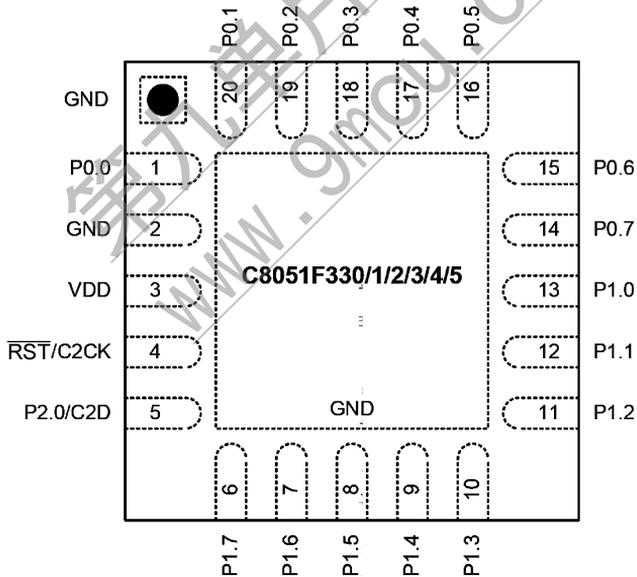
表 1-6 C8051F330/1 单片机引脚端功能

引脚	符号	类型	功能
3	VDD		电源
2	GND		地
4	$\overline{\text{RST}}$ C2CK	数字 I/O 数字 I/O	器件复位。内部上电复位或 VDD 监视器的漏极开路输出。一个外部源可以通过将该引脚驱动为低电平(至少 10 μs)来启动一次系统复位 C2 调试接口的时钟信号
5	P2.0 C2D	数字 I/O 数字 I/O	端口 P2.0 C2 调试接口的双向数据信号
1	P0.0 VREF	数字 I/O 或模拟输入 模拟输入	端口 P0.0 外部 VREF 输入
20	P0.1 IDA0	数字 I/O 或模拟输入 模拟输出	端口 P0.1 IDA0 输出
19	P0.2 XTAL1	数字 I/O 或模拟输入 模拟输入	端口 P0.2 外部时钟输入。对于晶体或陶瓷谐振器,该引脚是外部振荡器电路的反馈输入
18	P0.3 XTAL2	数字 I/O 模拟 I/O 或数字输入	端口 P0.3 外部时钟输出。该引脚是晶体或陶瓷谐振器的激励驱动器。对于 CMOS 时钟、电容或 RC 振荡器配置,该引脚是外部时钟输入
17	P0.4	数字 I/O 或模拟输入	端口 P0.4
16	P0.5	数字 I/O 或模拟输入	端口 P0.5
15	P0.6 CNVSTR	数字 I/O 或模拟输入 数字输入	端口 P0.6 ADC0 外部转换启动输入或 IDA0 更新源输入
14	P0.7	数字 I/O 或模拟输入	端口 P0.7
13	P1.0	数字 I/O 或模拟输入	端口 P1.0
12	P1.1	数字 I/O 或模拟输入	端口 P1.1
11	P1.2	数字 I/O 或模拟输入	端口 P1.2
10	P1.3	数字 I/O 或模拟输入	端口 P1.3
9	P1.4	数字 I/O 或模拟输入	端口 P1.4
8	P1.5	数字 I/O 或模拟输入	端口 P1.5
7	P1.6	数字 I/O 或模拟输入	端口 P1.6
6	P1.7	数字 I/O 或模拟输入	端口 P1.7

表 1-7 C8051F330/1 单片机 QFN 封装尺寸

mm

符 号	最小值	典型值	最大值	符 号	最小值	典型值	最大值
A	0.81	0.90	1.00	L	0.45	0.55	0.65
A1	0	0.02	0.05	N	—	20	—
A2	—	0.65	1.00	ND	—	5	—
A3	—	0.25	—	NE	—	5	—
b	0.18	0.23	0.30	R	0.09	—	—
D	—	4.00	—	AA	—	0.435	—
D2	2.00	2.15	2.25	BB	—	0.435	—
E	—	4.00	—	CC	—	0.18	—
E2	2.00	2.15	2.25	DD	—	0.18	—
e	—	0.5	—				



(a) 封装形式1

图 1-8 C8051F330/1 单片机 QFN 封装形式和尺寸

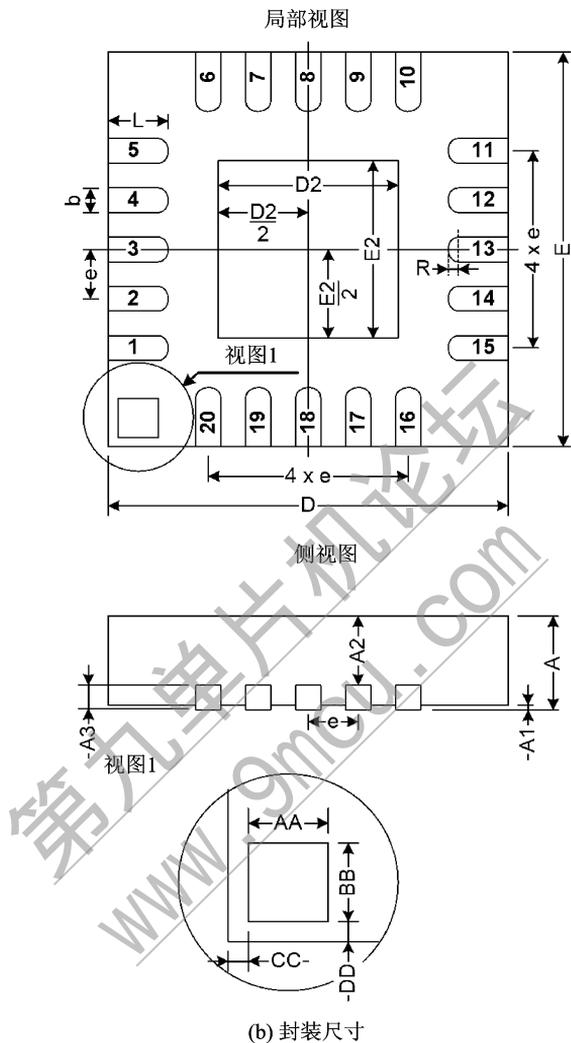
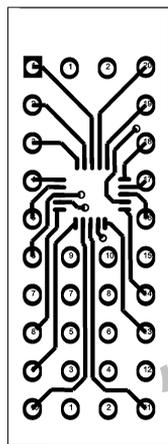
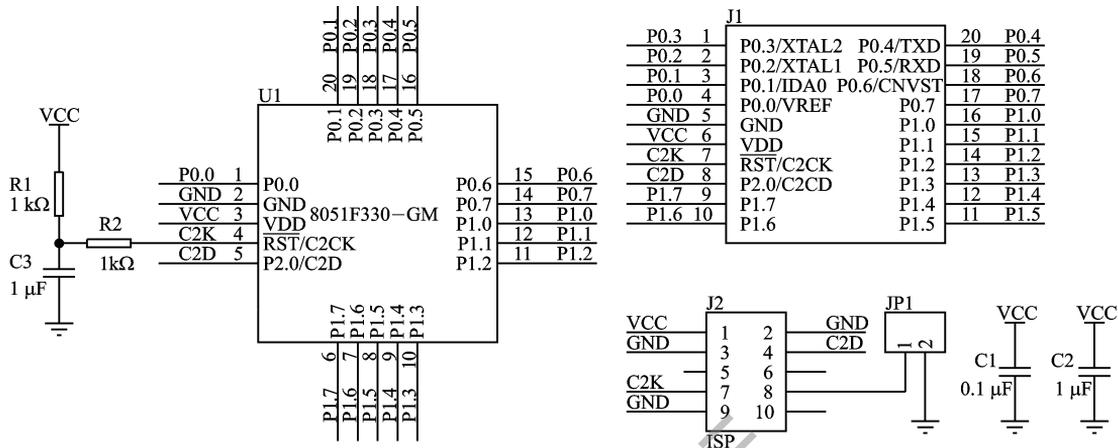


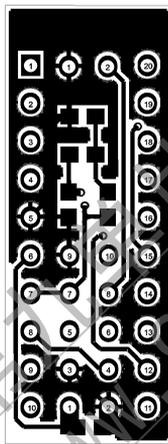
图 1-8 C8051F330/1 单片机 QFN 封装形式和尺寸(续)

1.4.3 C8051F330/1 单片机 PACK 板电路和 PCB

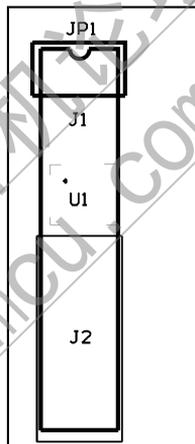
C8051F330/1 单片机 PACK 板电路和 PCB 图如图 1-9 所示。



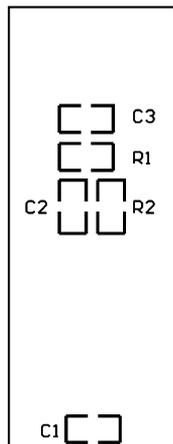
(b) 顶层PCB图



(c) 底层PCB图



(d) 顶层元器件布局图



(e) 底层元器件布局图

图 1-9 C8051F330/1 单片机 PACK 板电路和 PCB 图

1.5 LM3S615 ARM Cortex™-M3 微控制器 PACK 板

1.5.1 LM3S600 系列微控制器简介

Luminary Micro(流明诺瑞)公司设计、经销、出售基于 ARM Cortex™-M3 的 LM3S 系列微控制器(MCU)。作为 ARM 公司的 Cortex-M3 技术的主要合伙人,Luminary Micro 公司已经向业界推出了首颗 Cortex-M3 处理器的芯片,用 8 位/16 位的成本获得了 32 位的性能。Luminary Micro 公司的 LM3S 系列微控制器包含运行在 50 MHz 频率下的 ARM Cortex-

M3 MCU 内核、嵌入式 Flash 和 SRAM、一个低压降的稳压器、集成的掉电复位和上电复位功能、模拟比较器、10 位 ADC、SSI、GPIO、看门狗和通用定时器、UART、I²C、USB、运动控制 PWM 以及正交编码器(quadrature encoder)输入、100 MHz 以太网控制器、CAN 控制器等，芯片内部固化驱动库。提供的外设直接通向引脚，不需要特性复用，这个丰富的特性集非常适合楼宇和家庭自动化、工厂自动化和控制、无线网络、工控电源设备、步进电机、有刷和无刷 DC 马达以及 AC 感应电动机等应用。

美国 Luminary Micro LM3S 系列微控制器产品为汽车电子、运动控制、过程控制以及医疗设备等要求低成本的嵌入式微控制器领域带来了一系列具有 32 位运算能力的高性能芯片。

Luminary Micro 公司提供的 LM3S600 系列微控制器是基于 ARM[®] Cortex[™]-M3 内核的 32 位微控制器。支持最大主频为 50 MHz, 32 KB Flash, 8 KB SRAM, LQFP-48 封装。芯片上集成有正交编码器、ADC、带死区 PWM、温度传感器、模拟比较器、UART、SSI、通用定时器、I²C 和 CCP 等外设。LM3S 600 系列微控制器内部结构方框图如图 1-10 所示。**注意：**不是所有特性在 LM3S615 微控制器中都可以使用。

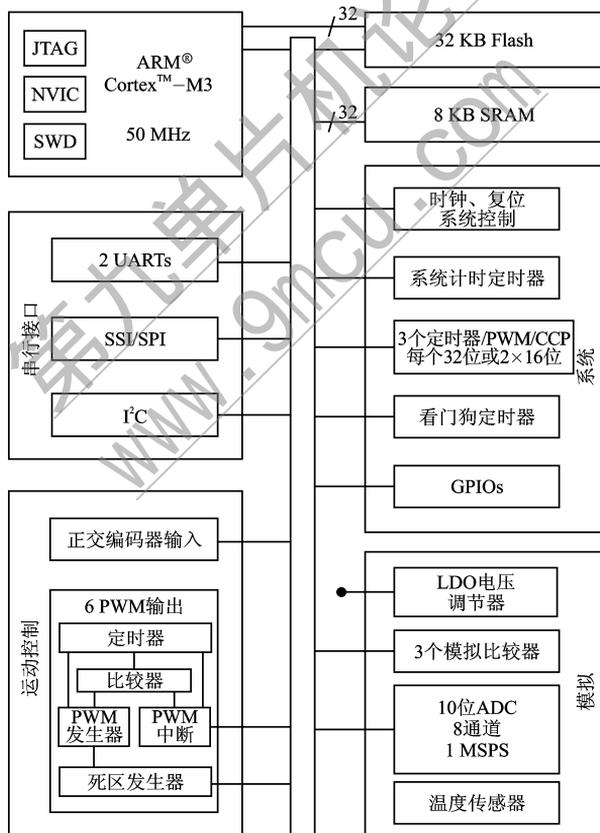


图 1-10 LM3S 600 系列微控制器内部结构方框图

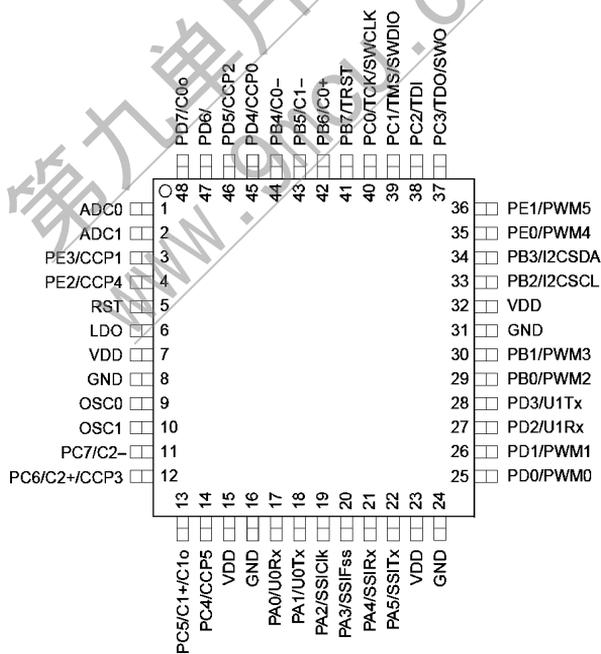
1.5.2 LM3S615 微控制器的封装形式与引脚端功能

LM3S615 微控制器采用 48 引脚 LQFP 封装,封装形式与尺寸如图 1-11 所示和表 1-8 所列。

表 1-8 LM3S615 微控制器封装尺寸

mm

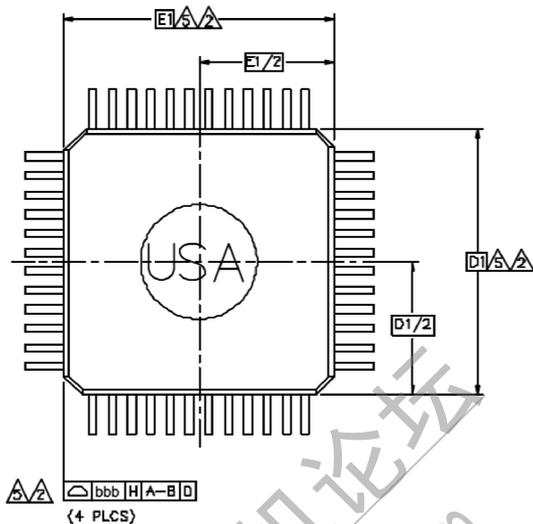
符 号	最小值	标准值	最大值	符 号	最小值	典型值	最大值
A	—	—	1.60	b	0.17	0.22	0.27
A1	0.05	—	0.15	b1	0.17	0.20	0.23
A2	—	0.65	1.00	c	0.09	—	0.20
A3	1.35	1.40	1.45	c1	0.09	—	0.16
D	9.00BSC			外形和位置的容限			
D1	7.00BSC			aaa	0.20		
E	9.00BSC			bbb	0.20		
E1	7.00BSC			ccc	0.18		
L	0.45	0.60	0.75	ddd	0.18		
e	0.5BSC						



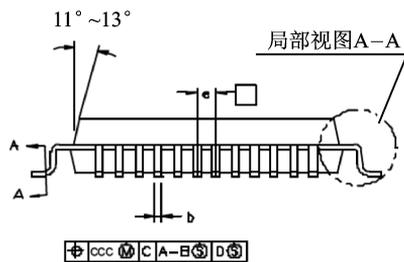
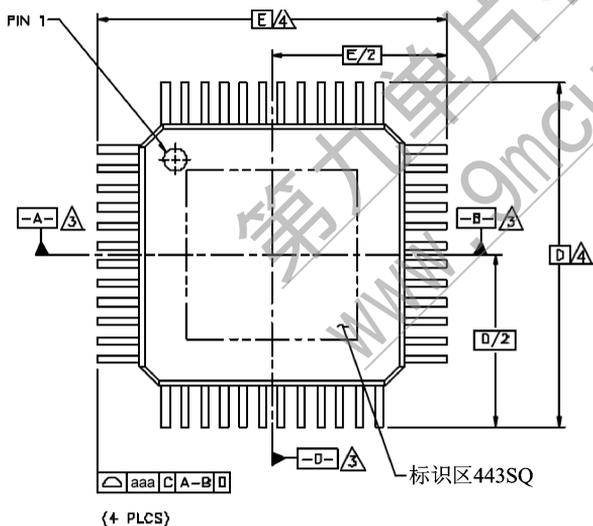
(a) 封装形式

图 1-11 LM3S615 微控制器封装形式与尺寸

底部视图



顶部视图



(b) 封装尺寸

图 1-11 LM3S615 微控制器封装形式与尺寸 (续)

LM3S615 微控制器引脚端功能如表 1-9 所列。

表 1-9 LM3S615 微控制器引脚端功能

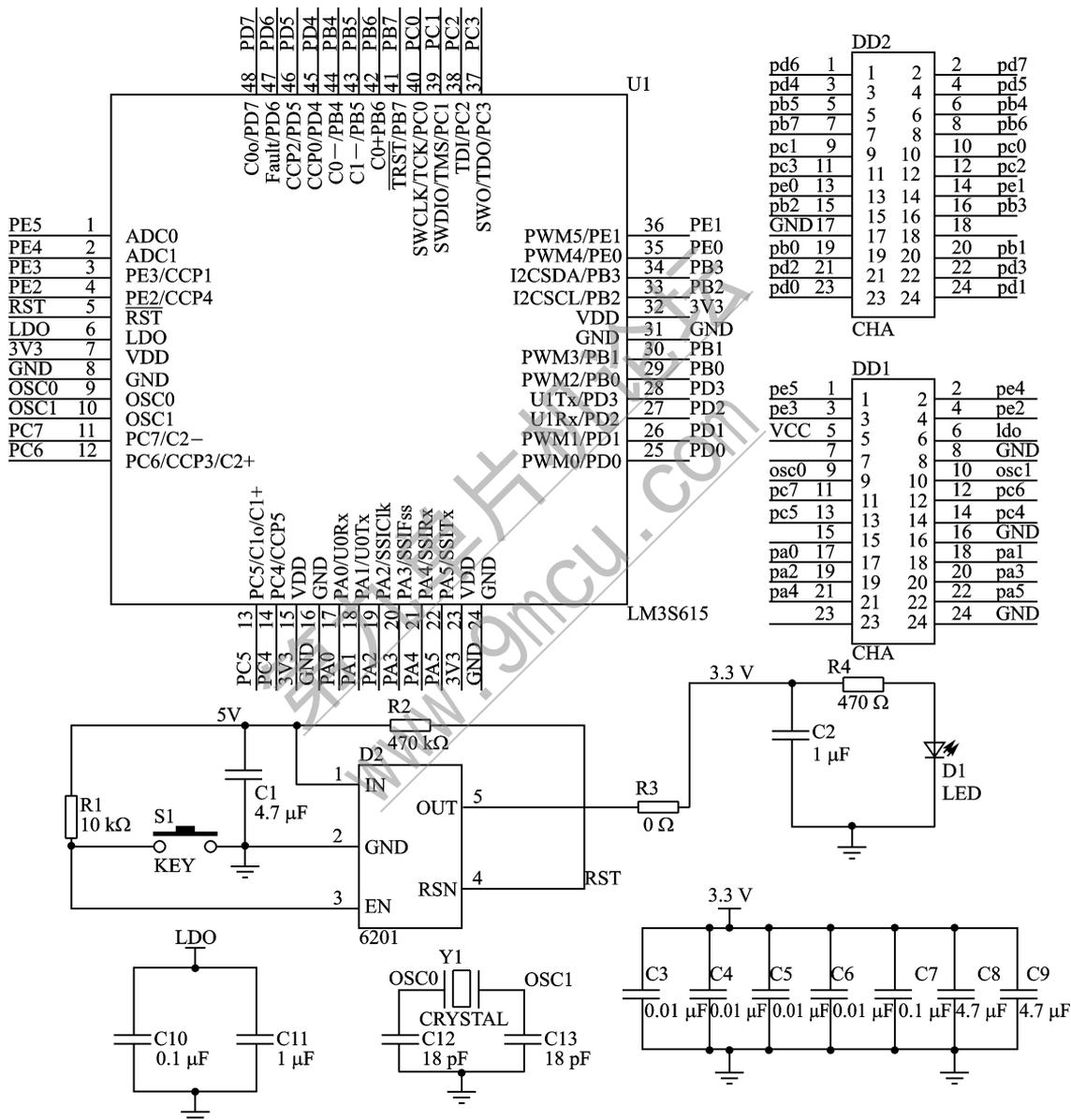
引 脚	符 号	输入/输出类型	缓冲区类型	功 能
1	ADC0	I	模拟	模/数转换器输入 0
2	ADC1	I	模拟	模/数转换器输入 1
3	PE3	I/O	TTL	GPIO 端口 E 位 3
	CCP1	I/O	TTL	捕获/比较/PWM 1
4	PE2	I/O	TTL	GPIO 端口 E 位 2
	CCP4	I/O	TTL	捕获/比较/PWM 4
5	$\overline{\text{RST}}$	I	TTL	系统复位输入
6	LDO		电源	低压差稳压器输出电压。这个引脚在引脚和 GND 之间需要一个 $1\ \mu\text{F}$ 或更大的外部电容
7	VDD		电源	I/O 和某些逻辑的电源正极
8	GND		电源	逻辑和 I/O 引脚的地
9	OSC0	I	模拟	主振荡器晶体输入或外部时钟参考输入
10	OSC1	O	模拟	主振荡器晶体输出
11	PC7	I/O	TTL	GPIO 端口 C 位 7
	C2-	I	模拟	模拟比较器 2 负极输入
12	PC6	I/O	TTL	GPIO 端口 C 位 6
	C2+	I	模拟	模拟比较器 2 正极输入
	CCP3	I/O	TTL	捕获/比较/PWM 3
13	PC5	I/O	TTL	GPIO 端口 C 位 5
	C1+	I	模拟	模拟比较器 1 正极输入
	C1o	O	TTL	模拟比较器 1 输出
14	PC4	I/O	TTL	GPIO 端口 C 位 4
	CCP5	I/O	TTL	捕获/比较/PWM 5
15	VDD		电源	I/O 和某些逻辑的电源正极
16	GND		电源	逻辑和 I/O 引脚的地
17	PA0	I/O	TTL	GPIO 端口 A 位 0
	U0Rx	I	TTL	UART 模块 0 接收
18	PA1	I/O	TTL	GPIO 端口 A 位 1
	U0Tx	O	TTL	UART 模块 0 发送

引脚	符号	输入/输出类型	缓冲区类型	功能
19	PA2	I/O	TTL	GPIO 端口 A 位 2
	SSIClk	I/O	TTL	SSI 时钟
20	PA3	I/O	TTL	GPIO 端口 A 位 3
	SSIFss	I/O	TTL	SSI 帧
21	PA4	I/O	TTL	GPIO 端口 A 位 4
	SSIRx	I	TTL	SSI 模块 0 接收
22	PA5	I/O	TTL	GPIO 端口 A 位 5
	SSITx	O	TTL	SSI 模块 0 发送
23	VDD		电源	I/O 和某些逻辑的电源正极
24	GND		电源	逻辑和 I/O 引脚的地
25	PD0	I/O	TTL	GPIO 端口 D 位 0
	PWM0	O	TTL	PWM 0
26	PD1	I/O	TTL	GPIO 端口 D 位 1
	PWM1	O	TTL	PWM 1
27	PD2	I/O	TTL	GPIO 端口 D 位 2
	U1Rx	I	TTL	UART 模块 1 接收。在 IrDA 模式下时,该信号具有 IrDA 调制
28	PD3	I/O	TTL	GPIO 端口 D 位 3
	U1Tx	O	TTL	UART 模块 1 发送。在 IrDA 模式下时,该信号具有 IrDA 调制
29	PB0	I/O	TTL	GPIO 端口 B 位 0
	PWM2	O	TTL	PWM 2
30	PB1	I/O	TTL	GPIO 端口 B 位 1
	PWM3	O	TTL	PWM 3
31	GND		电源	逻辑和 I/O 引脚的地
32	VDD		电源	I/O 和某些逻辑的电源正极
33	PB2	I/O	TTL	GPIO 端口 B 位 2
	I2CSCL	I/O	OD	I ² C 模块 0 时钟
34	PB3	I/O	TTL	GPIO 端口 B 位 3
	I2CSDA	I/O	OD	I ² C 模块 0 数据
35	PE0	I/O	TTL	GPIO 端口 E 位 0
	PWM4	O	TTL	PWM 4

引脚	符号	输入/输出类型	缓冲区类型	功能
36	PE1	I/O	TTL	GPIO 端口 E 位 1
	PWM5	O	TTL	PWM 5
37	PC3	I/O	TTL	GPIO 端口 C 位 3
	TDO	O	TTL	JTAG TDO
	SWO	O	TTL	JTAG SWO
38	PC2	I/O	TTL	GPIO 端口 C 位 2
	TDI	I	TTL	JTAG TDI
39	PC1	I/O	TTL	GPIO 端口 C 位 1
	TMS	I/O	TTL	JTAG TMS
	SWDIO	I/O	TTL	JTAG SWDIO
40	PC0	I/O	TTL	GPIO 端口 C 位 0
	TCK	I	TTL	JTAG/SWD CLK
	SWCLK	I	TTL	JTAG/SWD CLK
41	PB7	I/O	TTL	GPIO 端口 B 位 7
	TRST	I	TTL	JTAG TRST _n
42	PB6	I/O	TTL	GPIO 端口 B 位 6
	C0+	I	模拟	模拟比较器 0 正极输入
43	PB5	I/O	TTL	GPIO 端口 B 位 5
	C1-	I	模拟	模拟比较器 1 负极输入
44	PB4	I/O	TTL	GPIO 端口 B 位 4
	C0-	I	模拟	模拟比较器 0 负极输入
45	PD4	I/O	TTL	GPIO 端口 D 位 4
	CCP0	I/O	TTL	捕获/比较/PWM 0
46	PD5	I/O	TTL	GPIO 端口 D 位 5
	CCP2	I/O	TTL	捕获/比较/PWM 2
47	PD6	I/O	TTL	GPIO 端口 D 位 6
	Fault	I	TTL	PWM 错误
48	PD7	I/O	TTL	GPIO 端口 D 位 7
	C0o	O	TTL	模拟比较器 0 输出

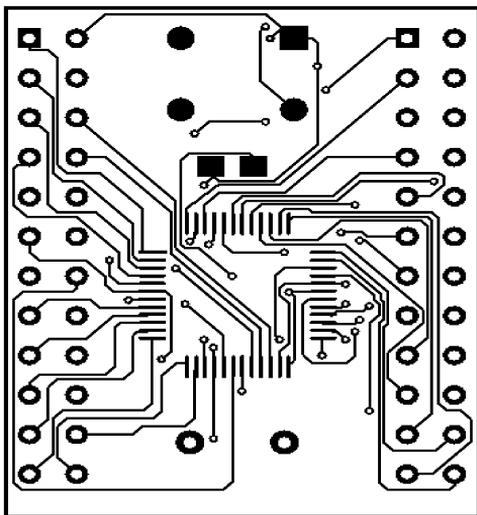
1.5.3 LM3S615 微控制器 PACK 板电路和 PCB

LM3S615 微控制器 PACK 板电路和 PCB 图如图 1-12 所示。

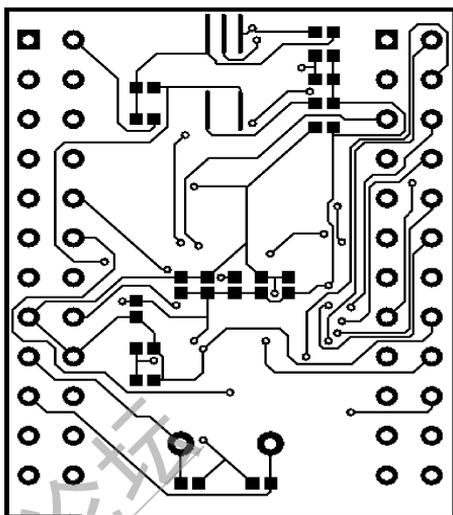


(a) LM3S615最小系统电路图

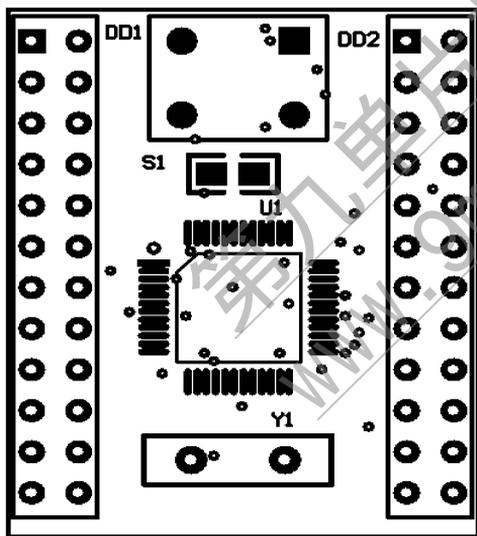
图 1-12 LM3S615 微控制器 PACK 板电路和 PCB 图



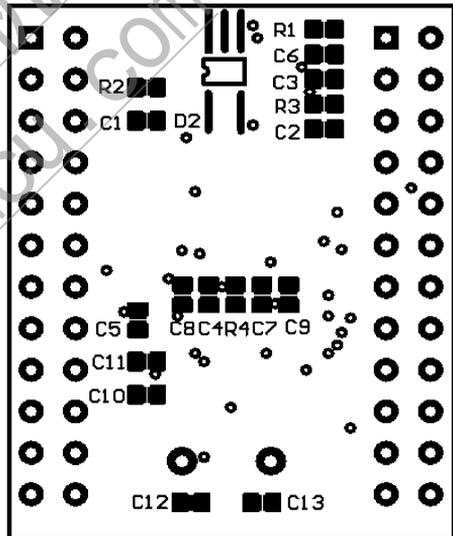
(b) LM3S615最小系统顶层PCB图



(c) LM3S615最小系统顶层PCB图



(d) LM3S615最小系统顶层元器件布局图



(e) LM3S615最小系统底层元器件布局图

图 1 - 12 LM3S615 微控制器 PACK 板电路和 PCB 图(续)

1.5.4 EasyARM615 ARM 开发套件

周立功单片机公司提供的 EasyARM615 ARM 开发套件, 可以支持 LM3S1xxA、LM3S3xx、LM3S6xx 和 LM3S8xx 系列 CPU PACK; 支持 $\mu\text{C}/\text{OS II}$ 操作系统(提供移植代

码), EasyARM615 开发板实物如图 1-13 所示。

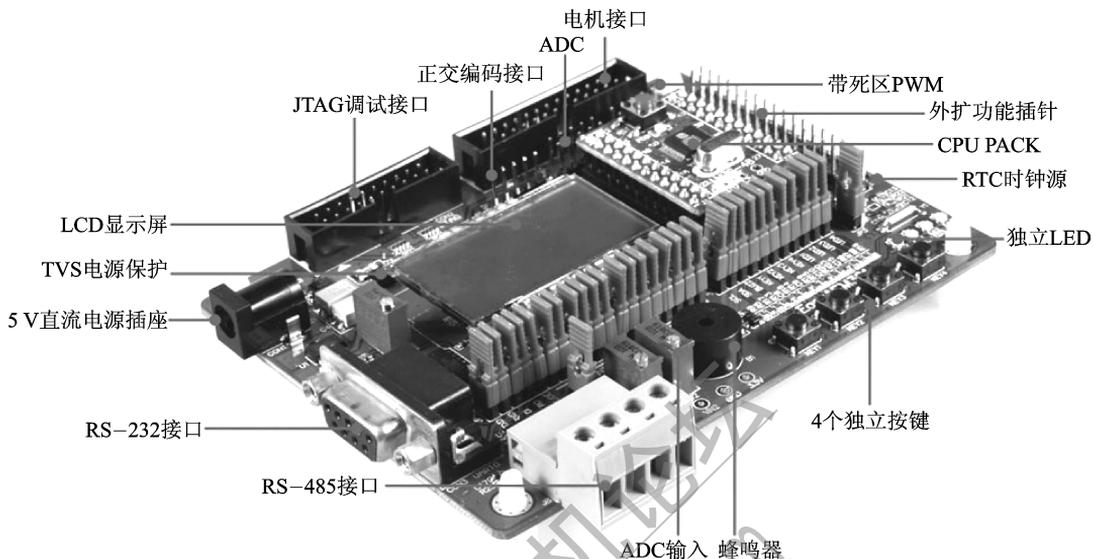


图 1-13 EasyARM615 ARM 开发板

EasyARM615 采用积木式模块架构, 可选配多种常用模块, 为电子产品开发、电子大赛、课程设计和毕业设计提高设计效率。

1.6 LPC2103 ARM 7 微控制器 PACK 板

1.6.1 LPC2103 系列微控制器简介

LPC2101/2102/2103 是基于一个支持实时仿真的 ARM7TDMI - S CPU, 内部结构方框图如图 1-14 所示, 主要特性如下。

- 16 位/32 位 ARM7TDMI - S 处理器, 极小型 LQFP - 48 封装。
- 2 KB/4 KB/8 KB 的片内静态 RAM, 8 KB/16 KB/32 KB 的片内 Flash 程序存储器, 128 位宽的接口/加速器使其实现了 70 MHz 的高速操作。
- 通过片内 Boot - loader 软件实现在系统/在应用编程 (ISP/IAP)。Flash 编程时间: 1 ms 可编程 256 B, 单个 Flash 扇区擦除或整片擦除只需 400 ms。
- EmbeddedICE RT 通过片内 RealMonitor 软件来提供实时调试。
- 10 位的 A/D 转换器含有 8 个模拟输入, 每个通道的转换时间低至 $2.44 \mu\text{s}$, 专用的结果寄存器使中断开销降到最低。

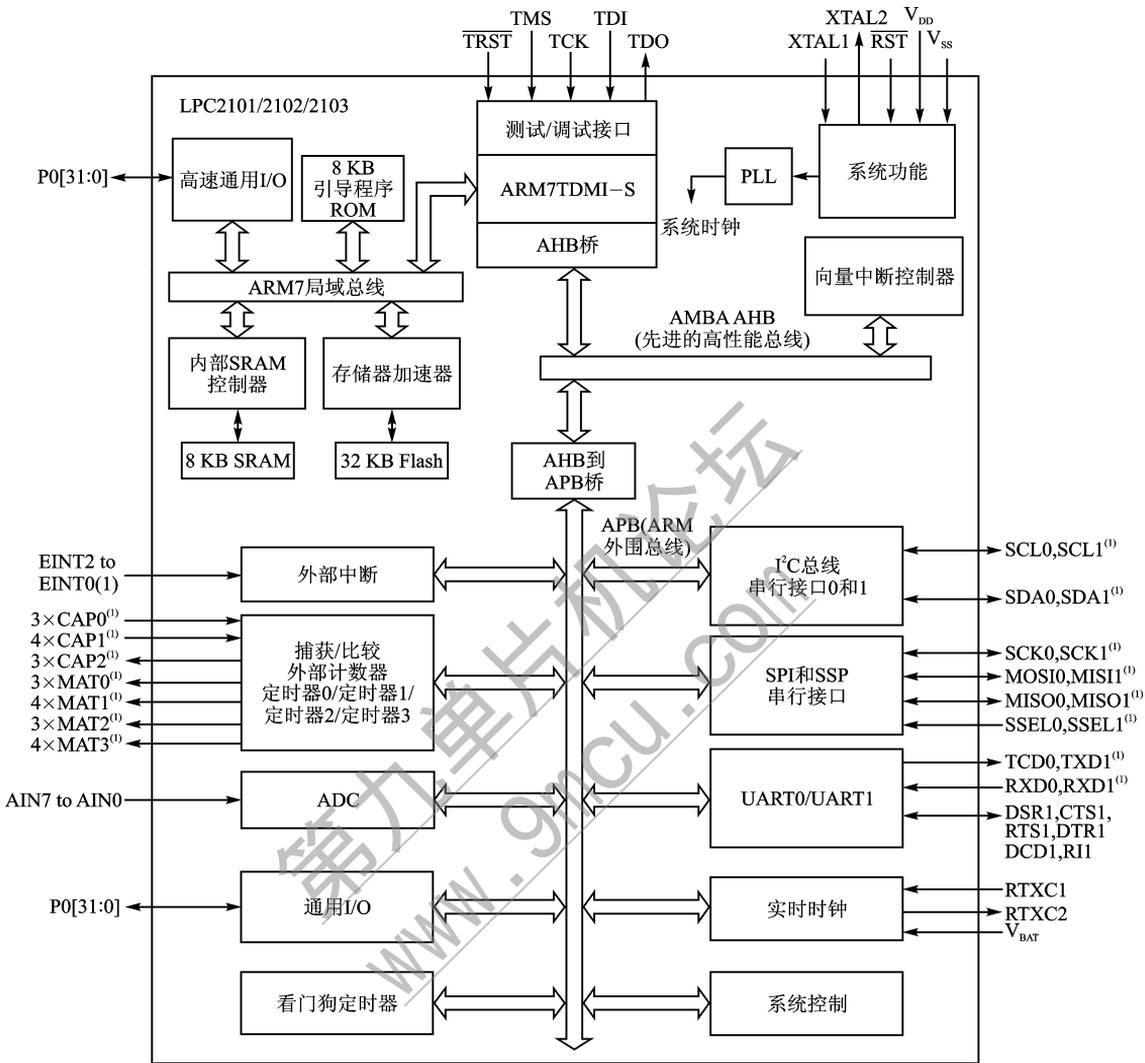


图 1-14 LPC2101/2102/2103 的内部结构方框图

- 2 个 32 位的定时器/外部事件计数器,具有 7 路捕获和 7 路比较通道。
- 2 个 16 位的定时器/外部事件计数器,具有 3 路捕获和 7 路比较通道。
- 低功耗实时时钟(RTC),有独立的供电电源和专门的 32 kHz 时钟输入。
- 多个串行接口,包括 2 个 UART(16C550),2 个快速 I²C 总线(400 kbps)以及带缓冲和可变数据长度功能的 SPI 和 SSP。
- 向量中断控制器,可配置优先级和向量地址。

- 多达 32 个可承受 5 V 的通用 I/O 口。
- 高达 13 个边沿或电平有效的外部中断引脚。
- 通过可编程的片内 PLL(可能的输入频率范围:10~25 MHz)可实现最大为 70 MHz 的 CPU 时钟频率,设置时间为 100 μ s。
- 片内集成的振荡器,工作在 1~25 MHz 的外部晶体下。
- 节电模式包括空闲模式、RTC 有效的睡眠模式和掉电模式。
- 通过外设功能的单独使能/禁止和调节外设时钟来实现功耗的最优化。
- 通过外部中断或 RTC 将处理器从掉电模式中唤醒。

由于 LPC2101/2102/2103 非常小的尺寸和极低的功耗,它们非常适合于那些将小型化作为主要要求的应用,多个 UART、SPI 到 SSP 和 2 个 I²C 总线组成的混合串行通信接口和片内 2 KB/4 KB/8 KB 的 SRAM 一起作用,可使得 LPC2101/2102/2103 非常适合用来实现通信网关和协议转换器、数学协处理器以及足够大空间的缓冲区的强大处理功能。而多个 32 位和 16 位的定时器、一个经改良后的 10 位 ADC、PWM 特性(通过所有定时器上的一个输出匹配来实现)和 32 个快速 GPIO(含有多达 9 个边沿或电平有效的外部中断引脚)使它们特别适用于工业控制和医疗系统。

1.6.2 LPC2103 微控制器的封装形式与引脚端功能

LPC2101/2102/2103 采用 LQFP-48 封装,引脚端封装形式如图 1-15 所示,引脚端功能如表 1-10 所列。

表 1-10 LPC2101/2102/2103 引脚端功能

符 号	引 脚	类 型	功 能 描 述
P0.0~P0.31		I/O	P0 口:P0 口是一个 32 位双向 I/O 口。每个位都有独立的方向控制。除 P0.31 只能作为输出口外,其他所有 31 个引脚都可用作通用数字双向 I/O 口。P0 口引脚的操作取决于引脚连接模块所选择的功能
P0.0/TXD0/ MAT3.1	13[1]	I/O O O	P0.0:通用数字 I/O 口(GPIO); TXD0:UART0 的发送器输出; MAT3.1:定时器 3 PWM 输出 1
P0.1/RXD0/ MAT3.2	14[2]	I/O I O	P0.1:通用数字 I/O 口(GPIO); RXD0:UART0 的接收器输入; MAT3.2:定时器 3 PWM 输出 2
P0.2/SCL0/ CAP0.0	18[3]	I/O I/O	P0.2:通用数字 I/O 口(GPIO); SCL0:I ² C0 时钟输入/输出,开漏输出(符合 I ² C 规范); CAP0.0:定时器 0 捕获输入 0

符 号	引 脚	类 型	功 能 描 述
P0.3/SDA0/ MAT0.0	21[3]	I/O I/O O	P0.3:通用数字 I/O 口(GPIO); SDA0:I ² C0 数据输入/输出,开漏输出(符合 I ² C 规范); MAT0.0:定时器 0 PWM 输出 0
P0.4/SCK0/ CAP0.1	22[4]	I/O I/O I	P0.4:通用数字 I/O 口(GPIO); SCK0:SPI0 串行时钟,SPI 主机输出或从机输入的时钟; CAP0.1:定时器 0 捕获输入 1
P0.5/MISO0/ MAT0.1	23[4]	I/O I/O O	P0.5:通用数字 I/O 口(GPIO); MISO:SPI0 主机输入从机输出,SPI 从机到主机的数据传输; MAT0.1:定时器 0 PWM 输出 1
P0.6/MOSI0/ CAP0.2	24[2]	I/O I/O I	P0.6:通用数字 I/O 口(GPIO); MOSI:SPI0 主机输出从机输入,SPI 主机到从机的数据传输; CAP0.2:定时器 0 捕获输入 2
P0.7/SSEL0/ MAT2.0	28[2]	I/O I O	P0.7:通用数字 I/O 口(GPIO); SSEL0:SPI0 从机选择,选择 SPI 接口用作从机; MAT2.0:定时器 2 PWM 输出 0
P0.8/TXD1/ MAT2.1	29[4]	I/O O O	P0.8:通用数字 I/O 口(GPIO); TxD1:UART1 的发送器输出; MAT2.1:定时器 2 PWM 输出 1
P0.9/RXD1/ MAT2.2	30[2]	I/O I O	P0.9:通用数字 I/O 口(GPIO); RxD1:UART1 的接收器输入; MAT2.2:定时器 2 PWM 输出 2
P0.10/RTS1/ CAP1.0/AIN3	35[4]	I/O O I I	P0.10:通用数字 I/O 口(GPIO); RTS1:UART1 请求发送输出; CAP1.0:定时器 1 捕获输入 0; AIN3:模拟输入 3
P0.11/CTS1/ CAP1.1/AIN4	36[3]	I/O O I I	P0.11:通用数字 I/O 口(GPIO); CTS1:UART1 的清零发送输出; CAP1.1:定时器 1 捕获输入 1; AIN4:模拟输入 4
P0.12/DSR1/ MAT1.0/AIN5	37[4]	I/O I O I	P0.12:通用数字 I/O 口(GPIO); DSR1:UART1 的数据设置就绪输入; MAT1.0:定时器 1 PWM 输出 0; AIN5:模拟输入 5
P0.13/DTR1/ MAT1.1	41[4]	I/O O O	P0.13:通用数字 I/O 口(GPIO); DTR1:UART1 的数据终端就绪输出; MAT1.1:定时器 1 PWM 输出 1

符号	引脚	类型	功能描述
P0.14/DCD1/ SCK1/EINT1	44[3]	I/O I I/O I	P0.14:通用数字 I/O 口(GPIO); DCD1:UART1 数据载波检测输入; SCK1:SPI1 串行时钟,SPI 主机时钟输出或从机时钟输入; EINT1:外部中断 1 输入
P0.15/RI1/ EINT2	45[4]	I/O I I	P0.15:通用数字 I/O 口(GPIO); RI1:UART1 铃声指示输入; EINT2:外部中断 2 输入
P0.16/EINT0/ MAT0.2	46[2]	I/O I O	P0.16:通用数字 I/O 口(GPIO); EINT0:外部中断 0 输入; MAT0.2:定时器 0 PWM 输出 2
P0.17/CAP1.2/ SCL1	47[1]	I/O I I/O	P0.17:通用数字 I/O 口(GPIO); CAP1.2:定时器 1 捕获输入 2; SCL1 I2C:时钟输入/输出,开漏输出(符合 I ² C 规范)
P1.8/CAP1.3/ SDA1	48[1]	I/O I I/O	P0.18:通用数字 I/O 口(GPIO); CAP1.3:定时器 1 捕获输入 3; SDA1:I2C1 数据输入/输出,开漏输出(符合 I ² C 规范)
P0.19/MAT1.2/ MISO1	1[1]	I/O O I/O	P0.19:通用数字 I/O 口(GPIO); MAT1.2:定时器 1 PWM 输出 2; MISO1:SSP 主入从出,作主机时为数据输入,作从机时为数据输出
P0.20/MAT1.3/ MOSI1	2[2]	I/O O I/O	P0.20:通用数字 I/O 口(GPIO); MAT1.3:定时器 1 PWM 输出 3; MOSI1:SSP 主出从入,作主机时为数据输出,作从机时为数据输入
P0.21/SSEL1/ MAT3.0	3[4]	I/O I O	P0.21:通用数字 I/O 口(GPIO); SSEL1:SPI1 从机选择,选择 SPI 接口用作从机; MAT3.0:定时器 3 PWM 输出 0
P0.22/AIN0	32[4]	I/O I	P0.22:通用数字 I/O 口(GPIO); AIN0:模拟输入 0
P0.23/AIN1	33[1]	I/O I	P0.23:通用数字 I/O 口(GPIO); AIN1:模拟输入 1
P0.24/AIN2	34[1]	I/O I	P0.24:通用数字 I/O 口(GPIO); AIN2:模拟输入 2
P0.25/AIN6	38[1]	I/O I	P0.25:通用数字 I/O 口(GPIO); AIN6:模拟输入 6
P0.26/AIN7	39[1]	I/O I	P0.26:通用数字 I/O 口(GPIO); AIN7:模拟输入 7

符 号	引 脚	类 型	功 能 描 述
P0.27/TRST/ CAP2.0	8[4]	I/O O I	P0.27:通用数字 I/O 口(GPIO); TRST:JTAG 接口的测试复位; CAP2.0:定时器 2 捕获输入 0
P0.28/TMS/ CAP2.1	9[4]	I/O O I	P0.28:通用数字 I/O 口(GPIO); TMS:JTAG 接口的测试模式选择; CAP2.1:定时器 2 捕获输入 1
P0.29/TCK/ CAP2.2	10[4]	I/O O I	P0.29:通用数字 I/O 口(GPIO); TCK:JTAG 接口测试时钟; CAP2.2:定时器 2 捕获输入 2
P0.30/TDI/ MAT3.3	15[4]	I/O I O	P0.30:通用数字 I/O 口(GPIO); TDI:JTAG 接口测试数据输入; MAT3.3:定时器 3 PWM 输出 3
P0.31/TDO	16[4]	O O	P0.31:通用数字输出口; TDO:JTAG 接口测试数据输出
RTXC1	20[5]	I	RTC:振荡器电路的输入
RTXC2	25[5]	O	RTC:振荡器电路的输出
RTCK	26[5]	I/O	返回的测试时钟输出;JTAG 端口的额外信号。当处理器频率变化时,帮助调试器保持同步。带内部上拉的双向口
X1	11	I	振荡器电路和内部时钟发生器的输入
X2	12	O	振荡放大器的输出
DBGSEL	27	I	调试选择,当引脚为低电平时,器件正常工作;当引脚为高电平时,进入调试模式。它是一个带内部下拉的输入
$\overline{\text{RST}}$	6	I	外部复位输入;该引脚的低电平将器件复位,并使 I/O 口和外围恢复默认状态,处理器从地址 0 开始执行。带滞后作用的 TTL,最大可承受 5 V 的电压
VSS	7,19,43	I	地:0 V 参考点
VSSA	31	I	模拟地:0 V 参考点。正常情况下与 VSS 电压值相同,但要求两者隔离来使噪声和故障降至最低
VDDA	42	I	3.3 V 模拟电源:正常情况下与 VDD(3V3)电压值相同,但要求两者隔离来使噪声和故障降至最低。该电压为片内 PLL 供电
VDD(1V.8)	5	I	1.8 V 内核供电电源:内部电路的电源
VDD(3V3)	17,40	I	3.3 V 电源:I/O 口的电源
VBAT	4	I	RTC 电源:3.3 V,用作 RTC 的电源

注:① 引脚最大可承受 5 V 的电压,提供数字 I/O 功能,采用 TTL 电平,具有滞后作用和 10 ns 的转换速度控制。

② 引脚最大可承受 5 V 的电压,提供数字 I/O 功能,采用 TTL 电平,具有滞后作用和 10 ns 的转换速度控制。
该引脚配置为输入时,可利用内置的干扰滤波器滤除短于 3 ns 的脉冲。

1.6.3 LPC2103 微控制器 PACK 板电路和 PCB

LPC2103 微控制器 PACK 板电路和 PCB 图如图 1-16 所示。

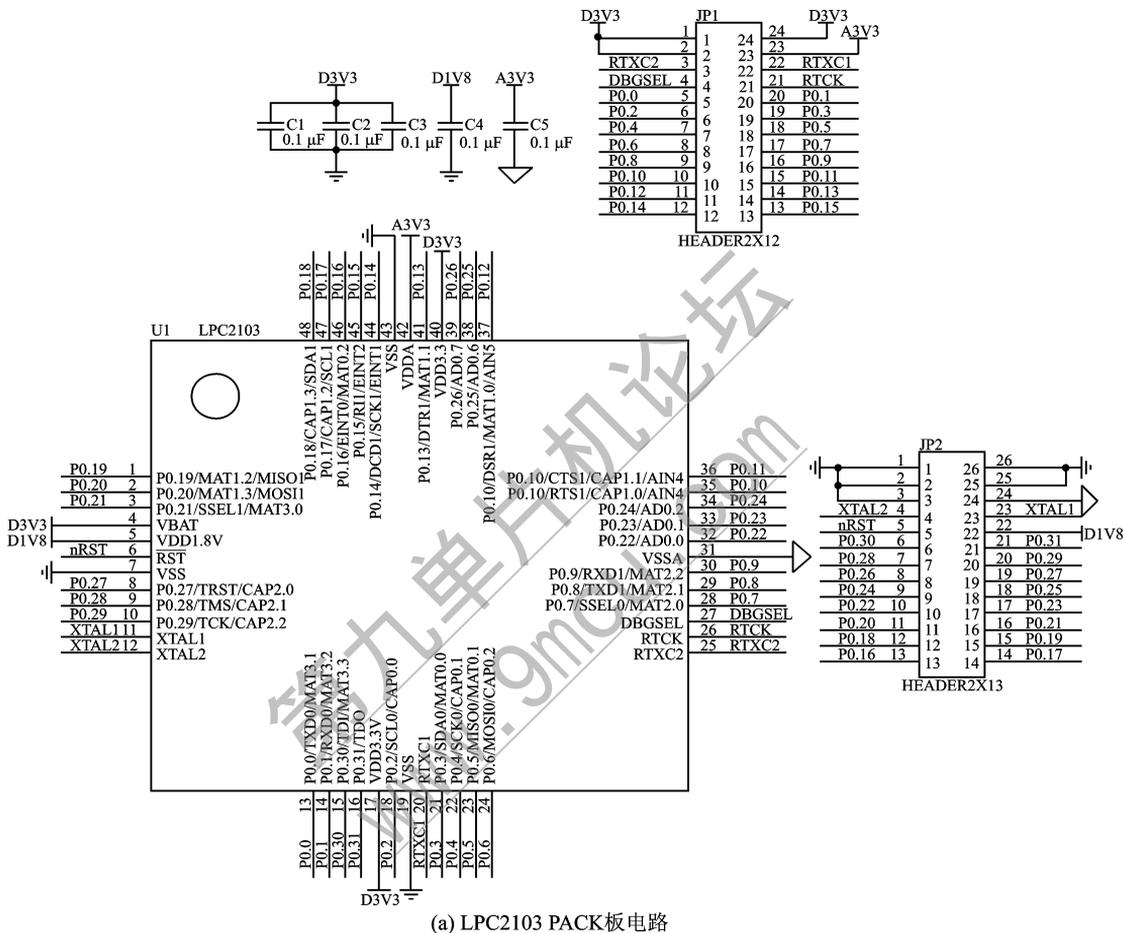
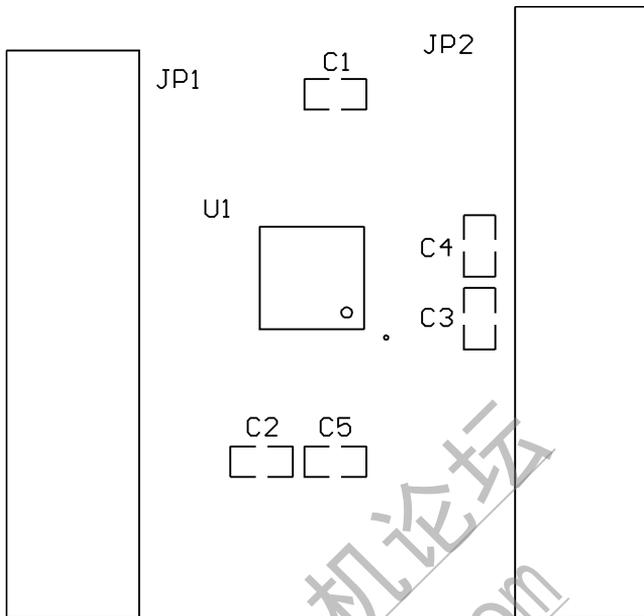
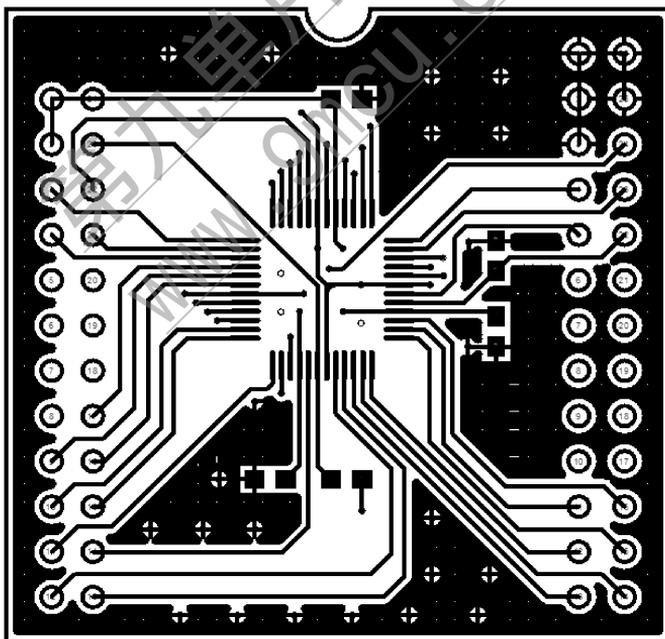


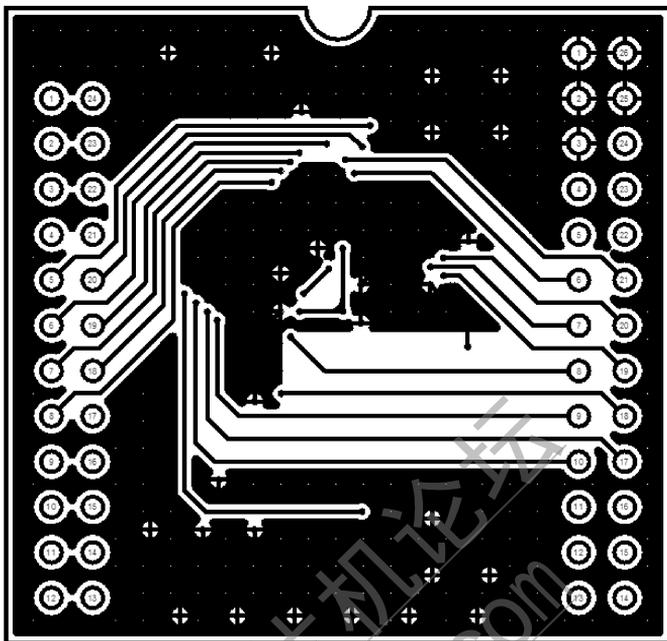
图 1-16 LPC2103 微控制器 PACK 板电路和 PCB 图



(b) LPC2103 PACK板电路PCB顶层元器件布局图



(c) LPC2103 PACK板电路顶层PCB图



(d) LPC2103 PACK板电路底层PCB图

图 1-16 LPC2103 微控制器 PACK 板电路和 PCB 图(续)

1.6.4 EasyARM LPC2103 ARM 开发套件

EasyARM2103 是广州致远电子有限公司针对高校师生而研发的一款嵌入式开发套件,具有极高的性价比,配套提供详细的教材和大量完整的设计方案,适用于学习、竞赛和毕业设计多层次开发。

EasyARM2103 开发板采用了 NXP 公司基于 ARM7 TDMI - S 核、LQFP48 封装的 LPC2103 芯片,具有 JTAG 仿真调试和 ISP 编程功能。开发板上提供了按键、发光二极管等常用的功能器件,具有 RS-232 接口电路和 I²C 存储器电路。用户可以更换兼容的 CPU 进行仿真调试,如 LPC2101 和 LPC2102 等。开发板上所有的 I/O 口全部引出,灵活的跳线组合,极大地方便用户进行 32 位 ARM 嵌入式系统的开发实验。

EasyARM2103 开发板大部分元件采用直插式封装,锻炼学生动手能力,加强学生对常识性器件的了解。在 EasyARM 2103 开发板研发的过程中,采纳了多名重点高校资深教授的建议和意见,结合学生学习、竞赛等应用的特点进行设计改进,产品完全符合高校师生的应用需求。与学生使用芯片自主从“0”阶段开发相比,结合配套教材的 EasyARM2103 开发板大大降低了学习、开发的门槛,短期内即可熟练应用开发板进行相关电子项目的实践开发。

第 2 章

微控制器外围电路模块制作

2.1 键盘及 LED 数码管显示器模块

2.1.1 ZLG7290B 简介

键盘及 LED 显示器电路采用 ZLG7290B 实现。ZLG7290B 是广州周立功单片机发展有限公司自行设计的数码管显示驱动及键盘扫描管理芯片,能够直接驱动 8 位共阴式数码管(1 英寸以下)或 64 只独立的 LED;能够管理多达 64 只按键,自动消除抖动,其中有 8 只可以作为功能键使用;段电流可达 20 mA,位电流可达 100 mA 以上;利用功率电路可以方便地驱动 1 英寸以上的大型数码管;具有闪烁、段点亮、段熄灭、功能键和连击键计数等强大功能;提供有 10 种数字和 21 种字母的译码显示功能,或者直接向显示缓存写入显示数据;不接数码管而仅使用键盘管理功能时,工作电流可降至 1 mA;与微控制器之间采用 I²C 串行总线接口,只需两根信号线,节省 I/O 资源;工作电压范围为 3.3~5.5 V;工作温度范围为 -40~+85 ℃;该芯片为工业级芯片,抗干扰能力强,在工业测控中已有大量应用。

2.1.2 ZLG7290B 封装形式与引脚端功能

1. ZLG7290B 的引脚端功能

ZLG7290B 采用 DIP-24(窄体)或者 SOP-24 封装,其引脚端功能如表 2-1 所列。

2. ZLG7290B 工作原理

ZLG7290B 是一种采用 I²C 总线接口的键盘及 LED 驱动管理器件,须外接 6 MHz 的晶振。使用时 ZLG7290B 的从地址为 70H,器件内部通过 I²C 总线访问的寄存器地址范围为 00H~17H,任一个寄存器都可按字节直接读/写,并支持自动增址功能和地址翻转功能。

(1) 驱动数码管显示

使用 ZLG7290B 驱动数码管显示有两种方法:第一种方法是向命令缓冲区(07H~08H)写入复合指令,向 07H 写入命令并选通相应的数码管,向 08H 写入所要显示的数据,这种方

法每次只能写入一字节的数据,多字节数据的输出可在程序中用循环写入的方法实现;第二种方法是向显示缓存寄存器(10H~17H)写入所要显示的数据的段码,段码的编码规则从高位到低位为 abcdefgdp,这种方法每次可写入 1~8 字节数据。

表 2-1 ZLG7290 引脚功能

引脚	符号	类型	功能
13,12,21,22,3~6	Dig7~Dig0	输入/输出	LED 显示位驱动及键盘扫描线
10~7,2,1,24,23	SegH~SegA	输入/输出	LED 显示段驱动及键盘扫描线
20	SDA	输入/输出	I ² C 总线接口数据/地址线
19	SCL	输入/输出	I ² C 总线接口时钟线
14	$\overline{\text{INT}}$	输出	中断输出端,低电平有效
15	$\overline{\text{RES}}$	输入	复位输入端,低电平有效
17	OSC1	输入	连接晶体以产生内部时钟
18	OSC2	输出	
16	VCC	电源	电源正(3.3~5.5 V)
11	GND	电源	电源地

(2) 读取按键

使用 ZLG7290B 读取按键时,读普通键的入口地址和读功能键的入口地址不同,读普通键的地址为 01H,读功能键的地址为 03H。读普通键返回按键的编号,读功能键返回的不是按键编号,需要程序对返回值进行翻译,转换成功能键的编号。ZLG7290B 具有连击次数计数器,通过读取该寄存器的值可区别单击键和连击键,判断连击次数还可以检测被按时间;连击次数寄存器只为普通键计数,不为功能键计数。此外,ZLG7290B 的功能键寄存器,实现了 2 个以上按键同时按下,来扩展按键数目或实现特殊功能,类似于 PC 的 Shift、Ctrl 和 Alt 键。

3. 与微控制器连接

ZLG7290B 通过 I²C 接口与微控制器进行串口通信,I²C 总线接口传输速率可达 32 kbps。ZLG7290B 的 I²C 总线通信接口主要由 SDA、SCL 和 $\overline{\text{INT}}$ 3 个引脚组成。SCL 线用来传递时钟信号,SDA 线负责传输数据,SDA 和 SCL 与微控制器相连时,需加 3.3~10 k Ω 的上拉电阻。 $\overline{\text{INT}}$ 负责传递键盘中断信号,与微控制器相连时须串联一个 470 Ω 的电阻。ZLG7290B 与微控制器连接示意图如图 2-1 所示。

2.1.3 ZLG7290B 键盘及 LED 数码管显示器模块电路和 PCB

一个采用 ZLG7290B 构成的 8 位 LED 显示器和 16 键的应用电路原理图和 PCB 图如图 2-2 和图 2-3 所示。

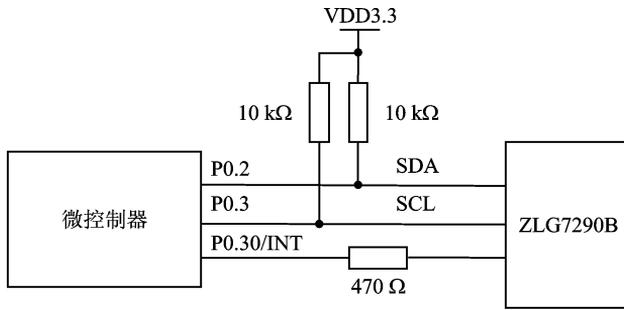


图 2-1 ZLG7290B 与微控制器进行通信的示意图

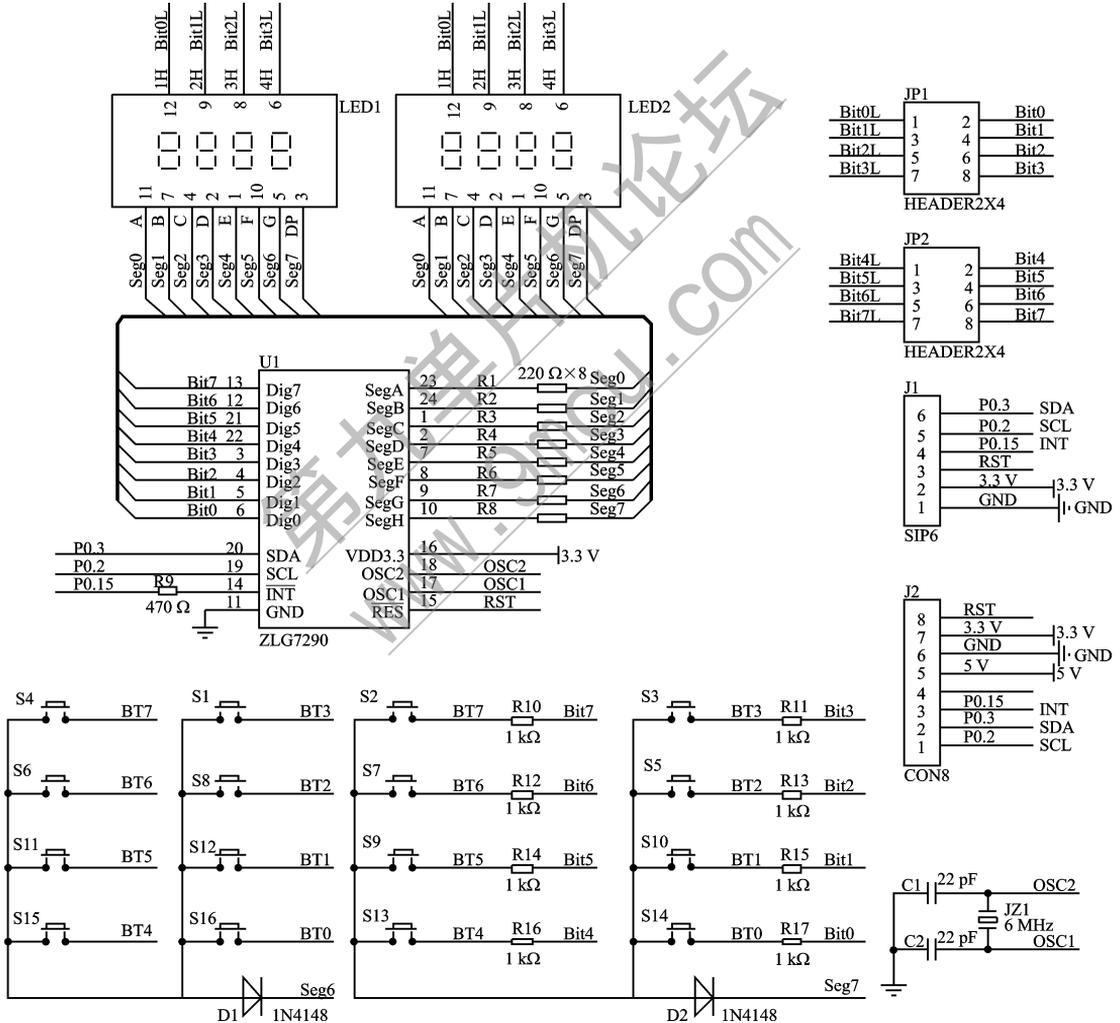
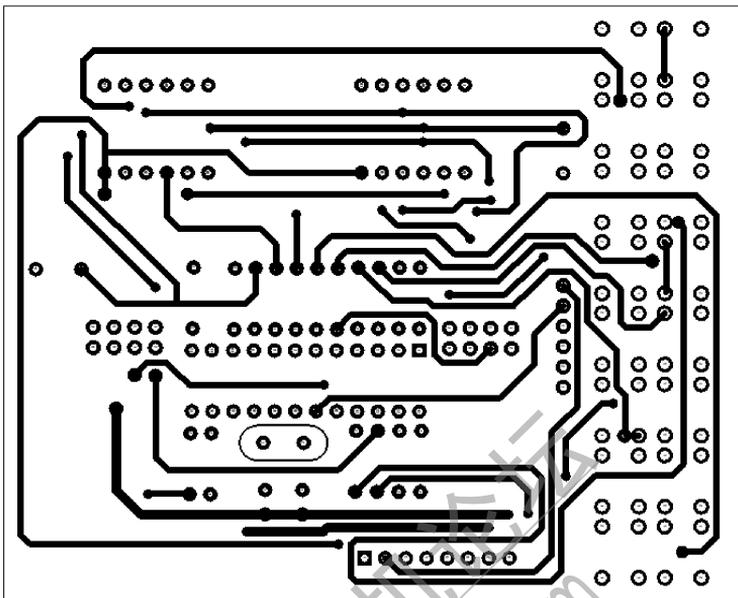
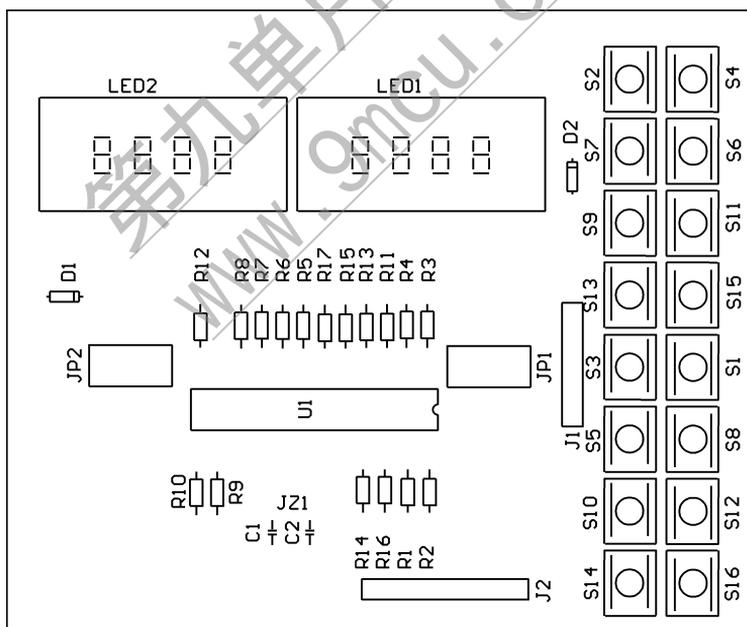


图 2-2 ZLG7290B 8 位 LED 显示器和 16 键的应用电路原理图

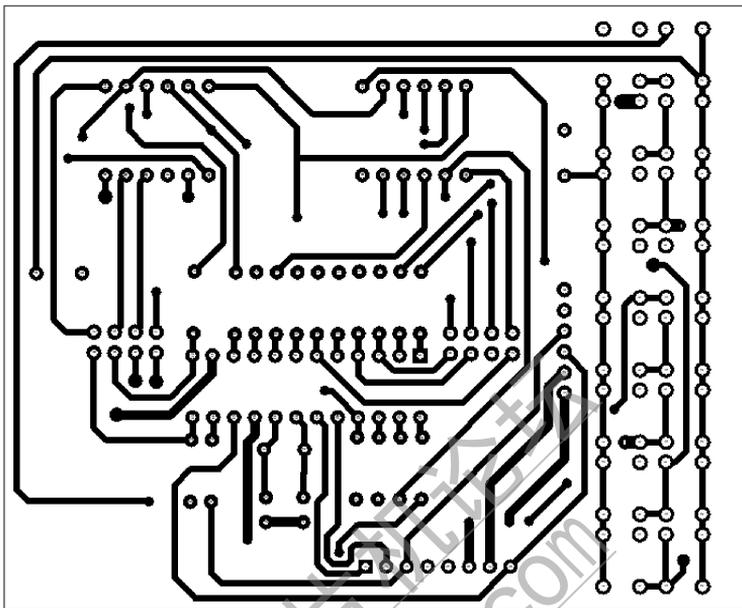


(a) ZLG7290B 8位LED显示器和16键应用电路顶层PCB图



(b) ZLG7290B 8位LED显示器和16键应用电路顶层字符层

图 2-3 ZLG7290B 8 位 LED 显示器和 16 键应用电路 PCB 图



(c) ZLG7290B 8位LED显示器和16键应用电路底层PCB图

图 2-3 ZLG7290B 8 位 LED 显示器和 16 键应用电路 PCB 图(续)

在图 2-2 中, U1 就是 ZLG7290B。为了使电源更加稳定, 一般要在 VDD3.3 到 GND 之间接入 $47\sim 470\ \mu\text{F}$ 的电解电容。J1(或 J2)是 ZLG7290B 与微控制器的接口, 按照 I²C 总线协议的要求, 信号线 SCL 和 SDA 上必须要分别加上拉电阻, 其典型值是 $10\ \text{k}\Omega$ 。晶振 Y1 通常取值 $6\ \text{MHz}$, 调节电容 C3 和 C4 通常取值为 $22\ \text{pF}$ 左右。复位信号是低电平有效, 直接通过拉低 RST 引脚的方法进行复位。数码管采用共阴式的, 不能直接使用共阳式的。数码管在工作时要消耗较大的电流, R1~R8 是 LED 的限流电阻, 典型值是 $270\ \Omega$ 。如果要增大数码管的亮度, 则可以适当减小电阻值, 最低为 $200\ \Omega$ 。

键盘采用 16 只按键, 键盘电阻 R10~R17 的典型值是 $3.3\ \text{k}\Omega$, 这里选择的是 $1\ \text{k}\Omega$ 。数码管扫描线和键盘扫描线是共用的, 所以二极管 D1 和 D2 是必需的, 有了它们就可以防止按键干扰数码管显示的情况发生。

ZLG7290B 应用中应注意的一些问题如下:

1. ZLG7290B 一定要放在控制面板上

ZLG7290B 可广泛应用于仪器仪表、工业控制器、条形显示器和控制面板等领域。在实际应用中,控制面板和主机板往往是分离的,它们之间有几十厘米的距离,要用长长的排线相连。键盘和数码管一般都位于控制面板上,主控制器则在主机板上。

在设计时千万注意:ZLG7290B 一定要跟着控制面板走,而不要放在主机板上,ZLG7290B 驱动数码管显示采用的是动态扫描法,为了防止显示出现闪烁,采用了比较高的扫描频率。扫描键盘同样用的也是频率较高的信号。如果 ZLG7290B 放在主机板上,那么这些扫描信号势必要走长线,而高频信号最忌讳走长线,这容易导致显示混乱、按键失灵等故障。如果 ZLG7290B 放在控制面板上,那么由于走的是短线,就不易出现上述问题了。不必担心 ZLG7290B 与主控制器之间通信的 I²C 总线会有问题。因为 I²C 总线的通信速率是由主控制器控制的,可以做得低一些,所以允许走长线。

2. 复位引脚可以由主控制器直接控制

在工业控制应用中,为了增强抗干扰能力,建议采用独立的稳定直流电源给 ZLG7290B 供电,VCC 与 GND 之间的电容也要相应加大。另外,复位引脚最好由主控制器来控制,每隔几分钟强制复位一次,复位脉冲宽度可以在 20 ms 左右,一闪而过,肉眼很难察觉。定时强制复位可以有效防止偶尔由于电磁干扰而产生的显示不正常和按键失灵的现象。

3. 驱动 1 英寸以上的大数码管时,要另外加驱动电路

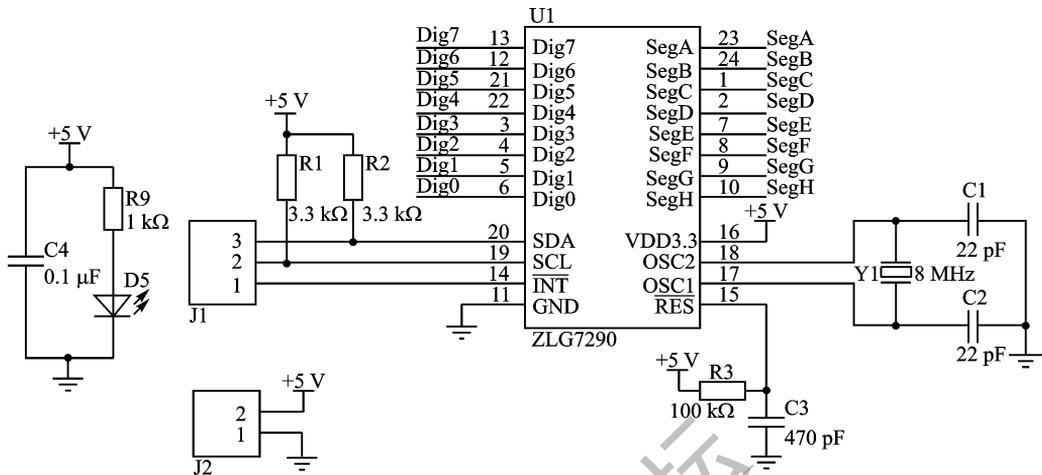
ZLG7290B 的驱动能力有限,如果直接驱动 1 英寸以上的大数码管,则可能会导致显示亮度不够,需要另外加驱动电路。

4. 降低晶振频率

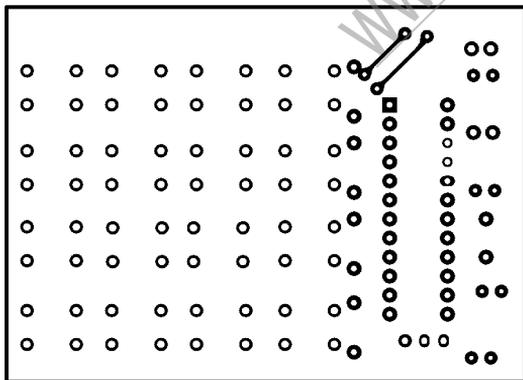
在 ZLG7290B 的典型应用电路中,晶振频率采用 4 MHz。在一般情况下,能够稳定地工作。但是在电磁环境恶劣的现场,建议把晶振频率再降低一些,降为 1~3 MHz。许多本来“有问题”的电路,在把晶振频率降下来之后就完全正常了。晶振频率降低后,I²C 总线的通信速率也要适当降低。ZLG7290B 的闪烁显示功能将受到影响,闪烁速度将因晶振频率的下降而跟着变慢,这时要适当调整闪烁控制寄存器 Flash On Off 的数值。

2.1.4 ZLG7290B 4×4 矩阵键盘模块电路和 PCB

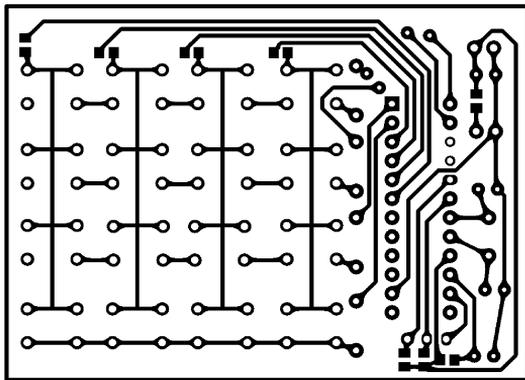
ZLG7290B 4×4 矩阵键盘模块电路原理图和 PCB 图如图 2-4 所示。



(a) ZLG7290B4×4矩阵键盘模块电路原理图

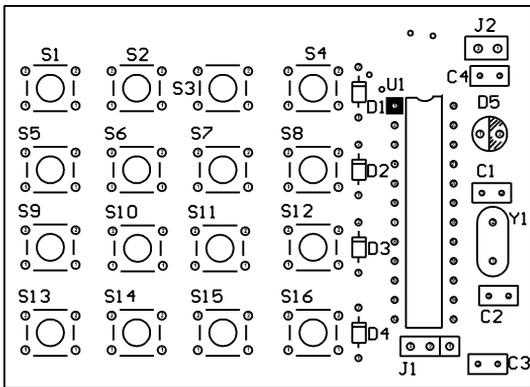


(b) ZLG7290B 4×4矩阵键盘模块顶层PCB图

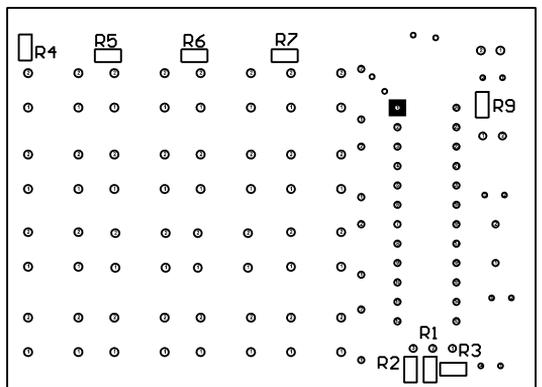


(c) ZLG7290B 4×4矩阵键盘模块底层PCB图

图 2-4 ZLG7290B 4×4 矩阵键盘模块电路原理图和 PCB 图



(d) ZLG7290B 4×4矩阵键盘模块顶层元器件布局图



(e) ZLG7290B 4×4矩阵键盘模块底层元器件布局图

图 2-4 ZLG7290B 4×4 矩阵键盘模块电路原理图和 PCB 图(续)

2.2 RS-485 总线通信模块

2.2.1 MAX485 封装形式与引脚端功能

Maxim 公司生产的 MAX485 是一款用于 RS-485 总线通信的低功率半双工收发器件，芯片内部集成了一个驱动器和一个接收器，符合 RS-485 总线通信标准。MAX485 芯片采用单一电源 +5 V 工作，额定电流为 300 μA ，完成将 TTL 电平转换为 RS-485 电平的功能，将输入的 TTL 电平转换成差分电平输出。

MAX485 有 DIP、 μMAX 和 SO 三种封装，DIP 封装形式和尺寸如图 2-5 所示和表 2-2 所列，引脚端功能如表 2-3 所列。

表 2-2 MAX485 DIP 封装尺寸

符 号	in		mm	
	最小值	最大值	最小值	最大值
A	0.053	0.069	1.35	1.75
A1	0.004	0.010	0.10	0.25
B	0.014	0.019	0.35	0.49
C	0.007	0.010	0.19	0.25
e	0.050BSC		1.27BSC	
E	0.150	0.157	3.8	4.00
H	0.228	0.224	5.80	6.20
L	0.016	0.050	0.40	1.27

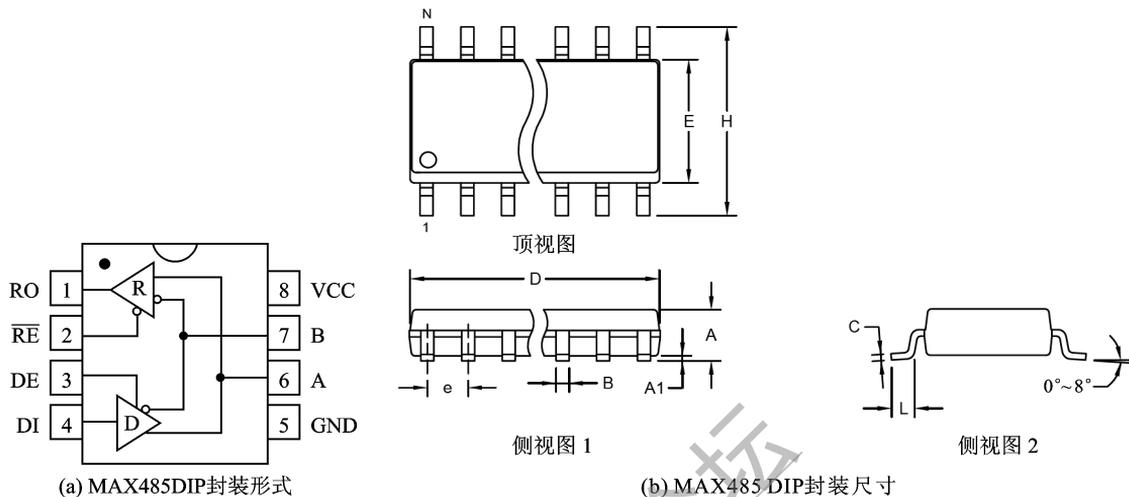


图 2-5 MAX485 DIP 封装形式和尺寸

表 2-3 MAX485 引脚端功能

引脚	符号	功能
1	RO	接收器输出
2	\overline{RE}	接收器输出使能;引脚为 0,允许接收器输出;引脚为 1,禁止接收器输出
3	DE	驱动器工作使能;引脚为 1,允许驱动器工作;引脚为 0,禁止驱动器工作
4	DI	驱动器输入
5	GND	接地端
6	A	接收器非反相输入端和驱动器非反相输出端
7	B	接收器反相输入端和驱动器反相输出端
8	VCC	电源输入,电压范围为 4.75~5.25 V

2.2.2 MAX485 的典型应用

MAX485 的典型应用示意图如图 2-6 所示,构成一个典型的半双工 RS-485 网络。

2.2.3 MAX485 总线通信模块电路和 PCB

MAX485 总线通信模块电路原理图和 PCB 图如图 2-7 所示。为防止本机硬件故障时总线中其他分机的通信受到影响,在 MAX485 信号输出端串联了两个 $20\ \Omega$ 的电阻 R4_2 和 R5_2。在应用系统的现场施工中,由于通信载体是双绞线,它的特性阻抗约为 $120\ \Omega$,所以在线路设计时,在 RS-485 网络传输的始端和末端应各接 1 个约为 $120\ \Omega$ 的匹配电阻(如图 2-7 中 R1_2、R6_2 两个电阻串联约为 $120\ \Omega$),以减少线路上传输信号的反射。

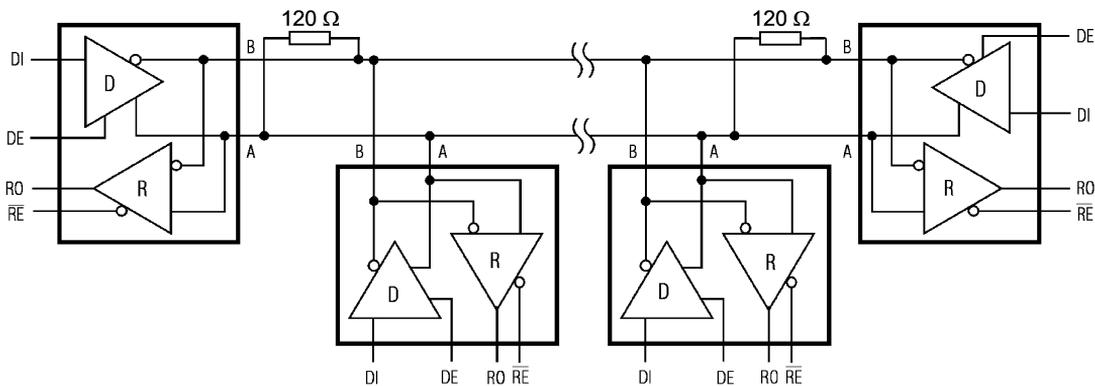
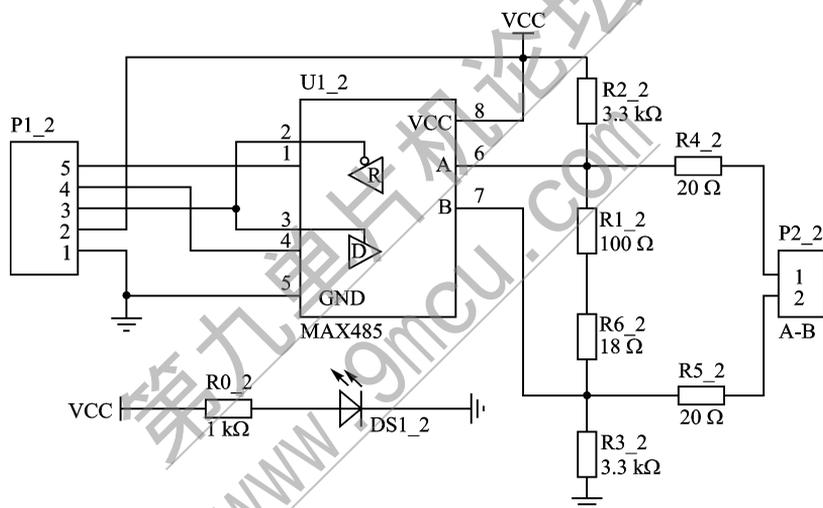
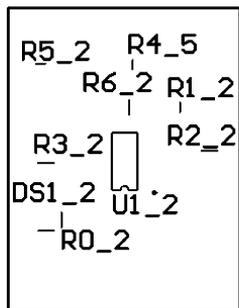


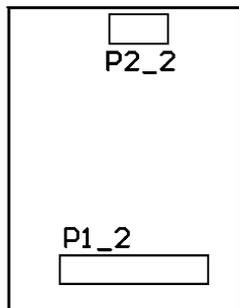
图 2-6 MAX485 的典型应用示意图



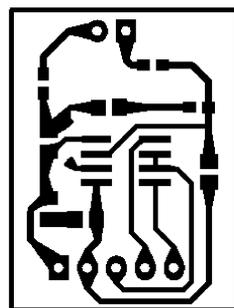
(a) MAX485总线通信模块电路原理图



(b) 印制板底层布局图



(c) 顶层元器件布局图



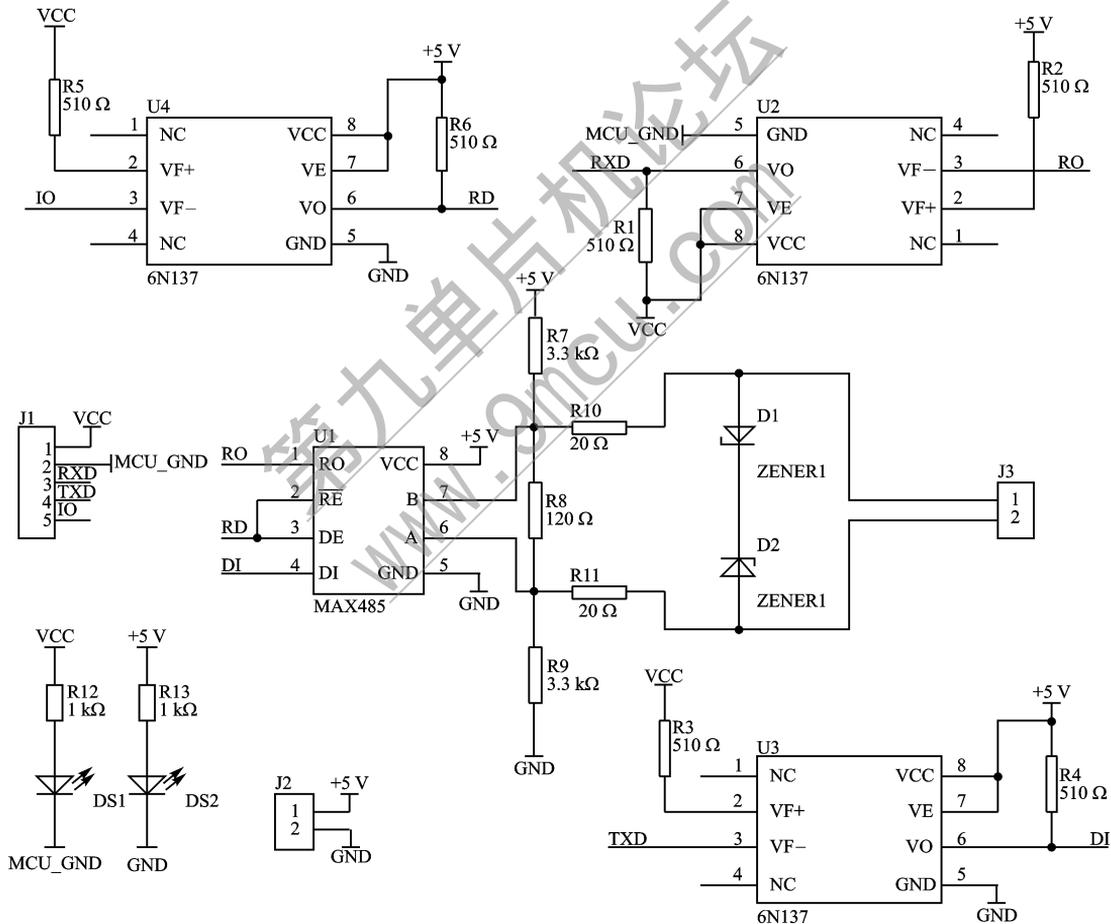
(d) PCB图

图 2-7 MAX485 总线通信模块电路原理图和 PCB 图

根据 MAX485 芯片的特性,接收器的检测灵敏度为 $\pm 200 \text{ mV}$,即差分输入端 $V_A - V_B \geq +200 \text{ mV}$,输出逻辑 1, $V_A - V_B \leq -200 \text{ mV}$,输出逻辑 0;而 A、B 端电位差的绝对值小于 200 mV 时,输出为不确定。

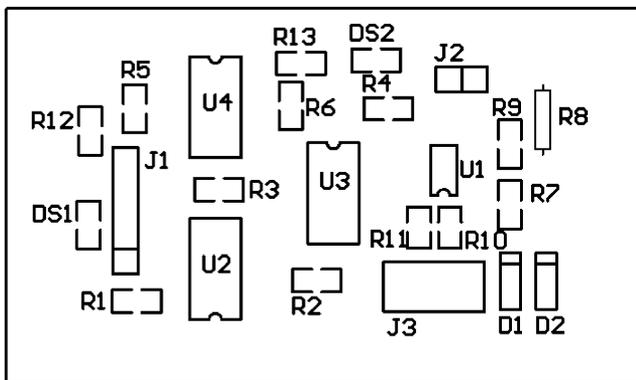
当总线上所有发送器被禁止时,接收器输出逻辑 0,这会误认为通信帧的起始引起系统工作不正常。解决这个问题的办法是人为地使 A 端电位高于 B 端电位,这样 RXD 的电平在 MAX485 总线不发送期间(总线悬浮时)呈现唯一的高电平,单片机就不会被误中断而收到乱字符。在 MAX485 电路的 A、B 输出端,增加一个上拉电阻 R2_2 和下拉电阻 R3_2,可以很好地解决这个问题。

一个利用高速光耦 6N137 隔离电气连接的 MAX485 总线通信模块电路原理图和 PCB 图如图 2-8 所示。

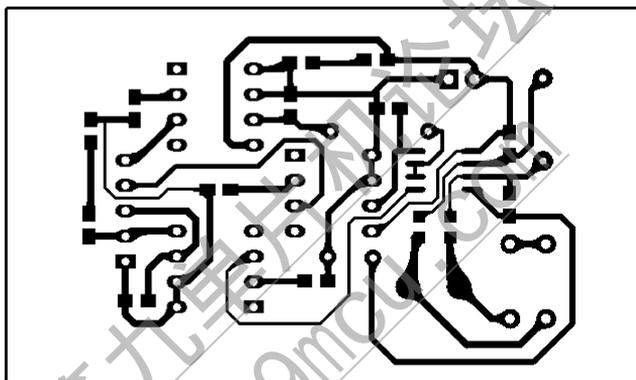


(a) 采用高速光耦 6N137 的 MAX485 总线通信模块电路原理图

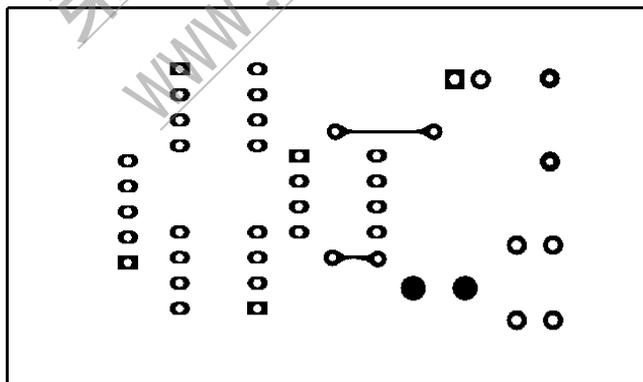
图 2-8 利用高速光耦的 MAX485 总线通信模块电路原理图和 PCB 图



(b) 顶层元器件布局图



(c) 底层PCB图



(d) 顶层PCB图

图 2-8 利用高速光耦的 MAX485 总线通信模块电路原理图和 PCB 图(续)

MAX485 芯片的内部含有一个驱动器和接收器,引脚非常简单,RO 和 DI 端分别为接收器的输出和驱动器的输入端,与单片机连接时只需分别与单片机的 RXD 和 TXD 相连即可。 $\overline{\text{RE}}$ 和 DE 端分别为接收和发送的使能端,当 $\overline{\text{RE}}$ 为逻辑 0 时,器件处于接收状态;当 DE 为逻辑 1 时,器件处于发送状态,可以采用单片机的 I/O 端控制这两个引脚。A 端和 B 端分别为接收和发送的差分信号端,当 A 引脚的电平高于 B 时,代表发送的数据为 1;当 A 的电平低于 B 端时,代表发送的数据为 0。所以只需要一个信号控制 MAX485 的接收和发送即可,同时在 A 和 B 端之间加 120 Ω 的匹配电阻。

2.3 CAN 总线接口通信模块

2.3.1 CAN 总线简介

控制器局域网 CAN(Controller Area Network)是德国 Bosch 公司于 1983 年为汽车应用而开发的,它是一种现场总线(FieldBus),能有效支持分布式控制和实时控制的串行通信网络。1993 年 11 月,ISO 正式颁布了控制器局域网 CAN 国际标准(ISO 11898)。

一个理想的由 CAN 总线构成的单一网络中可以挂接任意多个节点,实际应用中节点数目受网络硬件的电气特性所限制。例如:当使用 Philips P82C250 作为 CAN 收发器时,同一网络中允许挂接 110 个节点。CAN 可提供 1 Mbps 的数据传输速率。CAN 总线是一种多主方式的串行通信总线。基本设计规范要求有高的位速率,高抗电磁干扰性,并可以检测出产生的任何错误。当信号传输距离达到 10 km 时,CAN 总线仍可提供高达 50 kbps 的数据传输速率。CAN 总线具有很高的实时性能,已经在汽车工业、航空工业、工业控制和安全防护等领域中得到了广泛应用。

CAN 总线的通信介质可采用双绞线、同轴电缆和光导纤维,最常用的是双绞线。通信距离与波特率有关,最大通信距离可达 10 km,最大通信波特率可达 1 Mbps。CAN 总线仲裁采用 11 位标识和非破坏性位仲裁总线结构机制,可以确定数据块的优先级,保证在网络节点冲突时最高优先级节点不需要冲突等待。CAN 总线采用了多主竞争式总线结构,具有多主站运行和分散仲裁的串行总线以及广播通信的特点。CAN 总线上任意节点可在任意时刻主动向网络上其他节点发送信息而不分主次,因此可在各节点之间实现自由通信。

CAN 总线信号使用差分电压传送,两条信号线被称为 CAN_H 和 CAN_L,静态时均约为 2.5 V,此时状态表示为逻辑 1,也可以叫做“隐性”。采用 CAN_H 比 CAN_L 高表示逻辑 0,称为“显性”,通常电压值为 CAN_H=3.5 V 和 CAN_L=1.5 V。当“显性”位和“隐性”位同时发送时,最后总线数值将为“显性”。

CAN 总线的位时间可以分成 4 个部分:同步段、传播时间段、相位缓冲段 1 和相位缓冲段 2。每段的时间份额的数目都是可以通过 CAN 总线控制器编程控制,而时间份额的大小

t_q 由系统时钟 t_{sys} 和波特率预分频值 BRP 决定: $t_q = BRP / t_{sys}$ 。

- 同步段: 用于同步总线上的各个节点, 在此段内期望有一个跳变沿出现(其长度固定)。如果跳变沿出现在同步段之外, 那么沿与同步段之间的长度叫做沿相位误差。采样点位于相位缓冲段 1 的末尾和相位缓冲段 2 的开始处。
- 传播时间段: 用于补偿总线上信号传播时间和电子控制设备内部的延迟时间。因此, 要实现与位流发送节点的同步, 接收节点必须移相。CAN 总线非破坏性仲裁规定, 发送位流的总线节点必须能够收到同步于位流的 CAN 总线节点发送的显性位。
- 相位缓冲段 1: 重同步时可以暂时延长。
- 相位缓冲段 2: 重同步时可以暂时缩短。
- 同步跳转宽度: 长度小于相位缓冲段。

同步段、传播时间段、相位缓冲段 1 和相位缓冲段 2 的设定和 CAN 总线的同步、仲裁等信息有关, 其主要思想是要求各个节点在一定误差范围内保持同步。必须考虑各个节点时钟(振荡器)的误差和总线的长度带来的延迟(通常每米延迟为 5.5 ns)。正确设置 CAN 总线的各个时间段, 是保证 CAN 总线良好工作的关键。

按照 CAN 2.0B 协议规定, CAN 总线的帧数据有如图 2-9 所示的两种格式: 标准格式和扩展格式。作为一个通用的嵌入式 CAN 节点, 应该支持上述两种格式。



图 2-9 CAN 总线数据帧格式

2.3.2 CAN 总线接口通信模块结构

CAN 总线接口通信模块主要包含主控制器、CAN 总线控制器和 CAN 总线收发器。

1. 主控制器

选用美国 Atmel 公司的 AVR 单片机 ATmega128。ATmega128 单片机为基于 AVR RISC 结构的 8 位低功耗 CMOS 微处理器, 片内含 128 KB 的系统内可编程 Flash 程序存储器、4 KB 的 EEPROM、4KB 的 SRAM、53 个通用 I/O 端口线、32 个通用工作寄存器、实时时钟(RTC)、4 个比较灵活的具有比较模式和 PWM 功能的定时器/计数器(T/C)、2 个 USART、面向字节的两个接口(TWI)以及 8 通道 10 位 ADC。ATmega128 单片机完全满足 CAN 总线通信系统的硬件资源需要。

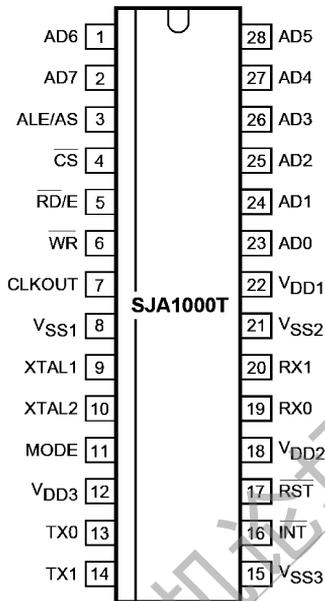
2. CAN 控制器

CAN 总线控制器选用 Philips 公司生产的 CAN 总线控制器 SJA1000。SJA1000 可以应用于移动目标和一般工业环境中的区域网络控制。SJA1000 是 Philips 公司生产的半导体 PCA82C200 CAN 控制器 BasicCAN 的替代产品, BasicCAN 模式和 PCA82C200 兼容, 而且它增加了一种新的工作模式 PeliCAN, 这种模式支持具有很多新特性的 CAN 2.0B 协议。

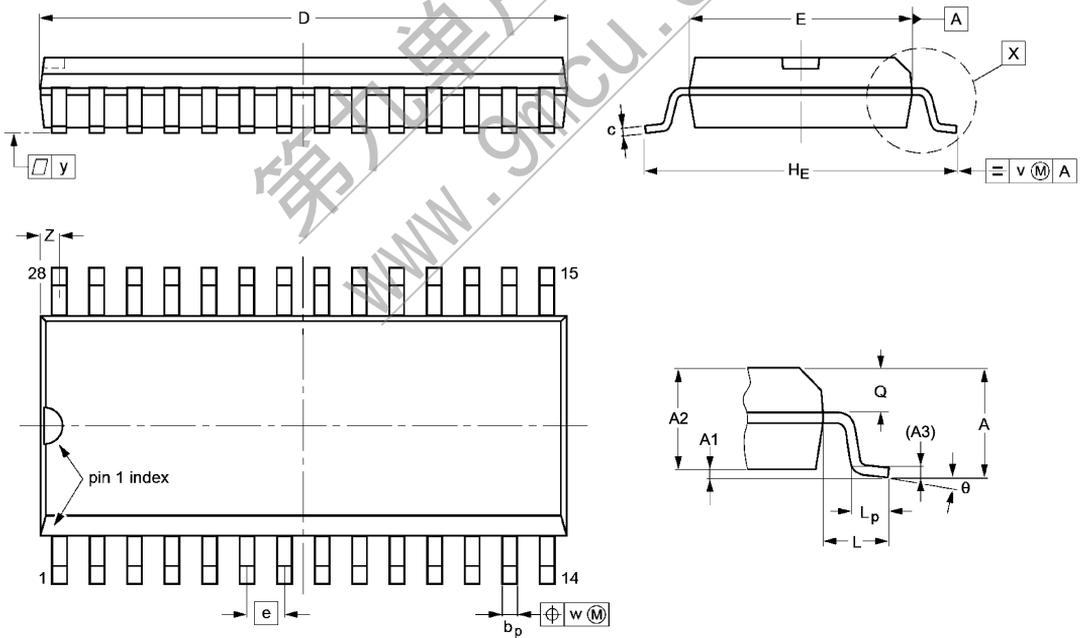
SJA1000 采用 DIP - 28 和 SO - 28 两种封装形式, SO 封装形式和尺寸如图 2 - 10 所示和表 2 - 4 所列, 典型应用示意图如图 2 - 11 所示。

表 2 - 4 SJA1000 SO 封装尺寸

符 号	in		mm	
	最小值	最大值	最小值	最大值
A	—	0.10	—	2.65
A1	0.004	0.012	0.10	0.30
A2	0.089	0.096	2.25	2.45
A3	0.01		0.25	
b _p	0.014	0.019	0.36	0.49
c	0.009	0.013	0.23	0.32
D	0.69	0.71	17.7	18.1
E	0.29	0.30	7.4	7.6
e	0.050		1.27	
H _E	0.394	0.419	10.00	10.65
L	0.055		1.4	
L _p	0.016	0.043	0.4	1.1
Q	0.039	0.043	1.0	1.1
v	0.01		0.25	
w	0.01		0.25	
y	0.004		0.1	
Z	0.016	0.035	0.4	0.6
θ			0°	8°



(a) SO封装形式



(b) SO封装尺寸

图 2 - 10 SJA1000 SO 封装形式和尺寸

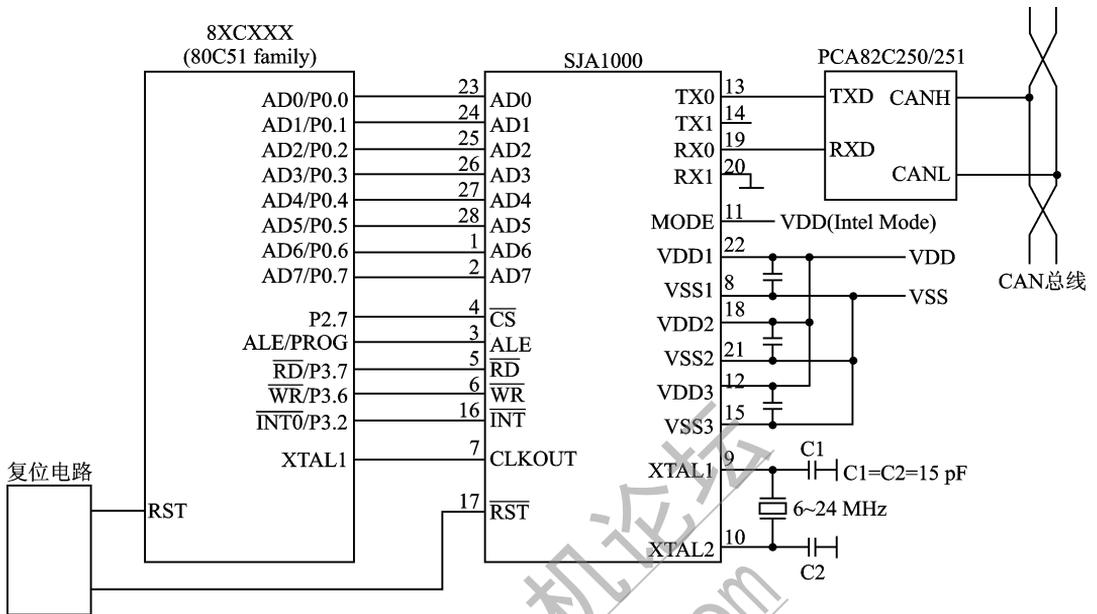


图 2-11 SJA1000 典型应用示意图

SJA1000 引脚端功能如下。

引脚端 2, 1, 28~23, AD7~AD0, 地址/数据总线;

引脚端 3, ALE/AS: ALE 输入信号 (Intel mode, Intel 模式); AS 输入信号 (Motorola mode, Motorola 模式);

引脚端 4, CS: 片选输入, 低电平有效, 允许访问 SJA1000;

引脚端 5, RD/E: 来自微控制器的 RD 信号 (Intel mode) 或者 E 使能信号 (Motorola mode);

引脚端 6, WR: 来自微控制器的 WR 信号 (Intel mode) 或者 RD/WR 信号 (Motorola mode);

CLKOUT (引脚端 7): SJA1000 为微控制器产生的时钟输出信号;

引脚端, VSS1: 逻辑电路地;

引脚端 9, XTAL1: 振荡器输入; 外部振荡器信号输入;

引脚端 10, XTAL2: 振荡器输出; 当使用外部振荡器时, 必须开路;

引脚端 11, MODE: 模式选择, “1”选择 Intel mode; “0”选择 Motorola mode;

引脚端 12, VDD3: 输出驱动器的 5 V 电源;

引脚端 13, TX0: 来自 CAN 输出驱动器 0 的输出;

引脚端 14, TX1: 来自 CAN 输出驱动器 1 的输出;

引脚端 15, VSS3: 输出驱动器接地;

引脚端 16, INT: 中断输出, 用来中断微控制器;