

CPLD 和单片机在脉冲磁铁开关电源中的应用

张海燕 董晓莉 金正方 赵涛 蔡平

(中国科学技术大学国家同步辐射实验室 合肥 230029)

摘要 介绍一种利用可编程逻辑器件 (CPLD) 和单片机相结合的技术而开发的高性能脉冲电源控制系统。

关键词 可编程逻辑器件, 单片机, 脉冲电源

中图分类号 TN7

脉冲磁铁开关电源是同步辐射加速器中的重要设备,用于将电子束流的部分束团向两个方向偏转 $\pm 6^\circ$ 。它的脉冲工作模式要求灵活,可单向正偏、负偏或双向偏转。系统的控制电路能根据上位机送来的工作参数随时产生一组放电触发脉冲系列,脉冲数可变,正负峰任意选择,脉冲间隔随意调节。在本文所介绍的电源控制系统中,采用了可编程逻辑器件 (CPLD) 和单片机相结合,用二片 CPLD 器件完成几十片中规模集成电路才能完成的任务,大大简化了系统结构,有效地突破了传统电子系统设计中的障碍,提高了系统的性能和可靠性。

CPLD 是 20 世纪 70 年代在 ASIC 设计的基础上发展起来的一种划时代器件,它将多个可编程逻辑阵列 (PAL) 器件集成到一个芯片,通过位于中心的开关矩阵互连起来,具有很长的固定于芯片上的布线资源和类似 PAL 的结构。该器件可以通过软件编程而对其硬件的结构和工作方式方便快捷地进行重构^[1]。单片机则具有性能价格比高、功能灵活、易于人机对话、良好的数据处理能力等特点。

1 系统组成

此控制系统包括 AT89C51 单片机、2 片 CPLD、EPROM 存储器、DAC 和 ADC 芯片、运算放大器、光耦以及 RS232 接口、看门狗等电路。系统的控制和显示结构框图如图 1 所示。

其中 CPLD 是整个系统信号处理与控制的核心,我们选择了 Xilinx 公司的 XC9500 系列 XC95108 型。XC95108 具有 108 个宏单元,2400 个门,108 个 I/O 口,工作频率可达 125 MHz^[1]。它主要用于对各路信号锁存、传递和选通,对脉冲进行计数、定时、分频等,产生放电和充电触发脉冲;同时计数器的溢出脉冲作为单片机的 INT0 中断,用于通知计算机发出下一个脉冲所对应的工作参数。外同

步信号作为单片机的 INT1 中断,以保证单片机与外同步信号同步。

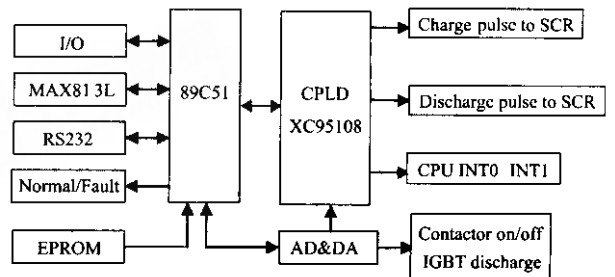


图 1 系统结构框图

Fig.1 Structure diagram of the system

上位机与单片机 89C51 之间通过 RS232 串口,用光缆连接通讯。单片机通过 I/O,接收来自操作员的键盘信号、电源的故障信号,将工作状态传送给上位机,将各种控制命令传送到电源;同时使用了看门狗技术 (MAX813L),能防止死机现象的出现^[2]。单片机程序采用汇编语言编写,固化到 EPROM 中。单片机与 CPLD 之间通过 P0 口地址/数据总线直接通讯。

2 CPLD 内部功能及实现

本系统设计采用 Xilinx 公司的 EDA 工具 Foundation Series。该软件提供了原理图编译器,支持多层次原理图的设计;具有逻辑仿真器,支持功能仿真,可以验证整个系统的逻辑功能是否正确。仿真完成后,生成配置文件,通过 JTAG 并行下载电缆,从计算机串口传入 CPLD 的内存储器^[3]。

CPLD 的内部功能是通过 Foundation 基于原理图的设计方法实现的。采用自顶向下的设计方法,先绘制出系统的框图,再向下细分,最低层直接调用元件库中的基本单元。具体包括脉冲正峰电压和负峰电压参考,读键盘和 A/D 的输出、故障状态,

第一作者:张海燕,女,1973 年出生,1999 年于中国科学技术大学核技术及应用专业获硕士学位,工程师

收稿日期:2003-10-12,修回日期:2004-12-14

控制正峰/负峰选择和脉冲数、接触器开/关,写 A/D 控制信号,内外触发选择,触发允许/禁止,设定定时器初值,控制正常/故障灯亮等。

CPLD 调用内部宏单元构成 24 位时间寄存器和 24 位计数器,其计数器的工作时钟 CLK2 由 CLK1 (16 MHz)通过计数器 CB4CLED 分频得到,为 8 MHz (0.125 μs)。脉冲间隔由 24 位计数器控制,单片机把计算出来的时间间隔先存到 24 位时间寄存器中,然后由计数器的溢出脉冲同步地锁存到计

数器中。

放电脉冲 DISCHARGE 在允许触发的同步条件下产生,实现它的原理如图 2 所示。当 CPLD 寄存器地址分配为:P1.6=1,P3.4=1,P1.2=0,P1.1=1,P1.0=0,WR=0 时,D0 为 1,允许触发 (TRIGEN 信号周期为 2s);D0 为 0,则禁止触发。通过 CB2CLED (异步二进制计数器)、OR2、FDC (数据寄存器)等逻辑电路,对工作时钟 5 kHz 进行展宽、延迟和光电隔离后可得到 DISCHARGE。

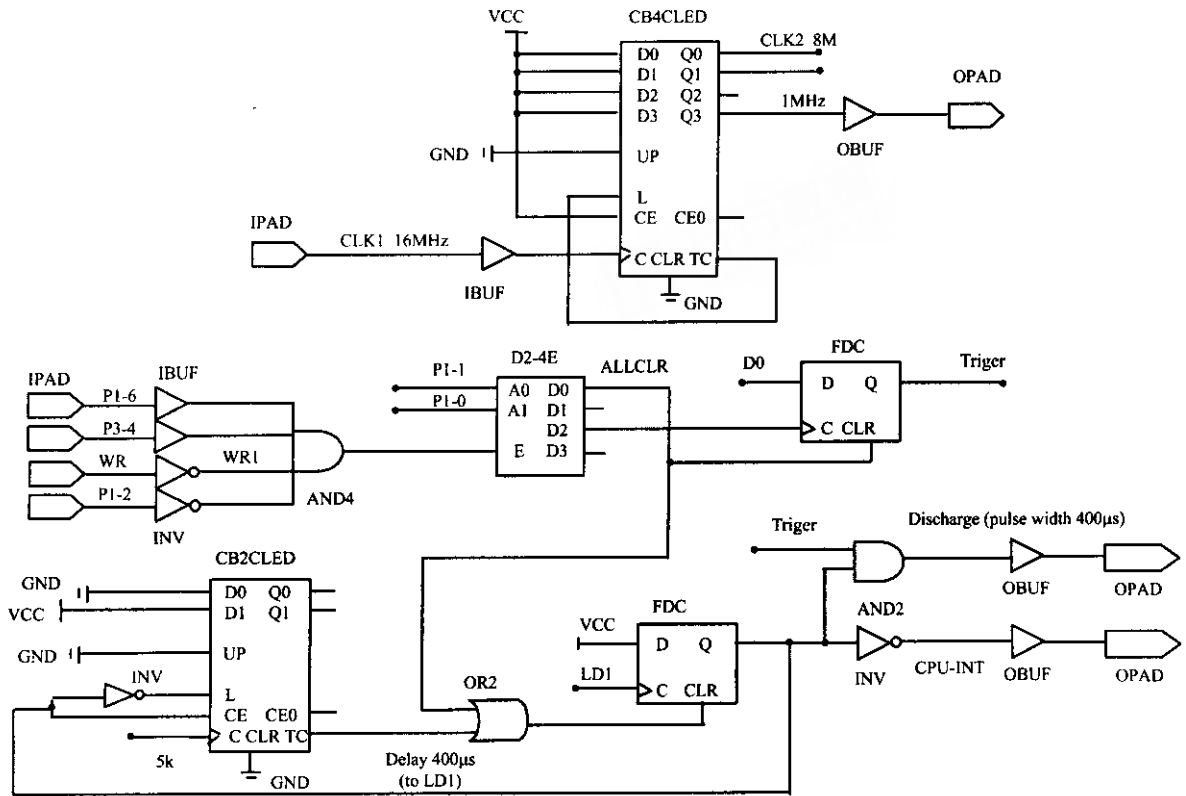


图 2 放电脉冲 DISCHARGE 产生的原理图

Fig.2 Principle diagram of the generation of DISCHARGE (discharge pulse)

充电脉冲 CHARGE 用于充电可控硅的触发。从图 3 可看出,工作时钟 5 kHz (200 μs) 经过输入缓冲器 IBUF、计数器 CB2CLEDA 后,变成 1.25 kHz (800 μs); 1.6 ms 经过 CB2CLEDB、OR2、FDC、INV、输出缓冲器 OBUF 后,充电信号延时 3.2 ms;二者在触发允许的条件下,经过与门光隔离,充电脉冲 CHARGE 输出 (OUT),周期为 800 μs,占空比为 25%。

3 实验调试和结论

这套控制系统经过实验仿真和在线调试后,可以满足要求。在遥控状态下,我们在电源负载上得

到的放电脉冲波形近似正弦波,振荡频率约 454 Hz (2.2 ms)。图 4 为调试时的几种工作波形时序图。系统可调参数为正峰、负峰幅度,触发延时时间 T_d 及间隔时间 T_b ,触发模式序列 N (即正峰、负峰序列),一个周期内的波形个数最多为 12 个。如我们设:

$$N=4 \quad \text{负峰 } a1 \quad \text{正峰 } a2 \quad \text{负峰 } a3 \quad \text{负峰 } a4$$

单片机根据对应原则,可计算出:

负峰→正峰	$T_{12} = T_b + 1.1 \text{ ms}$
正峰→负峰	$T_{23} = T_b - 1.1 \text{ ms}$
负峰→负峰	$T_{34} = T_b$

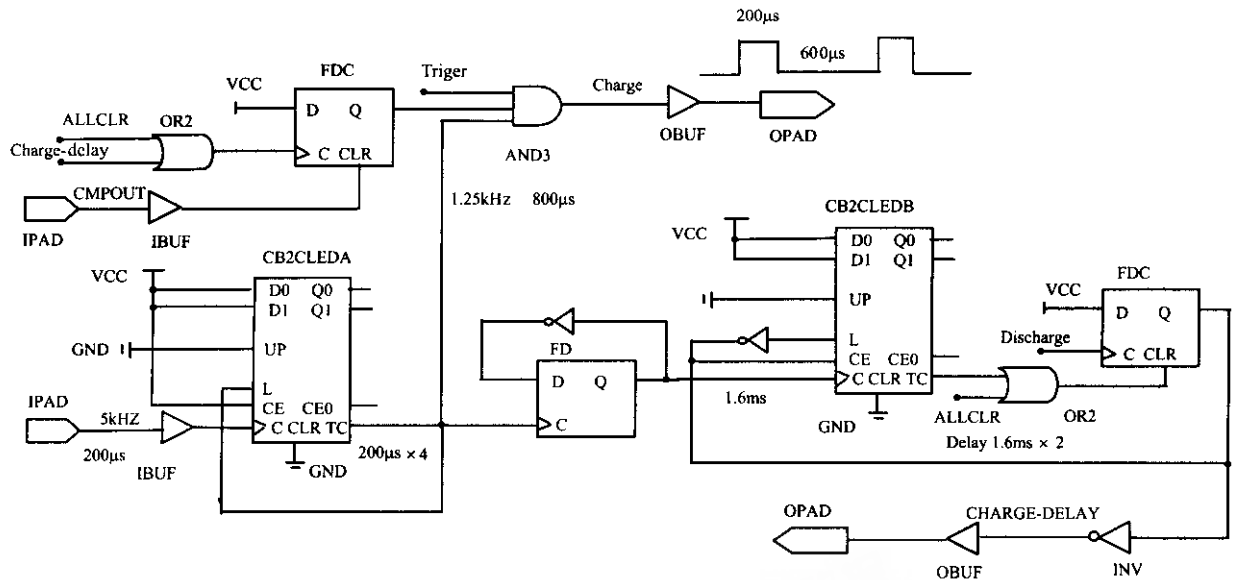


图 3 充电脉冲 CHARGE 产生的原理图

Fig.3 Principle diagram of the generation of CHARGE (charge pulse)

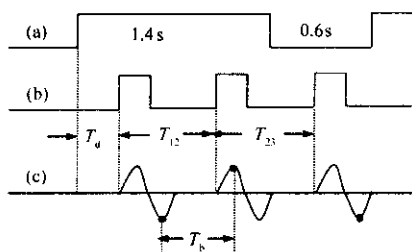


图 4 波形时序图

(a) 遥控时序触发波形；(b) 放电可控硅触发波形；(c) 负载上得到的放电波形

Fig.4 Various wave forms of time sequence

(a) Remote time sequence trigger wave form; (b) Discharge SCR trigger wave form; (c) Discharge wave form on the load

单片机将上位机送的 T_d 及计算出的 T_{12} 、 T_{23} 、 T_{34} 送给 CPLD ,CPLD 在得到遥控时序触发信号后, 送出相应的波形, 使电子束经过开关铁时正处于所需方向的放电电流峰值附近, 得到正向偏转或负向偏转。

实验证明 采用 CPLD 和单片机相结合的技术, 可简化电路设计, 降低噪声干扰, 实现了板卡在线

可编程, 提高了系统的 PCB 设计和调试效率, 增强了系统控制的灵活性。

参考文献

- 1 徐志军. CPLD/FPGA 的开发与应用. 北京: 电子工业出版社, 2002
XU Zhijun. The exploitation and application of CPLD/FPGA. Beijing: Electronic Industry Press, 2002
- 2 王福瑞. 单片机测控系统设计大全. 北京: 北京航空航天大学出版社, 1999
WANG Furui. A complete wolume on design of the measuring and control system using microcontrollers. Beijing: Beijing Aviation and Spaceflight University Press, 1999
- 3 XILINX Foundation Series 2.1i 设计指南. 北京: 清华大学电子工程系 Xilinx 培训中心, 1999
The design manual of XILINX Foundation Series 2.1i. Beijing: Electronic Engineering Department & Xilinx Training Center of Tsinghua University, 1999.9 .

Application of CPLD and microprocessor in pulsed switching magnet power supply

ZHANG Haiyan DONG Xiaoli JIN Zhengfang ZHAO Tao CAI Ping

(National Synchrotron Radiation Laboratory, University of Science and Technology of China, Hefei 230029)

Abstract The paper describes a high precision stabilized control system based on CPLD and microprocessor in the pulsed switching power supply.

Key words CPLD, Microprocessor, Pulsed switching power supply

CLC TN7

CPLD和单片机在脉冲磁铁开关电源中的应用

作者: [张海燕](#), [董晓莉](#), [金正方](#), [赵涛](#), [蔡平](#), [ZHANG Haiyan](#), [DONG Xiaoli](#), [JIN Zhengfang](#), [ZHAO Tao](#), [CAI Ping](#)
作者单位: [中国科学技术大学国家同步辐射实验室, 合肥, 230029](#)
刊名: [核技术](#) [ISTIC](#) [PKU](#)
英文刊名: [NUCLEAR TECHNIQUES](#)
年, 卷(期): 2005, 28(2)
引用次数: 0次

参考文献(3条)

1. [徐志军](#) CPLD/FPGA的开发与应用 2002
2. [王福瑞](#) 单片微机测控系统设计大全 1999
3. [XILINX Foundation Series 2.1i设计指南](#) 1999

相似文献(0条)

本文链接: http://d.g.wanfangdata.com.cn/Periodical_hjs200502003.aspx

下载时间: 2010年1月4日