

89C51 单片机 DMA 方式的一种高速采样电路设计

张昌民 仓怀文
西安电子科技大学理学院 710071

摘要: 采用高速的 A/D (如 TLC5540) 转换从传感器接收的数据, 往往存在高速 A/D 转换的速度与低速智能管理的速度不匹配的问题。本文介绍一种用 51 单片机和并行 A/D TLC5540 设计的实用性强的 高速采样电路。采样使用 DMA 方式, 硬件电路产生 A/D 转换需要的时钟、存储器的地址和写信号, 当数据采样完毕时要自动停止写 RAM, 然后把采样结束信息传递给 CPU。本电路设计的特点是: 数据线是公用, RAM 的地址线也是公用的, RAM 数据写是 DMA 方式, 地址也由硬件产生, RAM 读的地址是由 CPU 产生的。本文对该电路工作的原理和时序作详细介绍并用实例说明。

关键字: 高速采样 电路设计 DMA 方式 51 单片机

1. 引言

在单片机应用系统中, 有时也需要用 A/D 转换器把某些连续变化的模拟量转换为数字量以便计算机进行加工和处理^[1]。高速 A/D 最高可达 1G 次/S 以上, 而一般的 CPU 总线或智能管理设备无法控制如此高的速度, 比如 MCS-51 单片机最高时钟频率为 12MHz, 大部分指令周期只需 $1\mu\text{s}$, 乘除指令也只需 $4\mu\text{s}$ ^[1], 并行 A/D (TLC5540) 转换时间为 $0.025\mu\text{s}$, 因此不能应用象在中低速 A/D 用的发启动转换一直转换结束一再读转换结果的方式。高速 A/D 的数字输出高于总线以及控制系统的速度, 针对这一特性, 解决这种问题所使用的方法, 一般采用: 高速—储存—慢速读取得方案。即: 对采样先使用 DMA 方式 (直接存储器操作), 把数据高速采样存储在 RAM 中, 数据采样结束后, 再从 RAM 中把数据“慢速”读出。所谓的 DMA 控制方式是一种成块传送数据的方式^[2]。DMA 方式要利用硬件电路产生 A/D 转换需要的时钟、存储器的地址信号、存储器的写信号, 当数据采样完毕要自动停止写 RAM 以及把采样结束信息传递给 CPU。采样和存储之间由于高速, 全部硬件实现。

以下介绍的高速采样是利用了 TLC5540/5510 这种 8 位 20M/40M 高速 A/D, 数字元件控制信号只有 CLK 和三态输出控制, 当三态输出有效时, 输出数据随 CLK 更新。利用计算机 (单片机进行管理, 当高速 RAM 采满后, 再慢速读出。单片机采用查询方式来判断 RAM 数据是否采慢) 控制 A/D, 并由 40M 的 FOSC 来控制 RAM 的写功能。

2. 设计思想及原理分析(时序图)

DMA 方式 A/D 采样电路的设计要解决: 采样的启动、采样中 RAM 地址的产生和 A/D 的时钟、采样完毕的自动停止和停止信号的输出、RAM 数据读出的地址的产生等。

设计的难点是数据线和地址线的控制。单片机的引脚的限制, 因此数据线是公用的, 在采样期间数据流的方向是由 A/D 到 RAM; 而数据读出期间, 数据流的方向是由 RAM 到 CPU 的。同时, RAM 的地址线也是公用的, RAM 数据写是 DMA 方式, 地址是由硬件产生的, RAM 读的地址是由 CPU 产生的。

该系统采用的芯片有 A/D TLC5540、74F00 与非门、62256RAM 和 74F393 等。TLC5540 (40M) 的 A/D 转换器产生数据, 地址的产生用两个 74F393 二进制计数器产生 32K 地址线 A0—A14。RAM 是用来暂时存放高速产生的数据, 以便单片机的慢速读出。另外, 系统用到的 74F00, 用来控制 A/D 数据的产生、RAM 的读写功能和计数器的工作。

图 1 是 89C51 单片机 DMA 方式的 40MHz、8 位高速采样电路。图中 A/D 转换器使用采样速度 40MHz 的高速 8 位并行式 A/D 转换器 TLC5540, 存储器采用 32K 静态 RAM62256。TLC5540 的数字接口带有 3 态输出, 由 OE 控制, 5540 的数字接口非常简单, 数字输入只有时钟 CLK 和输出 3 态控制信号 OE, 8 位并行

数字输出和 40MHz 时钟 CLK 同步。

系统除了需要一个 40MHz 的信号 FOSC 外，CPU 输出的控制信号有：DMA 方式 A/D 采样的启动信号 $\overline{\text{ADSTART}}$ ，RAM 读信号 $\overline{\text{RD}}$ ，地址清 0 信号 CLR。CPU 接收的信号只有一个：采样结束信号，直接送 51 单片机的 $\overline{\text{INT0}}$ 。

由电路可以看出， $\overline{\text{ADSTART}} = 0$ 可以启动 A/D 转换的时钟信号，使得计数器的时钟和 FOSC 接通，并且 A/D 的输出 3 态控制为 0；当 $\overline{\text{ADSTART}} = 1$ 时，计数器和 FOSC 的通路被切断，并且 A/D 的输出 3 态控制为 1 而断开了 A/D 输出的数据线。

当 74F393 产生的 32K 数据采满时，地址线 A15 变为高电平，A15 连接到 RAM62256 的片选线 $\overline{\text{CS}}$ ，A15 的高电平使得对 RAM 的操作被屏蔽，停止了数据的继续写入。同时 A15 作为采样结束信号送到 CPU。CPU 产生中断开始读 RAM 中的数据。

数据的读出地址的产生用 $\overline{\text{RD}}$ 实现，当 FOSC 信号被中间的 74F00 屏蔽后， $\overline{\text{RD}}$ 的每一个脉冲会使得二进制计数器的地址加 1，使用中用 MOVX 指令，把 RAM 的数据读入 CPU，同时 MOVX 指令会在 $\overline{\text{RD}}$ 上产生一个脉冲信号，地址会自动加 1。数据读出期间，控制信号 $\overline{\text{ADSTART}}$ 。

CLR 的作用为把计数器的输出清 0，由于采样的数据写入和读出的地址都由计数器产生，所以采样前和读出前要用 CLR 把地址清 0。

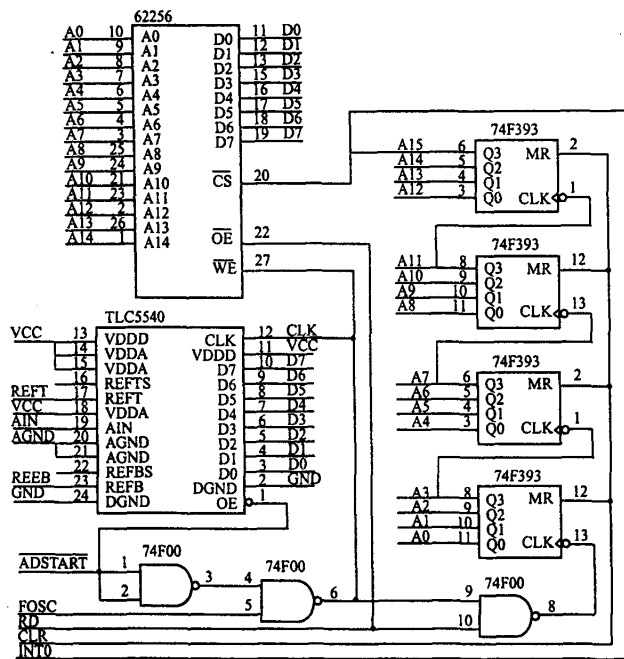


图 1 DMA 方式的高速 A/D 转换电路原理图

该系统运行时以下几个步骤。

第一步，系统准备工作。首先保持 $\overline{\text{ADSTART}}$ 端的输入信号为“1”，A/D 的 $\overline{\text{OE}}$ 端为低电平有效，使 A/D 未启动。第一级与非门的输出与信号 FOSC 经第二级与非门后输出为“1”，未启动 RAM 的写信号。同时令 $\overline{\text{RD}}$ 的输入为“1”，($\overline{\text{OE}}$ 为低电平有效)这样就封锁了 RAM 的读功能。令 CLR 端的输入为高电平，使得计数器清零，为下一步的计数做准备。

第二步，A/D 将数据快速写入 RAM 中的工作。 $\overline{\text{ADSTART}}$ 端的输入信号由“1”变为“0”，与上一步相反，则 A/D 的转换功能被启动；由于第一级与非门输出为“1”，它的输出与 FOSC 端组成的第二级与非门允

许外来振荡信号 FOSC 进入。下面将要开始进行 A/D 向 RAM 写数据的工作。第二级与非门的输出作为 CLK 信号同时送给 A/D、RAM 和计数器。由于 \overline{RD} 仍保持高电平，因此 \overline{RD} 与第二级与非门的输出组成的第三级与非门允许 CLK 信号进入计数器。每当 FOSC 有一个上升延信号时，CLK 信号为下降延，此时 A/D 向外输出一个数据，(RAM 的 \overline{WE} 端为低电平有效) RAM 的写功能被启动，向 RAM 中写入这个数据，同时计数器配合的将地址加 1，这样下一个数据就将写入加 1 后的地址单元内。重复进行上述工作，直到数据全部写入 RAM 中，若此时计数器尚未计满，计数器继续计数，直到计满为止。

第三步，A/D 停止工作。当计数器计满时，计数器的 A15 端由原来的“0”变为“1”，由于从系统开始工作时，单片机就对计数器进行检测，中断端 $\overline{INT0}$ 一旦检测到 A15 由“0”变为“1”的信号便立即停止计数器的工作。

第四步，单片机从 RAM 中慢速读出数据的工作。此时，使 $\overline{ADSTART}$ 端变为“1”，A/D 的功能被封锁，FOSC 经第二级与非门后变为高电平，使 RAM 的写功能也被封锁。CLR 端发出一个上升延信号，使计数器清零。 \overline{RD} 信号变为“0”经第三级与非门后变为“1”启动了计数器的 CLK 信号。通过 MOVX A, @RO 的指令使 RAM 的读功能被启动。下面将要进行单片机慢速从 RAM 中读取数据的工作。每当单片机从 RAM 中读出一个数据，计数器将地址自动的加 1，单片机接下来将进入下一地址单元读取数据。重复上述过程，直到数据全部读出。这样高速采样快速写入—慢速读出的过程也就完成了。时序图如图 2 所示。

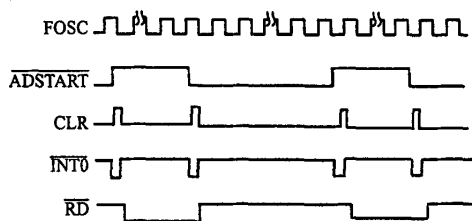


图 2 高速 A/D 转换电路工作时序图

电缆断线故障检测，利用高压脉冲波在断点的反射的特性测电缆故障，高压脉冲波在断点的反射测电缆故障点，如果要精确 10m，采样速度要求很高，一般采用 40M/S，可精确到 8 米左右。因此此应用实例中数据的采集就可以采用以上的高速采样电路。

3. 结束语

该系统巧妙的运用 A/D 的 OE 端，代替了以往利用增加器件的方法来控制 A/D 的转换功能的传统方式，节省了器件，简化了电路；并且利用与非门的作用，控制启动和封闭 RAM 的读写功能，避免 RAM 的读写功能发生冲突。电路结构简单，逻辑清晰，具有很大的实用价值。可以广泛应用于各种智能检测电路中。

参 考 文 献

- 1 杨文龙. 单片机原理及应用. 西安电子科技大学出版社 2002 年, 168 页
- 2 郑学坚, 周斌. 微型计算机原理及应用. 清华大学出版社 2000 年, 199 页

89C51单片机DMA方式的一种高速采样电路设计

作者: [张昌民](#), [仓怀文](#)
 作者单位: [西安电子科技大学理学院, 710071](#)

相似文献(10条)

1. 会议论文 [徐晶, 张海, 唐高弟 一种雷达高度表信号处理系统的高速采样电路设计](#) 2007

介绍了一种基于软件无线电技术的雷达高度表信号处理系统, 描述了系统的结构和工作原理。详细描述了采样率达到250MHz的AD9481组成的高速A/D采样电路, 介绍了芯片的主要性能、时钟驱动电路、输入差分变换电路等, 最后介绍了采用FPGA实现的AD9481的双通道采样时序和处理流程。

2. 会议论文 [彭发东, 李沛准, 郭亮, 闫力, 陈玉, 成永红 基于FPGA的并行高速采样结构中的时钟电路设计](#) 2007

局部放电的在线监测可以保证电力系统的可靠稳定运行。本文在对局部放电信号采集技术需求进行分析的基础上, 设计了基于FPGA的200MS/s并行AD采样方案, 研究了高速采样涉及的关键技术——高速高精度时钟合成技术, 并利用可编程芯片技术设计了相应的解决方案, 并对设计得到的硬件电路进行了调试。

3. 期刊论文 [韩建文, Han Jianwen AD6645在软件无线电中高速采样电路设计 -科学之友](#) 2009 (17)

文中介绍了采样理论和AD6645的主要特性及其在信号采样中的实际应用电路。

4. 学位论文 [杨琦 基于0.18 μm CMOS工艺的8位超高速采样保持电路设计](#) 2008

近年来, 随着数字通信技术的不断发展, 各种高速数字通信系统对模拟数字转换器(ADC)的性能, 特别是速度上的要求越来越高, 这也成为了ADC的发展趋势之一。采样保持电路作为许多模拟电路和混合信号集成电路中的关键单元电路之一, 广泛应用于模数转换器、CMOS开关电容滤波器、积分器等电路中。在模数转换器中, 采样保持电路作为整个信号处理链中的第一个模块, 采样保持电路的性能直接决定了整个模数转换器的性能。因此, 设计一个高速、高精度的采样保持电路就显得尤为重要。本文主要工作是设计一个基于0.18 μm CMOS工艺的8位超高速采样保持电路。本文首先简单概述了模数转换器的发展、性能指标以及几种高速ADC的结构特点和工作原理。然后分析了采样保持电路的基本结构和工作原理, 着重分析了采样开关和各种非线性因素对电路的影响。在此基础上, 设计了一个开环结构的采样保持电路, 并运用Cadence Spectre软件对电路进行了性能分析和仿真。结果表明, 电路达到了设计要求, 具备良好的性能指标。最后利用SMIC 0.18μm 1P6M的CMOS工艺, 采用Cadence系统软件提供的Virtuoso Layout软件进行了版图设计。

5. 学位论文 [刘鹏翔 虚拟示波器VS的研制](#) 1997

该文介绍了一种新型示波器-虚拟示波器的研制。虚拟示波器是虚拟仪器技术的一种具体应用, 它将软件和虚拟仪器硬件紧密结合在一起, 在计算机上虚拟地实现了示波器的各种功能。该文首先讨论了虚拟仪器技术和利用此项技术开发虚拟示波器时所特有的一些理论问题, 如采样技术、显示技术和虚拟示波器数字带宽等。详细说明了基于虚拟仪器DAQ体系的虚拟示波器硬件电路设计, 包括20MS/S的高速采样电路和输入信号调理电路, 并详细介绍了硬件电路调试时所采用的各种抗干扰措施。最后, 该文给出了硬件驱动程序和面板显示控制软件的设计方法。虚拟示波器作为一种虚拟仪器硬件平台, 使用相应的仪器软件开发工具可以很容易地构造出不同的虚拟仪器, 从而真正体现通过软件构造仪器的虚拟仪器技术本质。

6. 学位论文 [何正淼 高速采样ADC和时钟信号的研究](#) 2005

本文研究的就是高速采样ADC和时钟信号两方面的内容, 同时在对采样性能和时钟抖动的研究基础上实现了对时钟抖动的测量电路设计。在论文的第一章介绍了ADC采样技术的应用、发展历史、工艺概况和发展趋势, 然后结合时钟信号抖动(JITTER)对通信系统的影响介绍了JITTER的定义、分类和分析, 最后介绍了采样时钟JITTER和ADC性能的关系, 引出了本文要研究的内容。第二章介绍了时钟信号的产生和特点, 对原子钟、晶体振荡器到锁相环产生的时钟信号进行了分析和概括。第三章是对ADC采样原理和ADC性能分析的介绍, 首先介绍了ADC转换的原理, 包括采样的原理、采样中的噪声和采样电路的基本结构, 量化原理、直接量化和信号预处理后的量化技术, 然后介绍了高速ADC的结构分类和ADC的静态和动态性能参数。第四章是本文中重要的一部分, 它是有关ADC采样和采样时钟抖动之间关系的分析和仿真, 推导了采样时钟抖动和ADC输入信号之间的关系、时钟抖动和ADC信噪比SNR之间的关系以及时钟抖动和相干采样ADC输出码之间的关系, 然后作了以下的几个仿真。第五章利用ADC采样测量时钟性能的电路实现和测量结果。在最后的附录里介绍了一些论文中用到的分析方法和基本概念以及电路实物图。

7. 会议论文 [宋建培, 姚若河, 张炜华, 吴为敬 Flip-around结构高速采样保持电路的设计](#) 2005

本文分析了Flip-around结构采样保持电路产生失真的原因, 采用增加哑开关管的自举开关消除与输入有关的电荷注入和时钟馈通, 采用增益增强技术提高运算放大器直流增益, 并通过调整辅助电路的负载电容大小实现主运放建立时间特性的优化。文章设计出一个Flip-around结构的高速采样保持电路, 使用Hspice对电路各个模块进行了功能仿真, 给出了整个采样保持电路的仿真结果。

8. 期刊论文 [张文东, Zhang Wendong 电磁信号分析仪的中频电路设计技术研究 -国外电子测量技术](#) 2009, 28 (3)

中频电路设计影响信号分析仪的一些关键指标。本文介绍了XX型电磁信号分析仪的中频设计技术。这项技术采用了75MHz中频、最大36MHz带宽、高速采样的设计路线, 用以满足分析仪的高性能要求。主要讨论了中频滤波设计、中频增益设计、增加动态范围的Dither技术、A/D采样器件选择。实验结果表明此中频设计技术满足当前先进信号分析仪设计要求。

9. 学位论文 [张耀忠 Pipelined ADC中高速采样保持电路的研究与设计](#) 2006

采样保持(S/H)电路单元作为高速高分辨率流水线型模数转换器中的重要单元一直是研究者十分关注的重要内容。采样保持电路用于流水线型模数转换器的最前端, 其信号精度和建立速度直接影响到整个流水线型模数转换器的分辨率和转换速率, 同时也是采样保持电路性能评估的主要因素。这里基于SMIC. 18gm, 1.8V电源电压CMOS工艺, 研究和设计一个适用于输入信号范围为1V, 分辨率为10bit, 转换速率为180MHz流水线型模数转换器中的采样保持电路。在输入满幅度, 89.20MHz正弦波, 时钟采样率为178.57MHz的条件下, 为了使ADC得到9位有效精度, 要求采样保持电路的SNR不小于59dB, ADC的SNR不小于56dB。论文介绍了采样保持电路在流水线型模数转换器中的功能和作用, 概述了采样保持电路的基本理论, 详细分析了采样保持电路采样模式和保持模式, 在采样模式下, 对电荷注入效应和开关电阻的非线性进行深入研究, 在保持模式下, 重点建立了输出信号建立时间的数学模型, 并介绍了运算放大器的误差和一些常用的运算放大器结构。根据理论分析和系统要求设计采样保持电路, 具体电路设计包括翻转式采样保持电路总体电路的设计和各模块电路设计: 运算放大器, 偏置电路, 共模反馈电路, bootstrap开关和非交叠两相时钟, 其中重点设计了增益增强型结构的运算放大器。电路设计完成后, 进行了采样保持电路的版图设计。用Hspice对采样保持电路进行仿真, 当建立精度小于0.5mV时, 建立时间为1.67ns, 验证了建立的数学模型的可行性。将采样保持电路单元应用到10位180MHz流水线型模数转换器中, 在输入满幅度, 89.20MHz正弦波, 时钟采样率为178.57MHz的条件下, 得采样保持电路的SFDR为77.3dB, ADC的SNDR为56.50dB, SNR为56.86dB, THD为-67.51dB, SFDR为69.82dB, 结果显不设计的采样保持电路完全满足ADC的系统要求。

10. 学位论文 [黄炳国 高速超宽带无线通信系统的硬件设计与实现](#) 2009

随着通信和信息技术的不断发展, 短距离无线通信进入了一个前所未有的发展时期, 无线局域网(WLAN)和无线个域网(WPAN)的需求和应用越来越广泛。超宽带(Ultra-wide Band, UWB)技术具有共享频谱资源、传输速度快、抗多径能力强等显著的技术优势, 已成为最富有竞争力和发展前景的短距离无线通信技术之一。本文主要致力于研究与设计高速脉冲UWB通信系统接收端系统硬件平台, 包括基于FPGA核心处理器的主平台和基于时间交错采样的高速采样子平台。本文首先阐述了UWB无线通信的意义及其实用价值, 归纳总结了UWB技术的起源、演进和现状。介绍了超宽带无线通信的核心概念, 并给出了UWB信号的定义, 及其两种主要的信号形式。并在此基础上介绍了UWB技术的特点和优点及应用等。在UWB技术的概述基础上, 本文详细介绍了脉冲UWB通信系统基础, 包括脉冲UWB系统基本结构、UWB脉冲生成技术、脉冲调制方式及接收机技术等。本文简要介绍了UWB脉冲的特性

，特别是高斯及其各阶导数脉冲，介绍了利用半导体器件和数字电路设计UWB脉冲的方法。讨论了开关键控、二相调制、脉冲位置调制等脉冲调制方式和各种UWB接收机的优缺点。 本文着重阐述了高速脉冲UWB通信系统接收端硬件平台的设计，包括基于FPGA核心处理器的主平台和基于时间交错采样的高速采样平台。基于FPGA核心处理器的主平台，重点阐述了FPGA核心处理器、时钟子系统、电源子系统、计算机和FPGA的通信子系统等。本文重点介绍了基于时间交错采样的高速采样原理，并在此基础上采用比较器和串并转换器实现采样频率高达3.2GHz的1bit采样系统平台。 随着集成电路工艺技术的飞速发展，电路设计中的信号速度越来越快，同时印刷电路板（PCB）的密度也越来越大，信号完整性已经成为高速数字PCB设计必须关心的问题之一。本文简要介绍了常见的信号完整性问题及其解决方法。在此基础上，本文详细介绍了硬件平台的实现过程，包括PCB分层设计和层分割方案、布局布线，并随之给出了计算机仿真与测试结果。最后，给出了接收端系统平台硬件实物图。

本文链接：http://d.g.wanfangdata.com.cn/Conference_6197595.aspx

下载时间：2010年1月11日