

- 14.35 某电路与图 14.24 所示相似, 四个匹配晶体管在 10 mA 电流下的 $|V_{BE}|$ 是 0.7 V, $n=1$, $\beta \geq 50$ 。电阻 R_1 和 R_2 被 2 mA 的电流源取代, $R_3=R_4=0$ 。求输出晶体管的静态电流。流过输入晶体管的基极电流是多少? 电流在哪里流动? 如果 β 偏差 10%, 求净输入电流 (失调电流)。当负载电阻 $R_L=100 \Omega$ 的时候, 求输入电阻和小信号电压增益。
- 14.36 由两个 npn 晶体管复合成一个达林顿管, 已知每一个晶体管的参数为 $\beta \geq 50$, $n=1$, 在 1 mA 的电流下, $V_{BE}=0.7 \text{ V}$ 。当复合管的工作电流是 10 mA 时, 求 $\beta_{eq}, V_{BEeq}, r_{meq}, g_{meq}$ 。
- 14.37 考虑如图 P14.37 所示的电路, 其中晶体管的 $V_{BE}=0.7 \text{ V}$, $\beta=100$, 求 $i_c, g_{meq}, v_o/v_i, R_{in}$ 。
- **14.38 考虑如图 P14.38 所示的电路, BJT 晶体管的参数如下: $\beta_P=10$, $\beta_N=100$, $|V_{BE}|=0.7 \text{ V}$, $|V_A|=100 \text{ V}$ 。

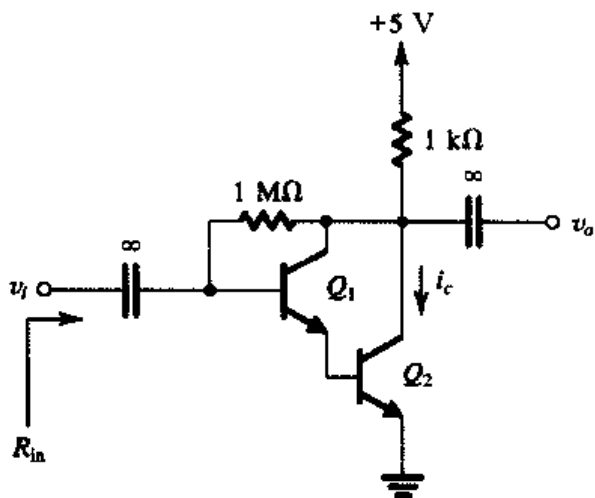


图 P14.37

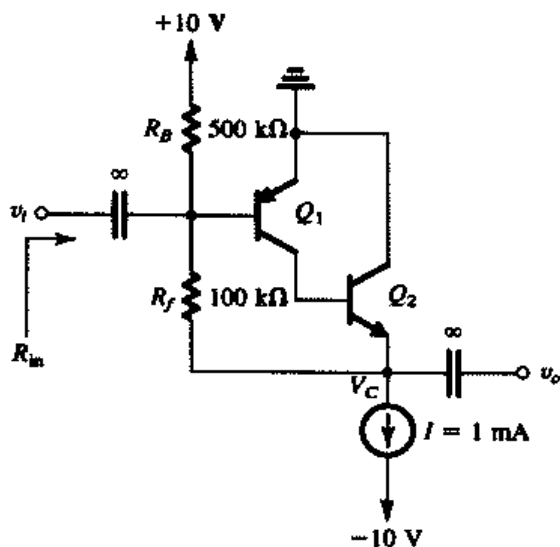


图 P14.38

- (a) 求每一个晶体管的集电极电流和电压 V_C 的值。
 (b) 用混合 π 模型代替每个晶体管, 证明:

$$\frac{v_o}{v_i} \approx g_{m1} [r_{o1} \parallel \beta_N (r_{o2} \parallel R_f)]$$

- (c) 求 v_o/v_i 和 R_{in} 的值。

- D**14.39 考虑图 14.27 所示的复合管 AB 类输出级电路, 其中晶体管 Q_2 和 Q_4 是匹配管, 在电流为 10 mA 时, $V_{BE}=0.7 \text{ V}$, $\beta=100$, 晶体管 Q_1 和 Q_5 在电流为 1 mA 时的电压 $V_{BE}=0.7 \text{ V}$, $\beta=100$, 晶体管 Q_3 在电流为 1 mA 时的电压 $V_{EB}=0.7 \text{ V}$, $\beta=10$ 。所有晶体管的 $n=1$ 。设计一个电路, 使得流过晶体管 Q_2 和 Q_4 的静态电流为 2 mA, 电流 I_{BIAS} 是晶体管 Q_1 基极电流的 100 倍, 晶体管 Q_5 流过的电流是相关电阻的 9 倍。求输入电压的值, 要求在 1 kΩ 的负载电阻上产生 $\pm 10 \text{ V}$ 的输出电压。设电源电压 V_{CC} 为 15 V。
- 14.40 在晶体管 Q_5 的尺寸增大 10 倍、其余条件都不变的情况下, 重复练习 14.13 的内容。
- 14.41 在输出电流的限幅值和正常峰值分别为 50 mA 和 33.3 mA 的情况下, 重复练习 14.13 的内容。
- D14.42 考虑如图 P14.42 所示的电路, 其工作原理类似于图 14.28 所示的电路, 当输出短路时可以限制流过晶体管 Q_3 的电流。该电路还有另外一个好处, 即检测电流变化的电阻 R 没有直接出现在输出端。求电阻 R 的值, 该值使得输出电流达到 150 mA 时晶体管 Q_5 导通,

并吸收全部 $I_{BIAS} = 2 \text{ mA}$ 的电流。对晶体管 Q_5 , 有 $I_S = 10^{-14} \text{ A}$, $n = 1$ 。如果正常的输出峰值电流是 100 mA , 求电阻 R 上的压降以及 Q_5 的集电极电流。

- D14.43 考虑图 14.29 所示的热停止电路。在 25°C 时, 齐纳二极管 Z_1 的稳压值是 6.8 V , 温度系数 $\text{TC} = 2 \text{ mV}/^\circ\text{C}$, BJT 晶体管 Q_1 和 Q_2 的电压 V_{BE} 在 $100 \mu\text{A}$ 时均为 0.7 V , 其温度系数 $\text{TC} = -2 \text{ mV}/^\circ\text{C}$ 。设计一个电路, 要求在 125°C 时流过晶体管 Q_1 和 Q_2 的电流是 $100 \mu\text{A}$ 。 25°C 时晶体管 Q_2 中流过的电流是多少?

14.8 节: 集成功率放大器

- D14.44 在图 14.30 所示的功率放大器电路中有两个电阻对整个电压增益的控制起到了很重要的作用, 是哪两个电阻? 哪个电阻独自控制增益? 哪个电阻既影响直流电平又对增益有影响?

考虑一种新的设计方案, 要求输出直流电平接近于 $\frac{1}{3}V_S$ (不是接近于 $\frac{1}{2}V_S$), 增益为 50 (与以前一样), 问需要做哪些调整?

- 14.45 考虑图 14.30 所示的前端电路, 当 $V_S = 20 \text{ V}$ 的时候, 近似求解晶体管 Q_1 到 Q_6 的偏置电流。假设 $\beta_{npn} = 100$, $\beta_{pnp} = 20$, $|V_{BE}| = 0.7 \text{ V}$, 求输出端的直流电压。
- *14.46 假设图 14.30 所示电路的输出电压信号接地 (这样反馈就不起作用了), 求差模和共模输入电阻 (为达到此目的, 不包含电阻 R_4 和 R_5)。设 $V_S = 20 \text{ V}$, $\beta_{npn} = 100$, $\beta_{pnp} = 20$ 。再求从输入端到第一级输出端 (晶体管 Q_4 和 Q_6 的集电极及晶体管 Q_{12} 的基极) 之间的互导。
- 14.47 采用 LM380 功率放大器驱动 8Ω 的扬声器, 要求晶体管可能的最大功耗为 1.5 W 。利用图 14.32 所示的曲线确定电源电压的最大可能值 (只用给定的曲线, 不必延伸)。如果最大允许的 THD 为 3%, 可能的最大负载功率是多少? 将此功率输送到负载上, 得到的输出正弦电压的峰-峰值是多少?
- 14.48 考虑一个 LM380 功放, 假设放大器工作时的电源电压是 20 V , 第一级的互导是 1.6 mA/V , 求单位增益带宽 f_t 。由于闭环增益近似为 50 V/V , 求 3 dB 带宽。
- D14.49 考虑图 14.33 所示的功率运算放大器输出级, 设电源电压为 $\pm 15 \text{ V}$, 设计一个电路, 使得输出电压达到 $\pm 11 \text{ V}$ 或更高, 电流达到 $\pm 20 \text{ mA}$, 其中主要电流由晶体管 Q_3 和 Q_4 提供, 晶体管 Q_5 和 Q_6 提供其中的 10%, 满电压 ($+11 \text{ V}$) 输出时的电流峰值为 1 A 。采用原先的设计参数, 所有晶体管的 $\beta = 50$, 晶体管在其电流上的电压 $|V_{BE}| = 0.7 \text{ V}$, $R_5 = R_6 = 0$ 。
- 14.50 某电路如图 P14.50 所示, 假设所有晶体管的 β 值都很大, 证明 $i_o = v_i/R$ 。 [该电压-电流转换电路是电流传送机模块电路的一种应用, 参见 Sedra 和 Roberts(1990)。] 当 $\beta = 100$ 的时候, 求得到的电流 i_o 比理想情况下的值所低的百分比?
- D14.51 求图 14.34 所示桥式放大器电路中的电阻 R_2 和 R_4 的值, 要求得到的总电压增益为 10, 设电阻 $R_1 = R_3 = 10 \text{ k}\Omega$ 。
- D14.52 图 P14.52 所示是另一种结构的桥式放大器, 具有高输入电阻。 [注意, 该电路与图 2.20 (b) 所示的仪表放大器的前端电路很相似。] 求电压增益 v_o/v_i 。当运算放大器 (电源电压为 $\pm 15 \text{ V}$)

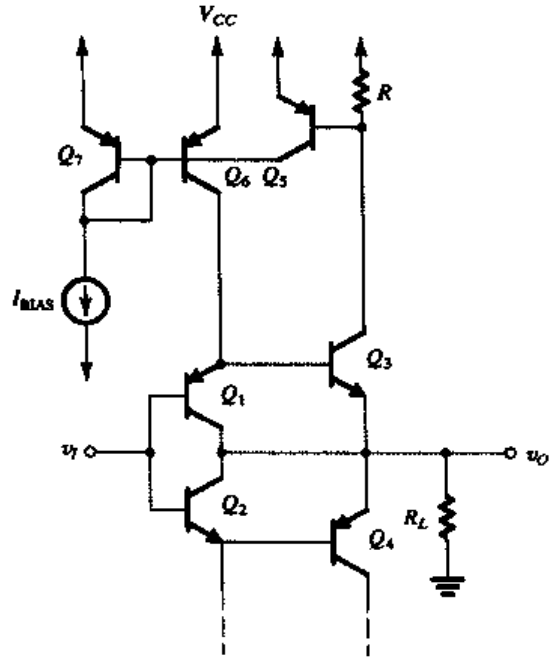


图 P14.42

的输出限幅为 $\pm 13 \text{ V}$ 时, 问负载电阻 R_L 上的最大正弦电压是多少? 使用 $1 \text{ k}\Omega$ 的电阻作为最小电阻, 求满足增益 $v_O/v_I = 10 \text{ V/V}$ 的电阻值。

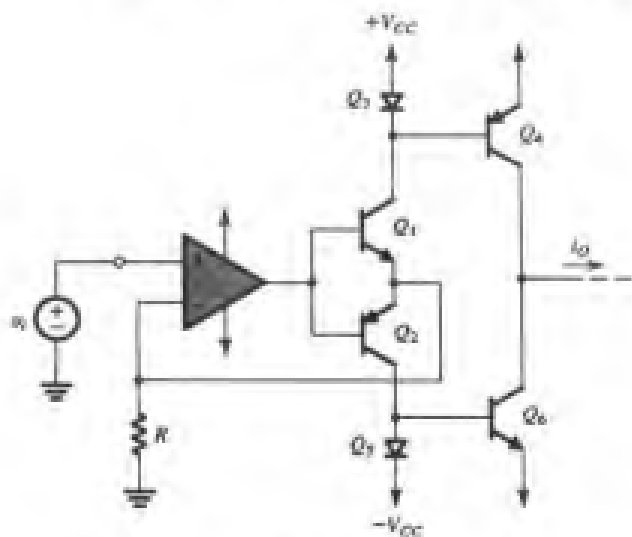


图 P14.50

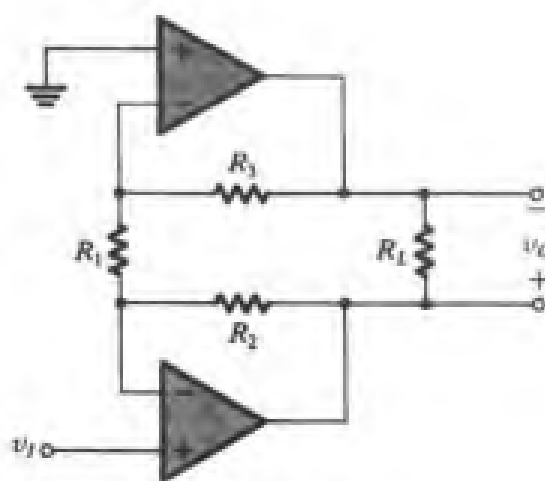


图 P14.52

14.9 节: MOS 功率晶体管

14.53 某 DMOS 功率管的参数为: $C_{ox} = 400 \mu\text{F}/\text{m}^2$, $V_t = 2 \text{ V}$, $W = 10^5 \mu\text{m}$, 在电压 $v_{GS} = 5 \text{ V}$ 时载流子速度饱和。利用式 (14.46) 和式 (14.47), 求 L 的表达式以及该晶体管的 L 值。当漏极电流为何值时速度开始饱和? 硅的电参数为: $U_{sat} = 5 \times 10^6 \text{ cm/s}$, $\mu_n = 500 \text{ cm}^2/\text{V}$, 大电流时的晶体管跨导 g_m 等于多少?

D14.54 考虑图 14.38 所示的 AB 类输出级放大器, 已知 $|V_{BE}| = 2 \text{ V}$, $\mu C_{ox} W/L = 200 \text{ mA/V}^2$, β 值很大, $|V_{BE}| = 0.7 \text{ V}$, $I_{QN} = I_{QP} = I_B = 10 \text{ mA}$, $I_{BAS} = 100 \mu\text{A}$, $I_{QS} = I_{QB} = I_{BAS}/2$, $R_3 = R_4$, 电压 V_{BE} 的温度系数为 $-2 \text{ mV}/^\circ\text{C}$, V_t 的温度系数在低电流区是 $-3 \text{ mV}/^\circ\text{C}$ 。求电阻 R , R_1 , R_2 , R_3 和 R_4 的值。假设晶体管 Q_N , Q_P 和 Q_N 之间有热耦合。(电阻 R_G 通常在 100Ω 左右, 用于抑止高频寄生振荡。)

附录 A VLSI 制造技术

引言

本附录的目的是使读者熟悉 VLSI（超大规模集成电路）的制造技术，特别是 VLSI 的标准硅工艺过程，此处还提供了 CMOS 和 BiCMOS 工艺制造的晶体管的性能参数。特别是对集成电路设计和分立元件电路设计的不同之处给予了讨论。为了充分有效地使用好集成器件，设计者应该注意克服器件参数方面的限制（比如容差很差），而且应该学会利用集成器件的优点（比如匹配性很好）。充分理解器件的性能特点是设计一个好的 VLSI 芯片和专业集成芯片（ASIC）必备的要求。而且对器件的深刻理解在选用集成芯片完成系统设计时也是很有帮助的。

本附录只考虑硅工艺技术。虽然砷化镓（GaAs）也可用于实现 VLSI 芯片，但是硅（Si）用得更为普遍，而且其性价比具有很大的折中范围。近年来在 SiGe 和应变硅技术上的发展进一步巩固了基于硅的集成工艺技术在微电子工业未来几年中的发展地位。

硅是一种非常丰富的资源，通常以沙石的形式呈现。采用已经完整建立起来的提纯和晶体生长技术可得到制作精良的硅。硅还具有制造电特性优良的有源器件所需的物理特性。此外，硅很容易被氧化，形成极好的绝缘体—— SiO_2 （玻璃）。该氧化物对制作电容和 MOSFET 很有用。它还可以作为扩散阻挡物，阻止不需要的杂质扩散到高纯度的硅材料附近。硅氧化物的掩蔽特性使得硅的电特性在预定义区域比较容易改变，从而可以把有源和无源器件制造在同一块材料（或衬底）上，利用金属层（类似于印刷线路板上采用的）实现元件内部的连接可产生所谓的单片集成芯片，这种芯片实质上是一个单片材料。

A.1 IC 制造步骤

IC 制造的基本步骤将在下面几个小节中叙述。其中有一些步骤在不同的组合和不同的处理条件下，在整个制造过程中会重复实施许多次。

A.1.1 晶圆准备

制造现代集成电路的原材料是纯度非常高的硅。它被制成单晶体的硅棒，其形状是直径为 10 cm 到 30 cm 的固态圆柱体（见图 A.1），呈铁灰色，长为 1 m 到 2 m。该硅棒然后被切割（像一条面包）成厚度为 $400\mu\text{m}$ 到 $600\mu\text{m}$ （ $1\mu\text{m}$ 为 $1\times 10^{-6}\text{m}$ ）的晶圆。晶圆的表面要进行抛光处理，采用化学和机械抛光（CMP）技术将表面抛光成镜面。半导体制造商一般都会向供货商购买制作好的硅晶圆，很少从制作硅棒开始。

晶圆的电特性及机械特性与晶面的方向及杂质的浓度和类型有关。在晶体生长过程中必须对这些可变参数进行严格控制，受控的杂质可以被加到纯硅中，这个处理过程也叫掺杂。这样做的结果可以改变硅的电特性，比如电阻率。另外也可以控制导电的载流子的性质，这些载流子既可以是空穴（在 p 型硅中），也可以是自由电子（在 n 型硅中），它们可以导电。如果加入了大量的杂质原子，这时的硅就称为重掺杂（比如浓度大于 10^{18} 原子/ cm^3 ）。当要标定半导体器件的相对掺杂浓度时，我们可以加上“+”号或“-”号，重掺杂（低电阻率）的 n 型硅晶圆通常用 n^+ 表示，

而轻掺杂的区域则用 n -表示。控制硅中的杂质类型和浓度的能力是形成二极管、晶体管和电阻的灵活集成形式的重要环节。

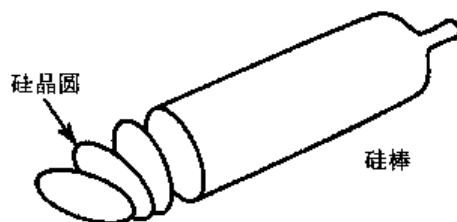


图 A.1 硅棒和晶圆片

A.1.2 氧化

氧化是指硅和氧气进行的化学反应，得到的是二氧化硅 (SiO_2)。为加速反应过程，必须使用特殊的极其干净的高温炉（比如 $1000^\circ\text{C}\sim 1200^\circ\text{C}$ ）。为了避免杂质（即使量很小也会严重影响硅的电特性）进入，必须保持在非常干净的环境中完成氧化反应。这个要求适用于集成芯片制造的每一个步骤。特别是制造场地都安装了空气循环过滤装置，所有相关人员都必须穿上特殊的防尘服。

参与反应的氧气可以是高浓度的气体形式（这个过程也称为“干氧化”），也可以是蒸气的形式（“湿氧化”）。通常，“湿氧化”具有较快的反应速度，但是“干氧化”的电特性更好。任何一种情况下得到的热生长氧化层的绝缘电特性都极好。 SiO_2 的电介质强度是 10^7 V/cm ，介电常数是 3.9，它可以成为非常好的电容器。如前所述，二氧化硅可以作为很好的掩膜以抵御杂质的入侵，因此杂质只能扩散到硅片上没有覆盖氧化物的特定区域中去。掩膜特性是大量生产 VLSI 器件的必备要求之一。

二氧化硅是一种很薄的透明薄膜，硅表面的反射率很高。当有一束白光照射到已经氧化了的晶圆表面时，会产生某一种特定颜色的反射光。反射光的波长取决于氧化层的厚度，事实上，人们是根据晶圆表面反射光的颜色来确定氧化层厚度的。同样的原理还被应用在精密的光学测量仪器上以测量薄膜的厚度。在晶圆处理过程中会有不同区域具有不同氧化层厚度的情况，由于相应的反射光也十分明显，所以人们用眼睛就能很快分辨出晶圆厚度的变化。

A.1.3 扩散

扩散是指原子从高浓度区域通过半导体晶体移动到低浓度区域的过程。该过程与一滴墨水滴到一杯水中的扩散过程相同，只是在固体里的扩散过程相当慢。在制造过程中，可通过把杂质原子（杂质）扩散到硅材料中的方法来改变材料的电阻率。硅中杂质扩散的速度与温度有密切的关系。通常，扩散是在高温下（ $1000^\circ\text{C}\sim 1200^\circ\text{C}$ ）进行的，这样可以得到所需的杂质分布曲线。当晶圆的温度降到室温时，杂质就基本被“冻结”在所处的位置上。扩散过程在高温炉中完成，这与氧化过程很相似。杂质扩散到硅中的深度和扩散时的温度以及扩散时间的长短有关。

最常用的杂质材料是硼、磷和砷。硼是 p 型杂质，而磷和砷都是 n 型杂质。这些杂质都可以有效地被很薄的二氧化硅层掩蔽。如果在 n 型衬底中再扩散硼，就可以产生 pn 结（二极管）了。如果杂质浓度相当高，扩散层同样也可以作为导体来使用。

A.1.4 离子注入

离子注入是另外一种把杂质原子加到半导体晶体中的方法。离子注入器可产生所需的离子，并在电场的作用下对离子进行加速，使这些离子去碰撞半导体的表面，因此这些离子就会嵌入到晶体的晶格结构中。离子穿透晶体的深度与离子束的能量有关，该能量受电场加速器电压的控制。

注入的离子数量可以通过改变波束电流(离子的流动)来控制。由于电压和电流的控制可以做得非常精确,因此离子注入方法得到的杂质浓度分布要比扩散方法得到的精确得多。此外,离子注入技术可以在室温下实现,对器件的杂质分布要求比较精确的时候,一般采用离子注入技术。

A.1.5 化学气相沉积

化学气相沉积(CVD, chemical-vapor deposition)是硅和气体或者蒸气进行化学反应并在衬底上产生固态物质的过程。CVD可以用于在硅衬底上沉积多种物质,例如 SiO_2 , Si_3N_4 和多晶硅。比如允许硅烷和氧气在硅衬底上进行反应,最终的产品(二氧化硅)就会以固态薄膜的形式沉积在晶圆硅的表面。采用CVD方法得到的氧化层的电特性不如热生长氧化方法得到的好,但是作为电绝缘材料还是绰绰有余的。CVD方法的好处在于氧化物沉积的速度很快,而且可以在低温下实现(低于 500°C)。

如果单独使用硅烷气体,那么晶圆表面沉积的就是一层硅。如果反应时的温度足够高(超过 1000°C),则沉积层是晶体层(假设有暴露的晶体硅)。这层物质也叫外延层,相应的沉积过程也称为外延生长,不用CVD表示。在温度较低或者衬底表面不是单晶硅的情况下,原子是不会沿着相同的晶格方向排列的,这层物质就叫多晶硅,因为它由许多很小的晶体硅组成,且各个晶体硅的晶格方向是任意的。

A.1.6 金属化

金属化的目的是在各个不同的元件之间实现内部连接,形成所需要的集成电路。金属化包括整个硅表面最初的金属沉积,内部连接是有选择地进行刻蚀后完成的。金属层正常情况下是通过溅射的过程沉积下来的。一片纯度很高(例如99.99%)的铝片被放置在氩离子枪下,氩离子枪被置于真空箱中。晶圆也同样被放置在箱内的靶子上,氩离子不与金属发生作用,因为氩气是惰性气体,但是它的离子会轰击靶子并逐个敲击出金属原子,这些金属原子会充满整个真空箱,其中也包括晶圆的表面。金属膜的厚度可以通过溅射时间的长短加以控制,通常的溅射时间是1分钟到2分钟。

A.1.7 光刻

不同集成元件的几何表面被定义为照相版图。首先用旋转涂抹技术在晶圆表面覆盖上一层感光层(也叫光致抗蚀剂或光阻),然后放上带有图形的感光板(比如,带有铬图案的石英板),在紫外线的照射下,感光板会有选择地根据图形曝光光阻材料,被曝光的光阻材料会变软(对正光阻而言),然后利用化学显影剂把已曝光的这层材料去掉,结果掩膜图形就出现在晶圆上。利用这种技术可以非常精确地划定表面的几何形状。光刻技术需要用到VLSI制造工艺中一些最昂贵的设备。现在,我们已经接近了光刻工艺的物理极限。利用深紫外线和电子束技术确定的图形能够达到 50 nm ,但是要得到更小的几何尺寸,一定要采用另外的技术。

带图形的光阻层还可以有效地作为掩膜来屏蔽化学刻蚀和离子刻蚀过程中带来的杂质,采用刻蚀技术可以有选择地去除相应的二氧化硅、氮化硅、多晶硅和金属层。刻蚀程序完成后,光阻层会被去除,从而留下永久的图形,这些图形在硅芯片的表面形成光掩膜图像。

光刻过程极具挑战性,许多掩膜层(在先进的VLSI制造工艺过程中一般会超过20层)必须很精确地一层一层放置,它的精确度要比相应的掩膜图形的最小尺寸还要高,这个要求使光刻设备中机械和光学之间具有更紧密的约束关系。

A.1.8 封装

已经完成的晶圆上一般都含有几百个甚至更多的电路或者芯片,每个芯片含有的晶体管数量

从 10^4 个到 10^8 个不等。芯片的形状是矩形，典型尺寸是 $1\text{ mm} \times 10\text{ mm}$ 。电路首先要经过电测试（电路仍然在晶圆上），采用的方法是自动探针测试，性能不好的电路会被检测出来，然后电路被一个一个地分开（切割），好的电路（也称为裸片）被装配在一个封装块中，这样的 IC 封装例子见图 A.2。性能很好的导线通常被用于连接封装的管脚和裸片上的金属层。最后在真空或者惰性气体中用塑料和环氧树脂把封装块封起来。

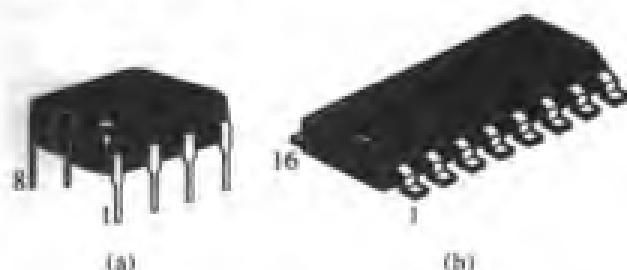


图 A.2 (a) 双列 8 管脚塑料封装 IC 芯片 (DIP)；(b) 16 管脚表面贴片封装芯片 (SMP)，显示的比例要比 (a) 的大

A.2 VLSI 工艺

早期的集成工艺制造以双极型技术为主，但是到了 20 世纪 70 年代后期，金属-氧化物-半导体 (MOS) 技术在 VLSI 制造过程中逐渐被人们所重视。原因是它的集成度很高，功耗很小。从 20 世纪 80 年代早期开始，互补 MOS (CMOS) 技术迅速发展起来，并几乎完全成为 VLSI 的主宰。而双极型技术则成为具有特殊功能的芯片，成为一种在数字的高速模拟和射频电路中使用的技术。在 20 世纪 80 年代后期，CMOS 工艺继续流行并且与双极型晶体管融和在一起，产生了高性能的双极型 CMOS (Bi-CMOS) 制造工艺，它结合了两种技术的优点。但是 BiCMOS 工艺过程很复杂，代价也很大，因为该技术每实现一步，往往至少需要 15 层到 20 层掩膜，而标准 CMOS 工艺只需要 10 层到 12 层掩膜。

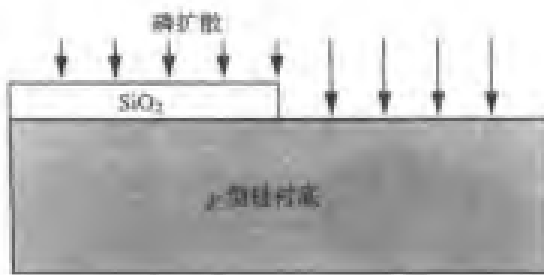
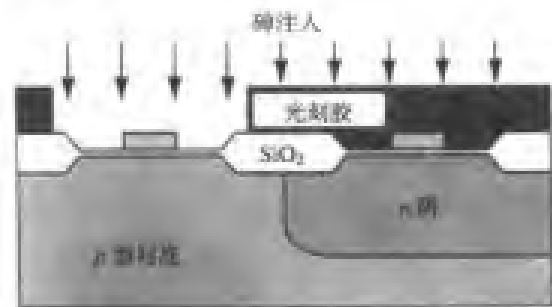
CMOS 工艺和 BiCMOS 工艺的持续发展提供了很好的版图解决方案。但是工艺技术和半导体特性的最基本限制还是提出了这样的需求：需要对其他材料进行研究。现在已经出现了硅锗 (SiGe) 和应变硅技术，它可与现存的基于硅的 CMOS 工艺兼容，同时还能提高性能。

在接下来的几个子小节中，我们依次介绍现代 IC 制造技术的三个方面的内容：典型的 CMOS 工艺流程、集成元件的性能以及包含双极型晶体管的 BiCMOS 工艺。

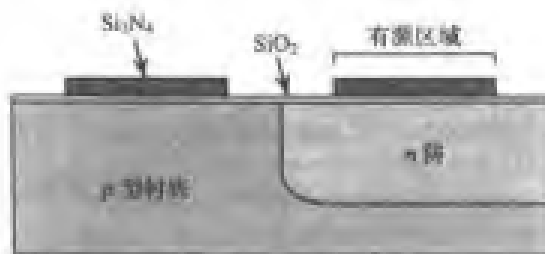
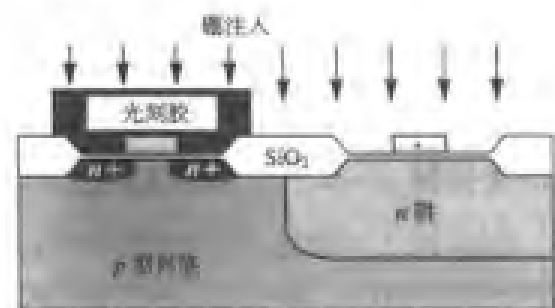
A.2.1 n 阱 CMOS 工艺

根据所选定的起始材料 (衬底)，CMOS 工艺过程可以被定义为 n 阱、 p 阱和双阱，其中双阱既是最复杂也是最优的和最灵活的。除此以外，许多先进的 CMOS 工艺还采用了沟道绝缘和绝缘层覆硅 (SOI) 技术，从而可以减小寄生电容 (为达到高速的目的)，提高封装密度。

为简单起见，我们选择 n 阱 CMOS 工艺进行讨论。做这种选择的另外一个好处是它可以很容易地转到 BiCMOS 工艺上。图 A.3 给出了该工艺的典型流程，该流程最少需要 7 个掩膜层。但是，实际上大多数 CMOS 工艺流程还需要另外再增加几层，比如用于避免锁定的 n 和 p 保护层，与电容有关的第二多晶硅层，以及用于内部高密度连接的多层金属层。加上这些工艺流程，整个掩膜层将增加到 15 层到 20 层。

(a) 定义 n 阱扩散 (掩膜 #1)(e) $n+$ 扩散 (掩膜 #4)

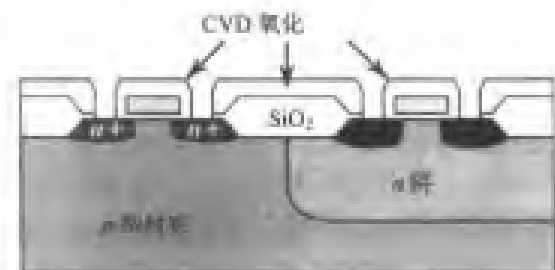
(b) 定义有源区域 (掩膜 #2)

(f) $p+$ 扩散 (掩膜 #5)

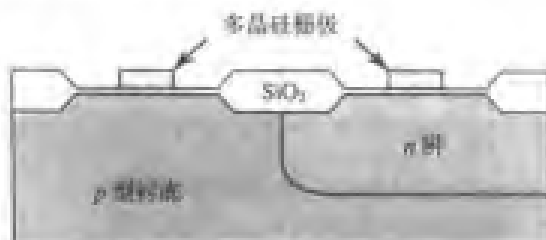
(c) LOCOS 氧化



(g) 接触孔 (掩膜 #6)



(d) 多晶硅栅极 (掩膜 #3)



(h) 金属化 (掩膜 #7)

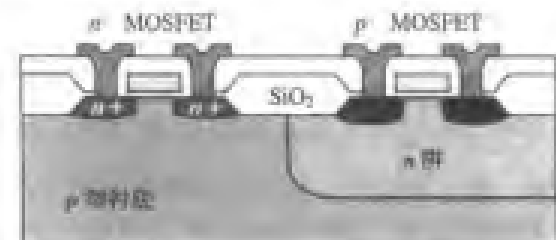


图 A.3 典型的 n 阱 CMOS 工艺流程: (a) 定义 n 阱扩散 (掩膜 #1); (b) 定义有源区域 (掩膜 #2); (c) LOCOS 氧化; (d) 多晶硅栅极 (掩膜 #3); (e) $n+$ 扩散 (掩膜 #4); (f) $p+$ 扩散 (掩膜 #5); (g) 接触孔 (掩膜 #6); (h) 金属化 (掩膜 #7)

n 阱工艺的起始材料是 p 型衬底, 首先进行的是 n 阱扩散 [见图 A.3 (a)], 这是放置 p 型 MOSFET 所必需的。厚的二氧化硅层被刻蚀掉后会露出进行 n 阱扩散的区域。没有露出的地方能够防止 n 型杂质磷的进入。通常, 进行深度扩散需要用磷来完成, 因为磷的扩散系数很大, 扩散进入衬底的速度要比砷快。

第二步是确定有源区 (放置晶体管的区域), 采用的技术是本地氧化 (LOCOS)。一层氮化硅 (Si_3N_4) 被沉积在表面, 它和先前的 n 阱区域有对应的位置图形关系 [见图 A.3 (b)], 覆盖上氮化硅的区域不会被氧化。经过一段长时间的氧化过程后, 一层很厚的氧化层就会出现在晶体管之间 [见图 A.3 (c)], 这层厚氧化层用于实现晶体管之间的隔离, 同时保证在二氧化硅层上面形成内部连接层, 从而避免了在硅表面产生导电沟道。

下一步是形成多晶硅栅极 [见图 A.3 (d)], 这是 CMOS 工艺中非常关键的一步。有源区的薄二氧化硅层首先被浸蚀掉, 然后再生一层薄的高质量栅极氧化物。现在的 $0.13\mu\text{m}$ 和 $0.18\mu\text{m}$ 工艺中, 二氧化硅层的厚度只有 20 \AA 和 50 \AA ($1\text{ \AA} = 10^{-8}\text{ cm}$)。接下来再确定区域沉积多晶硅层, 通常情况下掺入砷 (n 型)。这一步必须要进行光刻, 因为最好的解决方案要求产生的 MOS 管的沟道长度应尽可能短。

多晶硅栅极是自对准结构, 比过去的金属栅极结构要好。掺入浓度很高的砷可形成 n 型-MOS 管的 n^+ 源区和漏区。多晶硅层对掺入的杂质还起到了阻碍作用, 可以保护沟道区域。光阻材料 [见图 A.3 (e)] 覆盖在需要形成 p 型 MOSFET 的区域, 厚氧化层阻止了杂质的扩散, 防止在有源区域外形成 n^+ 区。在 p 型 MOSFET [图 A.3 (f)] 的 p^+ 硼扩散形成源区和漏区的过程中, 左边的光阻对 n^+ MOSFET 起保护作用。两种情况下扩散形成的源区和漏区被沟道隔开, 沟道长度由多晶硅栅极掩膜单独确定, 因而成为自对准结构。

在开过孔前, 需要用 CVD 方法在整个晶圆上产生一层厚的氧化层, 因此需要先放置光掩膜以确定过孔的位置 [见图 A.3 (g)], 然后进行干 (或湿) 氧化蚀刻。接下来用蒸气或溅射方法在晶圆上形成一层薄薄的铝层, 最后放置掩膜并蚀刻以形成内部连接 [见图 A.3 (h)]。

封装和连线之前的钝化流程没有在此描述。一般来说, 还应在晶圆上覆盖一层厚 CVD 氧化物或玻璃, 它们起保护层的作用。

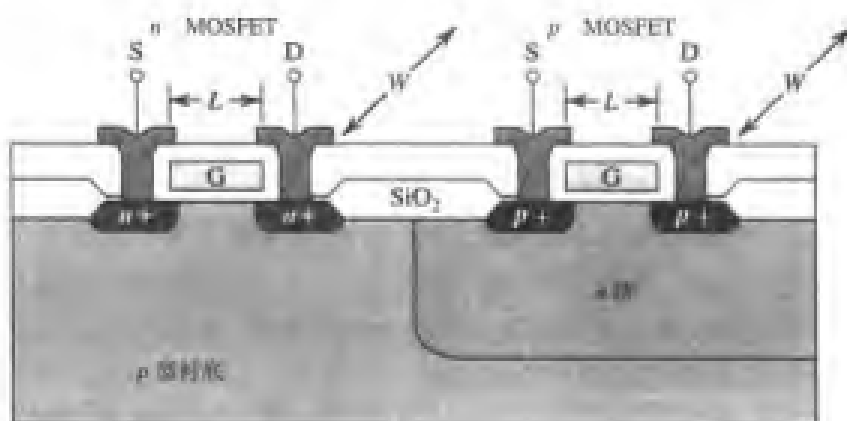
A.2.2 集成元件

除了明显的 n 沟道和 p 沟道 MOSFET 以外, 还有另外一些元件可以通过对掩膜层的操作得到。这些元件包括 pn 结二极管、MOS 电容和电阻。

A.2.3 MOSFET

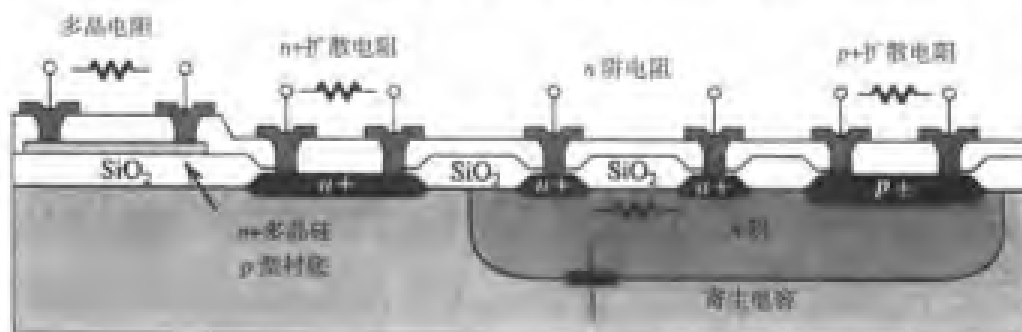
n 沟道 MOSFET 的性能比 p 沟道 MOSFET 要好 (见图 A.4)。 n 沟道器件的表面电子迁移率是对应器件的空穴迁移率的 2~4 倍。当器件尺寸 (W 和 L) 相同时, n 沟道器件可提供更大的驱动电流 (或者更小的导通电阻) 和更高的跨导。

在设计集成电路时, MOSFET 通常是用开启电压和器件尺寸来确定特性的, n 沟道和 p 沟道器件的开启电压对特定工艺而言其幅度基本相同, 但是跨导可以通过调整器件的几何尺寸 (W 和 L) 加以改变。这个特性不适合双极型晶体管, 可见集成 MOSFET 电路的设计具有更大的灵活性。

图 A.4 n 沟道和 p 沟道 MOSFET 的横截面图

A.2.4 电阻

集成电阻的阻值不是很精确。它们可以来源于多种扩散区域，如图 A.5 所示。不同扩散区域具有不同的电阻率。 n 阱通常用来形成中等阻值的电阻，而高掺杂的 $n+$ 区和 $p+$ 区则用来形成低阻值的电阻。确切的电阻值可以通过改变扩散区域的宽度和长度得到，电阻阻值的容差通常很差（为 20% 到 50%），但是两个阻值近似的电阻匹配起来的效果却很好（5%），因此电路设计者在设计电路的时候应该尽量选用匹配的电阻，避免采用具有确定电阻值的电阻。

图 A.5 利用典型 n 阱 CMOS 工艺得到的各种集成电阻的剖面图

所有的扩散电阻都被其反偏 $p-n$ 结相互隔离了，但是这些电阻都有一个很严重的缺点，即它们都伴有寄生结电容，从而严重影响了它们在高频时的应用。反偏 $p-n$ 结还呈现出 JFET 的效应，即当施加的电压发生变化时，电阻阻值也会发生变化（大电压系数是不希望出现的）。由于载流子的迁移率与温度有关，因此扩散电阻都具有一定的温度系数。

更有用的电阻采用在厚氧化物层上覆盖多晶硅层实现。薄多晶硅层提供了比较好的表面区域匹配，因而具有更精确的电阻比值。此外，多晶电阻和衬底是分开的，所以它的寄生电容和电压参数都相当小。

A.2.5 电容

利用 CMOS 工艺可以制造两种结构的电容：MOS 电容和多晶电容（也称 MIM——金属-绝缘体-金属电容）。它们的横截面结构如图 A.6 所示。中间的结构表示 MOS 栅极电容，它是 MOS 管最基本的栅源电容，其值取决于栅极的面积。氧化层的厚度等于 MOS 管中的栅极氧化

层的厚度，该电容表现出较大的电压依赖性。为了消除这种依赖性，可在电容的下极板再增加一层 $n+$ 杂质，如图中最右边的结构。两种电容都与衬底有物理接触，因此下极板都呈现出较大的 pn 结寄生电容。

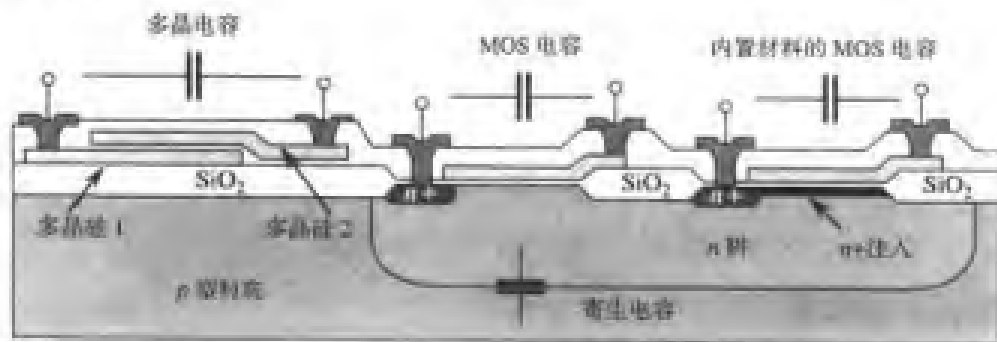


图 A.6 利用 n 阱工艺得到的多晶和 CMOS 电容

多晶电容接近于理想电容的特性，但是需要在 CMOS 工艺中包括第二次多晶硅层的流程。由于电容放置在厚场氧化层的上面，因此寄生效应很小。

第三种（也是很少使用的）电容是结电容。任何反偏 pn 结的耗尽区如同位于 p 区和 n 区之间的电介质，电容量由几何尺寸和掺杂浓度确定，电压系数很大。这类电容通常作为调谐电路中的变容二极管（容量可变的电容），但是只能在反偏电压下工作。

MOS 电容和多晶电容的电容量可以控制在 1% 以内。实际使用的电容的电容量在 0.5 pF 到几十 pF 之间。相同尺寸的匹配电容的电容量的偏差在 0.1% 以内。这个特性对精密的模拟 CMOS 电路设计非常有用。

A.2.6 pn 结二极管

当 p 型和 n 型扩散区域紧邻在一起时就产生了 pn 结二极管。 n 阱二极管是一种有用的结构，参见图 A.7。在 n 阱中制造的二极管的击穿电压非常大，是输入钳位电路用于防止静电放电的必备器件。作为片内温度传感器的二极管也很有用，它可以检测正向压降的变化。

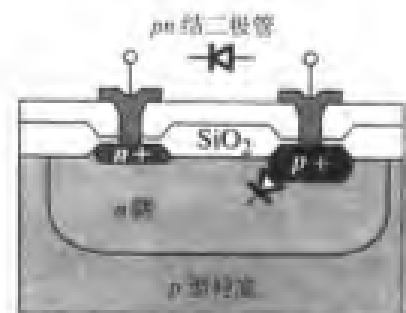


图 A.7 利用 n 阱工艺得到的 pn 结二极管

A.2.7 BiCMOS 工艺

在 n 阱 CMOS 工艺流程中增加一次 p 型基区扩散（见图 A.8）就可以在 n 阱中集成纵向 npm 双极型晶体管。晶体管的特性取决于基区宽度和发射区面积。基区宽度由 $n+$ 和基区 p 扩散的深度差决定，发射区的面积由发射区 $n+$ 扩散形成的结面积决定。 n 阱作为 npm 晶体管的集电极。 npm 晶体管的典型 β 值在 50 到 100 之间，截止频率高于 10 GHz。

一般情况下，晶体管中有一层用于降低集电极串联电阻的 $n+$ 掩埋层，因为 n 阱的电阻率非常高。引入 p 型外延层将增加工艺的复杂度（多一道掩膜流程）。双极型晶体管的其他一些变化包括采用多发射极的结构和基极自对准来减小寄生效应。

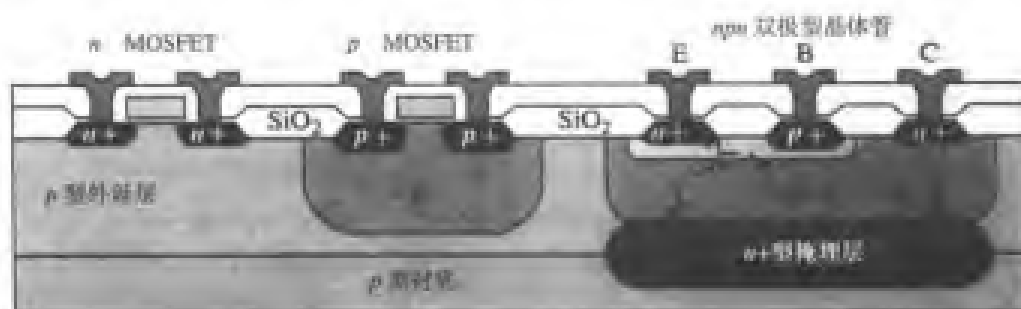
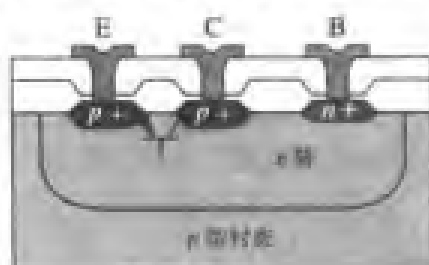


图 A.8 BiCMOS 工艺的剖面图

A.2.8 横向 pnp 晶体管

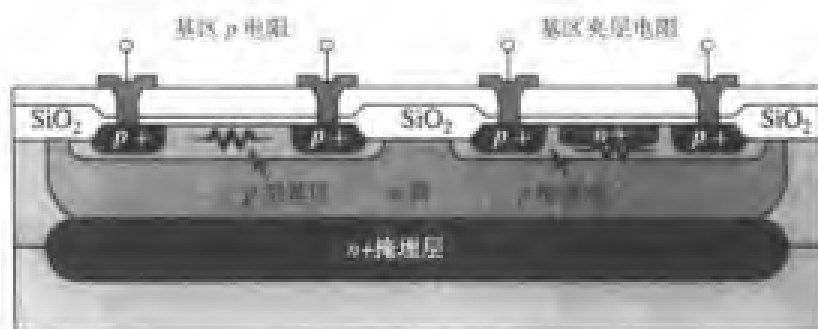
大多数 BiCMOS 工艺都不能获得性能较好的 pnp 晶体管, 这给电路设计在某种程度上带来了很大困难。但是, 对要求不高的电路, 寄生横向 pnp 晶体管还是可以用的 (见图 A.9)。

图 A.9 横向 pnp 晶体管

这时的 n 阱就成为 n 型基区, 其 $p+$ 扩散可得到发射区和集电区。基区宽度由两个分开的 $p+$ 扩散区确定。由于无法对集电结进行掺杂浓度分布曲线的最优化处理, 所以得到的晶体管性能比较差, β 的典型值在 10 左右, 截止频率也很低, 原因在于基区宽度受到最小光刻尺寸的限制。

A.2.9 基区 p 电阻和夹层电阻

在 BiCMOS 工艺中再增加一次基区 p 扩散流程便可得到另外两种结构的电阻。基区 p 扩散用于形成简单的基区 p 电阻, 如图 A.10 所示。由于基区的掺杂浓度相对较低, 结的深度值也适中, 所以得到的阻值也属中等 (几千欧)。如果要得到阻值很大的电阻, 需采用基区夹层电阻。它的结构是: p 型基区被 $n+$ 扩散物占据了一部分, 从而压缩了原来的导电通道。这样得到的电阻阻值一般在 $10\text{ k}\Omega$ 到 $100\text{ k}\Omega$ 之间。同我们前面讨论过扩散电阻一样, 这种电阻的容差特性和温度特性都比较差, 但是匹配性较好。

图 A.10 基区 p 电阻和基区 p 夹层电阻

A.2.10 硅锗 BiCMOS 工艺

随着无线应用的出现,人们对高性能、高速度的射频集成电路的需求在急速增加。但是由于材料本身物理特性的限制,以硅为主的集成工艺技术无法与昂贵的 III-V 复合技术(比如砷化镓)竞争。如果把锗(Ge)并入硅(Si)的晶面中且必须控制锗的总量(典型值不超过 15%摩尔),则这时的禁带宽度会发生变化。工程师们可以设定锗的浓度分布曲线,使禁带宽度从纯硅的区域向硅锗的区域逐渐下降。禁带宽度的下降使内建电场能够帮助载流子运动,因而提高了运行时的速度。硅锗双极型晶体管可以取得相当高的截止频率(比如,50~70 GHz),而且它的另外一个好处是硅锗工艺可以与现在的硅制造工艺兼容,从而保证芯片的性价比很高。

仅仅利用硅锗材料本身的特性还不够,双极型晶体管还在结构上做了一些修改以进一步降低寄生电容(对高速器件)的影响,提高注入效率(为了获得高增益)。对称的双极型器件的结构如图 A.11 所示。利用沟式隔离可以减小集电极位于 n 阱/ n^+ 掩埋层和 p 型衬底之间的边墙电容。发射结的尺寸和 p^+ 基区接触区域的大小由自对准流程确定,目的是为了减小集电结(米勒)电容。这种类型的晶体管也称为异质结双极型晶体管(HBT),这是因为发射结是由两种不同材料组成的,发射区是多晶硅,基区是硅锗。异质结的注入效率要比同质结器件(传统的 BJT 器件)好很多,加上基区宽度只有 50 nm 左右,器件的电流增益很容易就能达到 100。另外,图 A.11 中没有画出的多层金属层可用于进一步减小器件尺寸和内连接电阻。所有这些器件性能都是硅锗材料速度性能的必要补充。

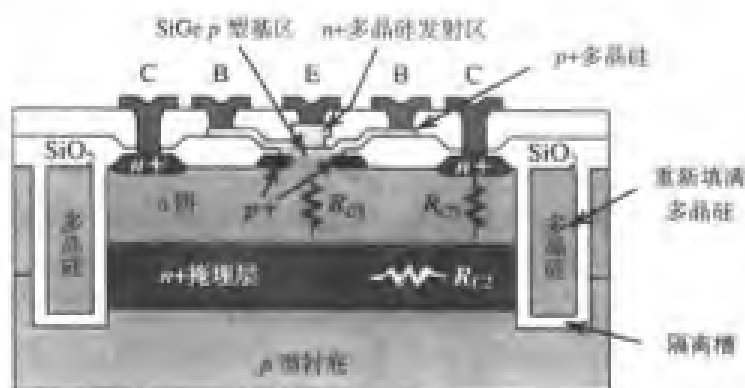


图 A.11 对称自对准异质结 npn 双极型晶体管剖面图

A.3 VLSI 版图

每一个设计好的电路图都必须转换成版图,即代表电路元器件和内部连接关系的几何尺寸图。当计算机辅助设计工具(CAD)出现以后,从电路图到版图转换的大多数步骤都以半自动或全自动方式实现。但是,任何一个好的混合信号 IC 设计者都必须有一点全定制版图的经验。我们用一个 CMOS 反相器版图来说明相应的转换步骤。

同印刷电路板需要减少交叉连线一样,电路首先要被平展和重画,以便消除所有交叉连线。每一个工艺步骤都由多个特定的掩膜层集合而成,在这个例子中,采用的是 7 层掩膜层。每一层都分配惟一的一种颜色并填充图形,从而可以在计算机屏幕和彩色打印图纸上加以识别和区分。我们以晶体管的放置作为开始。为便于说明(见图 A.12), p 型和 n 型 MOSFET 放置时的位置和电路图上的位置基本相似。实际上,电路设计者有很大的选择最有效面积的版图空间。MOSFET 的区域由有源区和“多晶硅 1”交叠层决定,MOS 管的沟道长度和宽度分别由“多晶硅 1”的条

形宽度和有源区的宽度确定。 p 沟道的 MOSFET 被包围在 n 阱中。对复杂电路会使用多个 n 阱来放置不同组的 p 沟道 MOSFET。 n 沟道 MOSFET 包含在 $n+$ 扩散掩膜层的里面, $n+$ 扩散形成源区和漏区, 而 p 沟道 MOSFET 被包含在 $p+$ 扩散掩膜层内。放置过孔的区域要求与金属层相连接。最后, 由“金属 1”层完成内部连接。

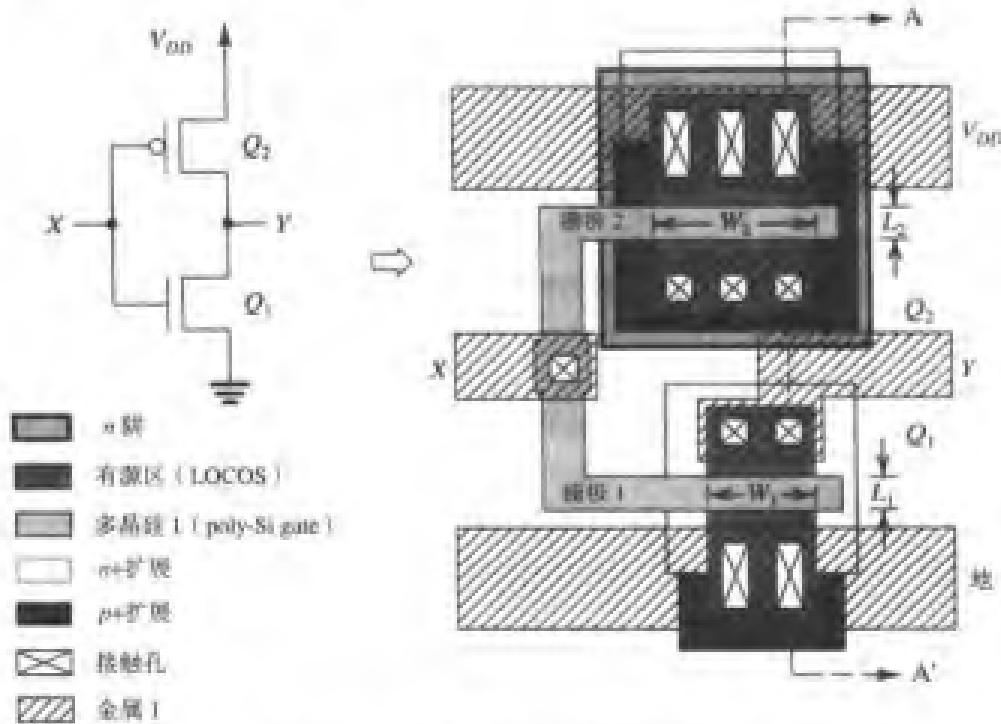


图 A.12 CMOS 反相器的电路图和版图

CMOS 反相器的相关横截面如图 A.13 所示, 这是沿着 AA' 平面看的图形。两个晶体管的多晶硅栅极连在一起, 成为输入端 X; 两个晶体管的漏极通过“金属 1”层连在一起, 成为输出端 Y。 n 沟道和 p 沟道 MOSFET 的源极分别接地 (GND) 和直流电源 V_{DD} 。注意, 相邻的 $n+$ 和 $p+$ 扩散区域采用邻接触方法, 这样可以把 n 沟道和 p 沟道 MOSFET 的衬底电位设定在合适的电平上。

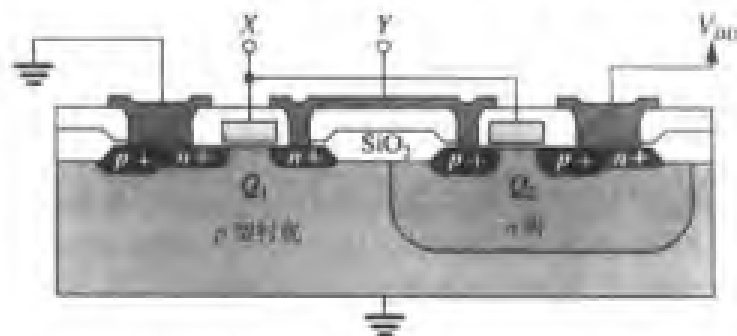


图 A.13 CMOS 反相器沿 AA' 平面看的剖面图

当版图完成以后, 电路必须采用合适的 CAD 工具进行验证, 包括电路提取、设计规则检查和电路仿真。一旦验证通过, 设计就被移交给掩膜制作设备完成下一步的制版工作。它是在玻璃或者石英照相底片上由图形生成器 (PG 机器) 一层接一层地画出几何图形, 并使用不同的照相底片。当这些底片显影后, 颜色较深的清楚的几何图形就出现在版图上了。图 A.14 给出的是 CMOS 反相器例子的一组照相底片。根据几何图形是作为窗口打开还是作为图形保留, 决定是用“正”

还是用“负”图像（也就是图中“亮”和“黑”的区域）来表示底片。注意，这些掩埋层在处理时要顺序进行，每一步都必须在严格的容差范围内进行校准以形成晶体管和内部连接。当然，掩膜层数越多，校准的难度就越大。处理多掩膜层要求有更好的光刻设备，这样芯片占用的空间才会越小。然而每增加一层掩膜，就会反映在 IC 芯片的价格上，最终导致价格的增加。

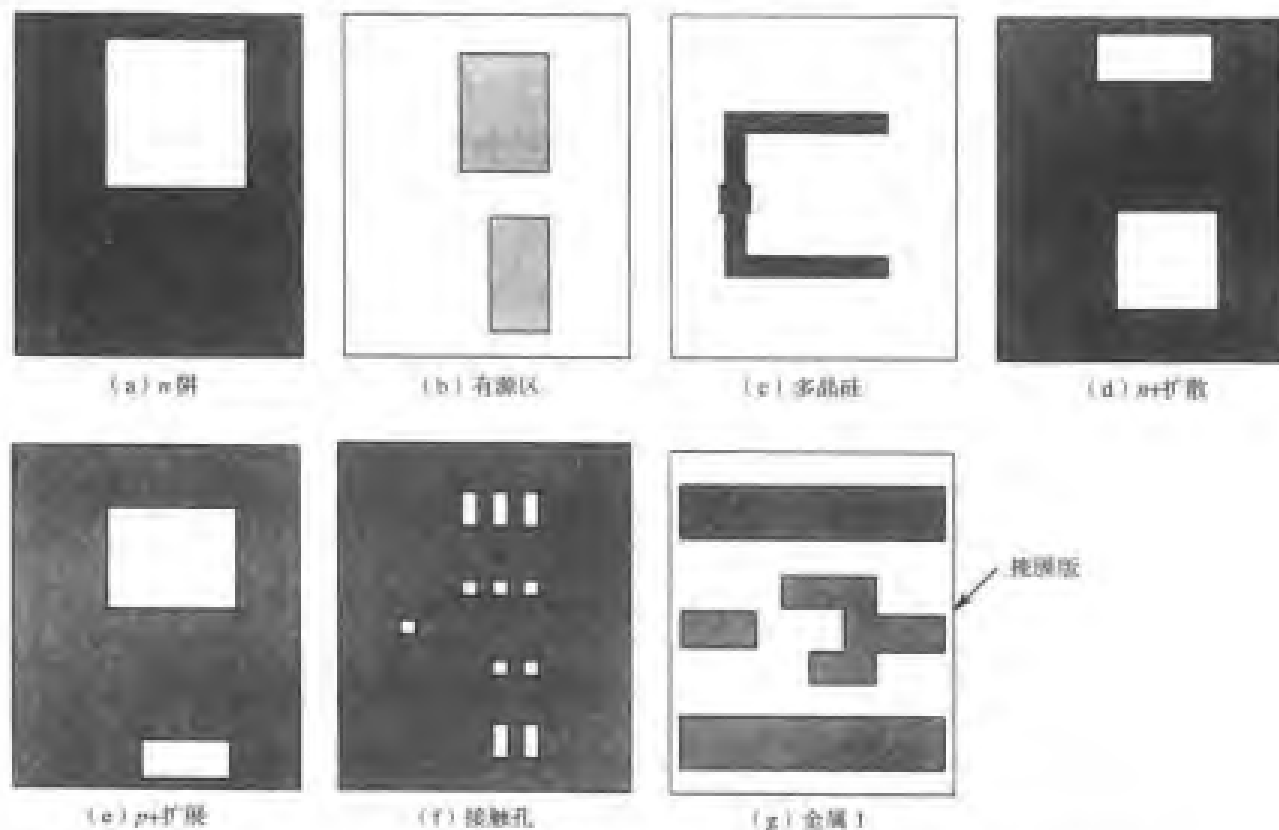


图 A.14 n 阱工艺 CMOS 反相器的一组光掩膜。注意，每一次都需要一个单独的底片：
(a)、(d)、(e) 和 (f) 的黑区域是掩膜；(b)、(c) 和 (g) 的亮区域是掩膜。

小结

- 本附录简要介绍了 VLSI 集成工艺流程的相关内容，包括元件的特性、工艺流程及版图。这些并不代表先进的 VLSI 工艺。感兴趣的读者可以查阅有关这一主题的书藉以了解更详细的内容。

附录 B 二端口网络参数

引言

本书的许多地方都用到了几种可能的表征线性二端口网络的参数。本附录是有关该主题的总结。

B.1 线性二端口网络的描述

二端口网络（见图 B.1）有四个端口变量： V_1 、 I_1 、 V_2 和 I_2 。如果二端口网络是线性的，我们可以用两个变量作为激励，另外两个变量作为响应。比如：将端口 1 的电压变量 V_1 和端口 2 的电压变量 V_2 作为激励，另外两个电流 I_1 和 I_2 则表示该网络的响应。这里， V_1 和 V_2 是自变量， I_1 和 I_2 是因变量，网络的工作特性可以用以下两个方程描述：

$$I_1 = y_{11}V_1 + y_{12}V_2 \quad (\text{B.1})$$

$$I_2 = y_{21}V_1 + y_{22}V_2 \quad (\text{B.2})$$

这里的四个参数 y_{11} 、 y_{12} 、 y_{21} 和 y_{22} 都是导纳，它们的值完全描述了线性二端口网络的特性。

根据四个端口变量中的两个自变量的性质，即可得到一组描述网络特性的网络端口特性方程（以及相应的一组不同的网络参数）。下面我们将给出在电路里经常用到的四组参数。

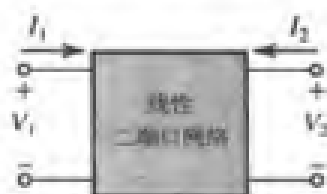


图 B.1 线性二端口网络的四个端口变量的参考方向

B.1.1 y 参数

短路导纳参数（或 y 参数）是把端口电压 V_1 和 V_2 作为网络激励信号而得到的，如图 B.2 (a) 所示。式 (B.1) 和式 (B.2) 是相应的描述方程。四个导纳参数是根据它们在式 (B.1) 和式 (B.2) 中的作用来定义的。

具体而言，从式 (B.1) 中我们知道参数 y_{11} 定义为

$$y_{11} = \left. \frac{I_1}{V_1} \right|_{V_2=0} \quad (\text{B.3})$$

即 y_{11} 是端口 2 短路时端口 1 的输入导纳，图 B.2 (b) 给出了定义的图解，同时也给出了测量输入短路导纳 y_{11} 的方法。

从式 (B.1) 我们可以得到 y_{12} 的定义如下：

$$y_{12} = \left. \frac{I_1}{V_2} \right|_{V_1=0} \quad (\text{B.4})$$

即 y_{12} 表示从端口 2 到端口 1 的传输特性。由于在放大器中, 端口 1 通常代表输入端, 端口 2 通常代表输出端, 因此参数 y_{12} 表示的是网络的内部反馈, 图 B.2 (c) 给出了 y_{12} 的定义和测量的图解。

从式 (B.2) 我们可以得到 y_{21} 的定义如下:

$$y_{21} = \left. \frac{I_2}{V_1} \right|_{V_2=0} \quad (\text{B.5})$$

即 y_{21} 表示从端口 1 到端口 2 的传输特性, 如果端口 1 是放大器的输入端, 端口 2 是放大器的输出端, 那么参数 y_{21} 其实提供了正向增益或者传输能力的测量方法, 图 B.2 (d) 所示就是参数 y_{21} 的定义和测量的图解。

根据式 (B.2), 我们最后可以定义参数 y_{22} :

$$y_{22} = \left. \frac{I_2}{V_2} \right|_{V_1=0} \quad (\text{B.6})$$

即 y_{22} 表示端口 1 短路时从端口 2 视入的导纳, 对放大器而言, y_{22} 是输出短路导纳。图 B.2 (e) 给出了 y_{22} 的定义和测量的图解。

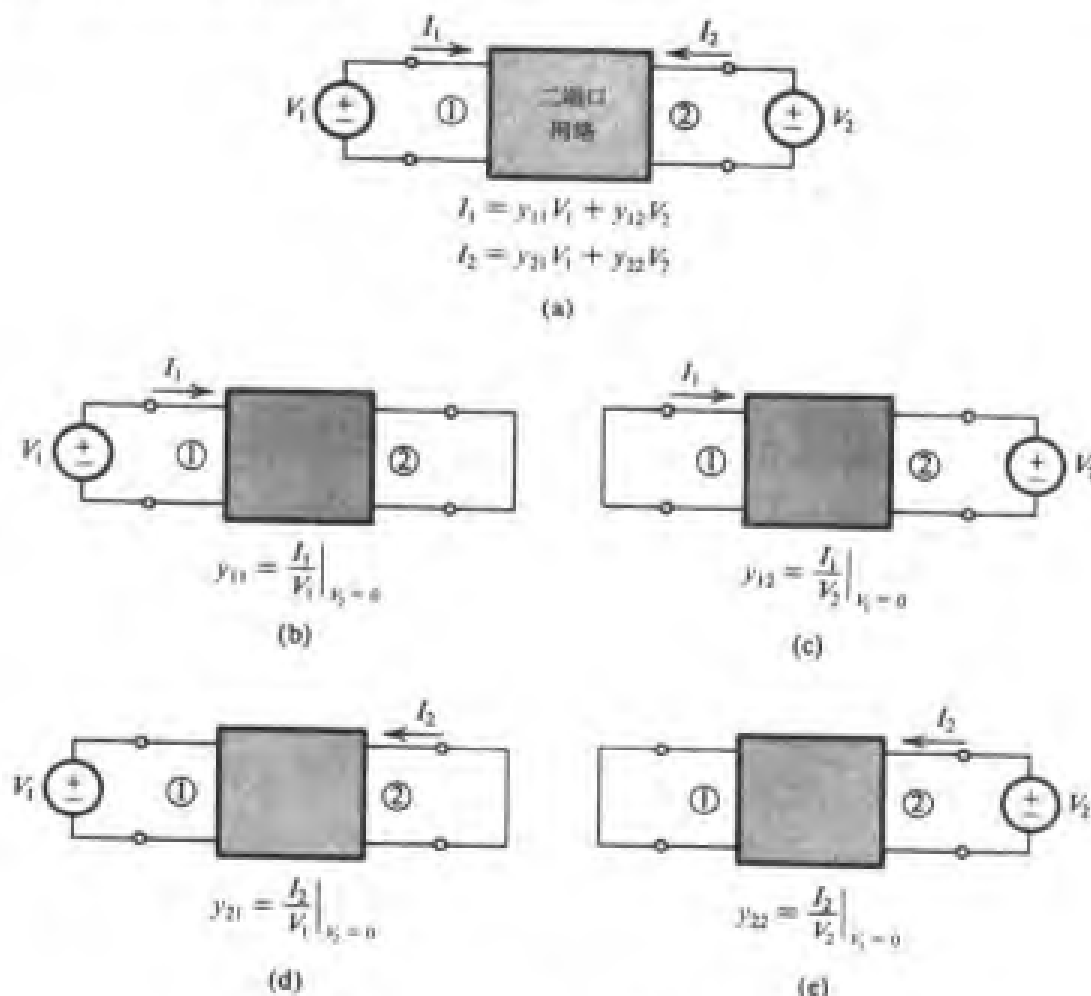


图 B.2 y 参数的定义和测量电原理图

B.1.2 z 参数

如果二端口网络的激励信号是电流 I_1 和 I_2 , 那么就可以用开路阻抗参数 (或 z 参数) 来描述网络特性, 如图 B.3 (a) 所示, 网络端口的特性方程为

$$V_1 = z_{11}I_1 + z_{12}I_2 \quad (\text{B.7})$$

$$V_2 = z_{21}I_1 + z_{22}I_2 \quad (\text{B.8})$$

根据 z 参数和 y 参数之间的对偶性质, 我们不对 z 参数给出详细的讨论, 有关四个 z 参数的定义和测量的图解参见图 B.3。

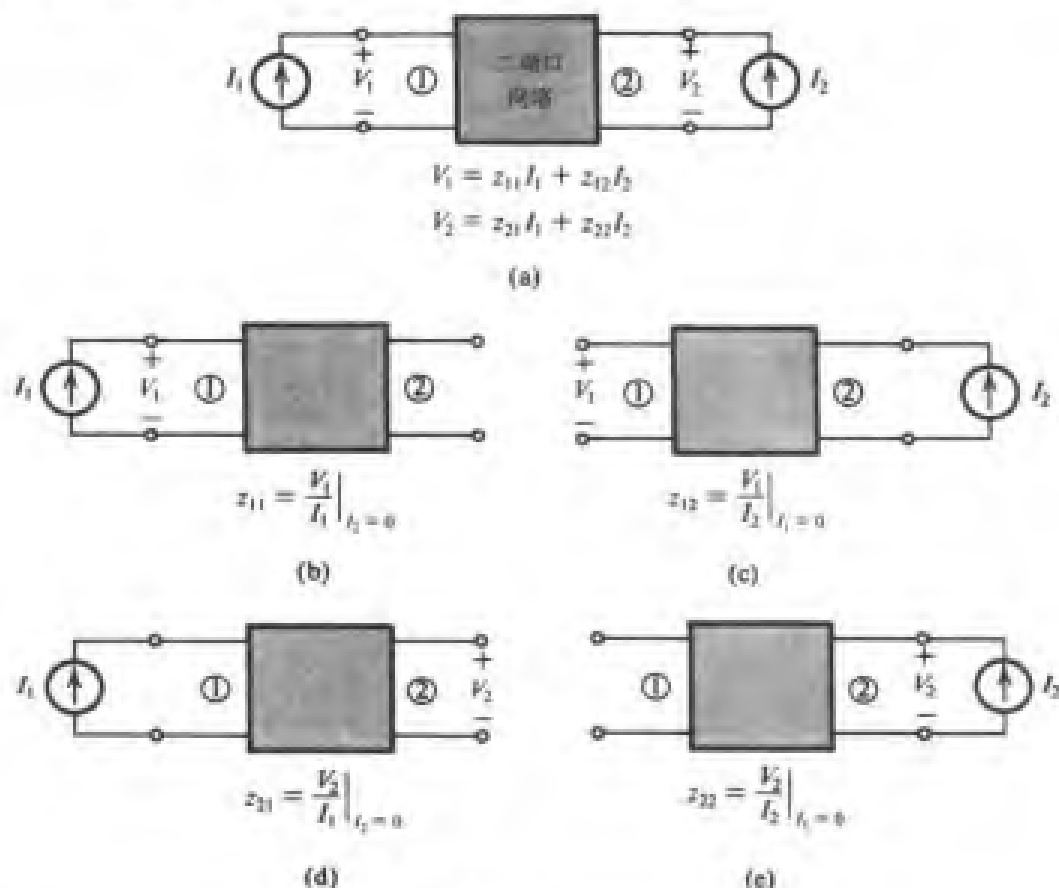


图 B.3 z 参数的定义和测量电原理图

B.1.3 h 参数

如果二端口网络的激励信号是电流 I_1 和电压 V_2 , 那么就可以用混合参数 (或者 h 参数) 来描述网络特性, 如图 B.4 (a) 所示 (注意用混合参数命名的原因)。网络端口特性方程为

$$V_1 = h_{11}I_1 + h_{12}V_2 \quad (\text{B.9})$$

$$I_2 = h_{21}I_1 + h_{22}V_2 \quad (\text{B.10})$$

从中可以得到 h 参数的定义如下:

$$h_{11} = \left. \frac{V_1}{I_1} \right|_{V_2=0} \quad h_{21} = \left. \frac{I_2}{I_1} \right|_{V_2=0}$$

$$h_{12} = \left. \frac{V_1}{V_2} \right|_{I_1=0} \quad h_{22} = \left. \frac{I_2}{V_2} \right|_{I_1=0}$$

即 h_{11} 是端口 2 短路时端口 1 的输入阻抗。参数 h_{12} 表示输入端口开路时的网络反向或者反馈电压传输系数，正向传输系数 h_{21} 表示输出端短路时的网络电流增益，所以 h_{21} 也称为短路电流增益。最后， h_{22} 表示输入端开路时的输出导纳。

图 B.4 所示的是 h 参数的定义和测量时的原理图。

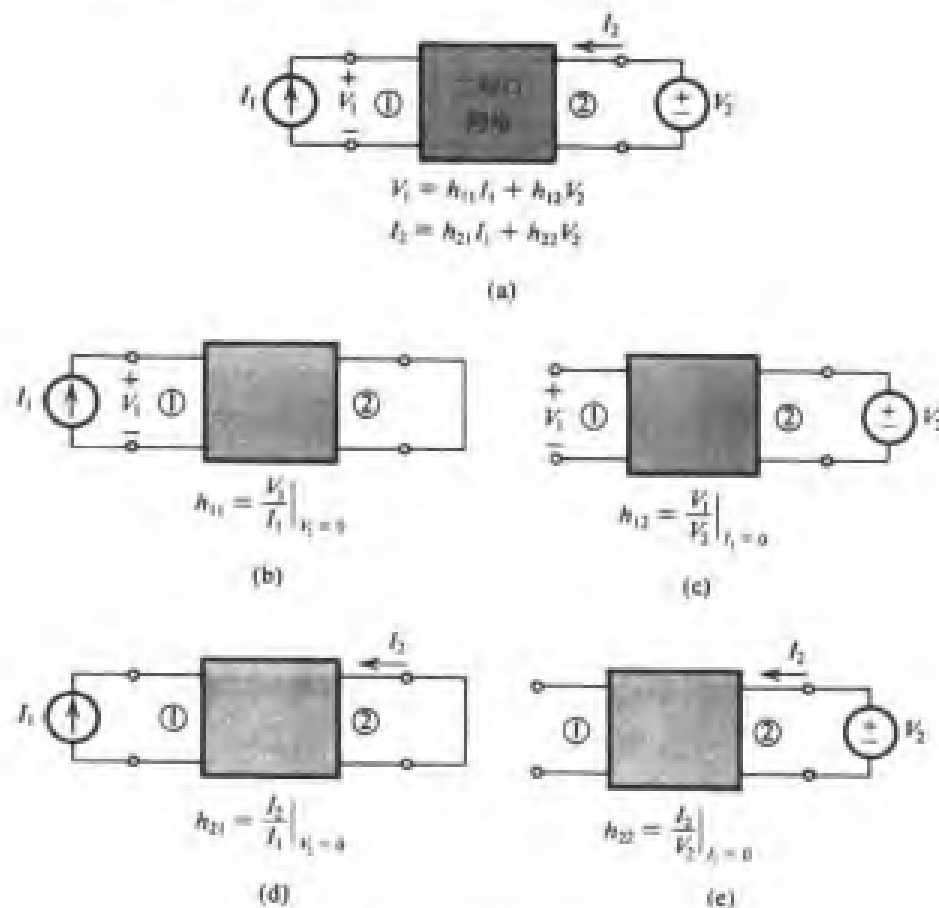


图 B.4 h 参数的定义和测量电原理图

B.1.4 g 参数

如果二端口网络的激励信号是电压 V_1 和电流 I_2 ，那么可以用反向混合参数（或 g 参数）来描述网络的特性，如图 B.5 (a) 所示。网络端口特性方程为

$$I_1 = g_{11}V_1 + g_{12}I_2 \quad (\text{B.11})$$

$$V_2 = g_{21}V_1 + g_{22}I_2 \quad (\text{B.12})$$

参数的定义和测量方法如图 B.5 所示。

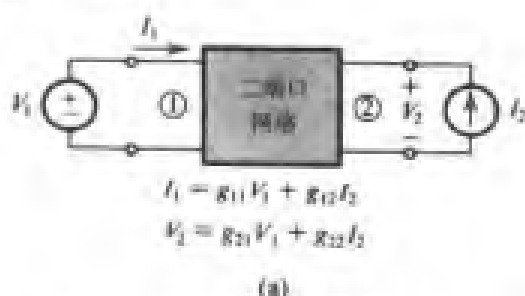
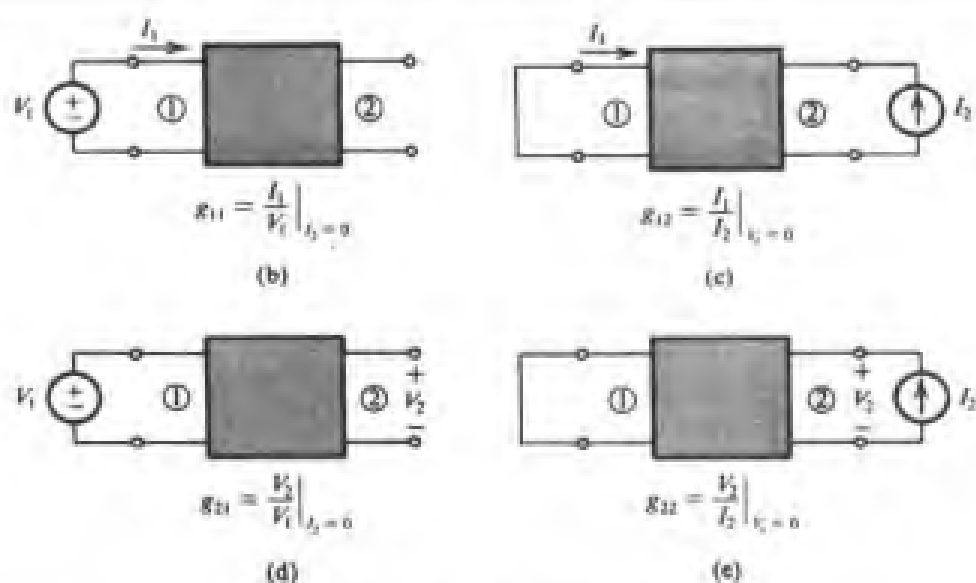


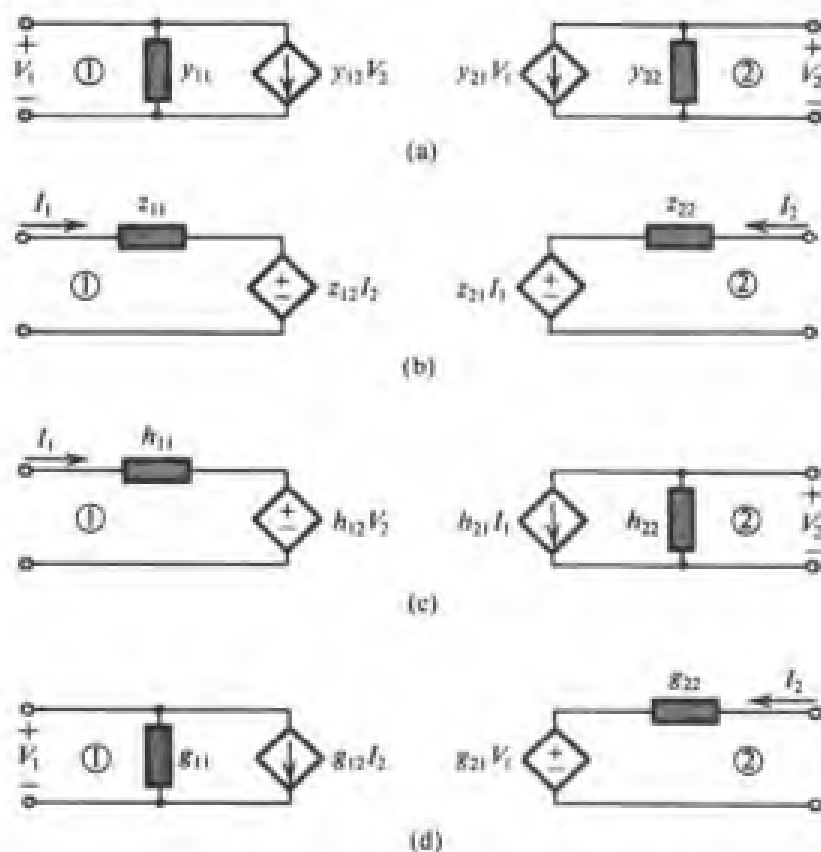
图 B.5 g 参数的定义和测量电原理图

图 B.5 (续) g 参数的定义和测量电原理图

B.1.5 等效电路表示

一个二端口网络根据所采用的网络端口特性方程可以用它的等效电路来表示。图 B.6 所示的是和前面讨论过的四组参数相对应的等效电路。每一个等效电路都是描述网络特性的两个方程的直接图解表示并对应于各自特定的参数。

最后需要指出的是此外还有另外的用于描述线性二端口网络的参数，但本书不会用到这些参数，所以也不在这里讨论。

图 B.6 二端口网络对应于四组参数的等效电路: (a) y 参数; (b) z 参数; (c) h 参数; (d) g 参数

练习 B.1 图 EB.1 所示的是晶体管的小信号等效电路模型, 计算 h 参数的值。

答案: $h_{11} = 2.6 \text{ k}\Omega$; $h_{12} = 2.5 \times 10^{-4}$; $h_{21} = 100$; $h_{22} = 2 \times 10^{-5} \text{ }\Omega$

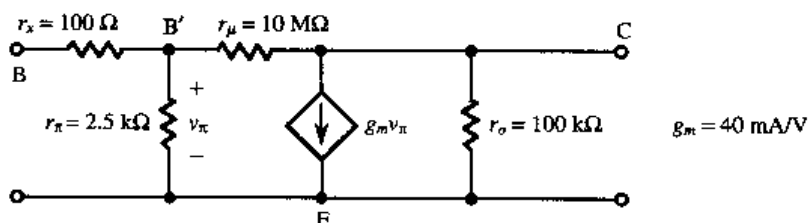


图 EB.1

习题

B.1 (a) 放大器采用的是图 B.6 (c) 所示的 h 参数等效电路模型, 电压源 V_s 是激励源, 信源内阻为 R_s , 负载电阻为 R_L 。证明电压增益具有如下的表达式:

$$\frac{V_2}{V_s} = \frac{-h_{21}}{(h_{11} + R_s)(h_{22} + 1/R_L) - h_{12}h_{21}}$$

(b) 利用 (a) 推导得到的表达式, 求练习 B.1 的晶体管电压增益, 其中电阻 $R_s = 1 \text{ k}\Omega$, $R_L = 10 \text{ k}\Omega$ 。

B.2 测量得到一个二端口网络的端口特性如下: 当输出端短路的时候, 测得输入电流是 0.01 mA , 输出电流是 1.0 mA , 输入电压是 26 mV ; 当输入端开路, 输出端加有 10 V 电压的时候, 测得的输出电流是 0.2 mA , 输入端的电压是 2.5 mV 。求网络的 h 参数值。

B.3 图 PB.3 所示的是晶体管的高频小信号等效电路 (为简单起见, 忽略电阻 r_x)。求 y 参数。

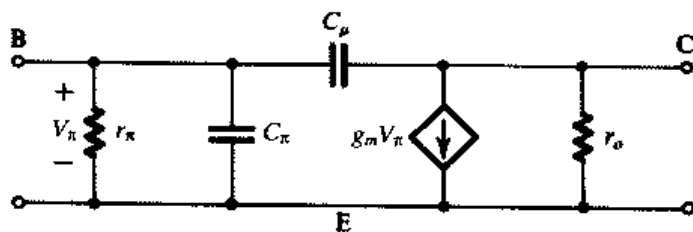


图 PB.3

附录 C 一些有用的网络定理

引言

本附录将回顾三个有用的网络定理，它们在简化电子电路的分析过程中非常有用。这三个定理是戴维南定理、诺顿定理和源吸收定理。

C.1 戴维南定理

戴维南定理用来把网络的一部分表示成一个电压源 V_1 和一个阻抗 Z_0 相串联的形式，如图 C.1 所示。图 C.1 (a) 所示的是把一个网络分成 A 和 B 两个部分。在图 C.1 (b) 中，网络的 A 部分已经进行了戴维南等效：电压源 V_1 和串联阻抗 Z_0 。图 C.1 (c) 给出的是如何确定 V_1 的图解：即将网络 A 部分的两个端点开路，测量（或计算）两端点之间的电压。为了确定 Z_0 ，我们把网络 A 的所有外电路的激励源（即独立源）置零，即电压源短路，电流源开路，阻抗 Z_0 就是从网络 A 输入端视入的输入阻抗，如图 C.1 (d) 所示。

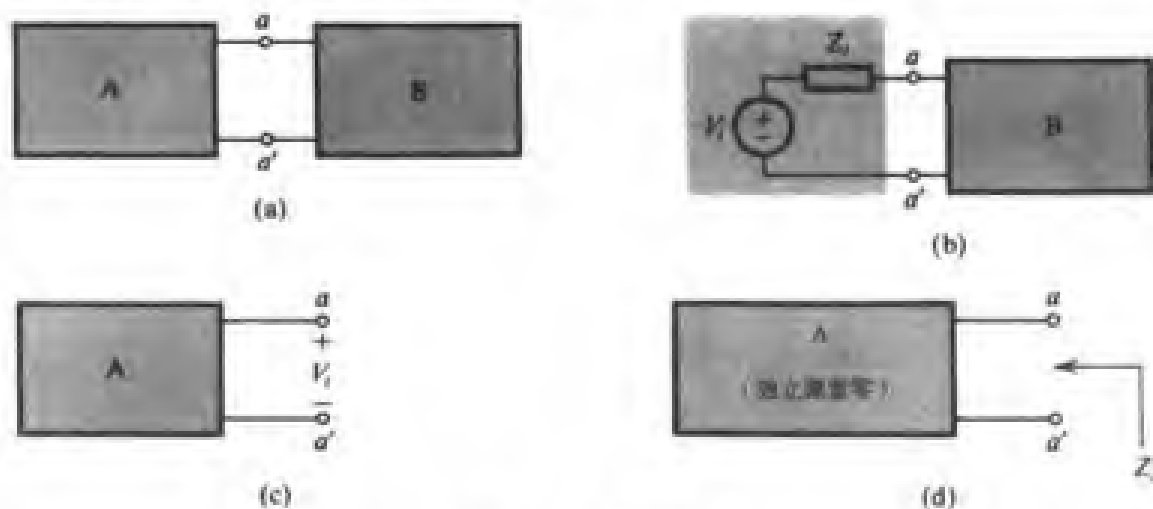


图 C.1 戴维南定理

C.2 诺顿定理

诺顿定理和戴维南定理具有对偶性。它采用电流源 I_n 和并联阻抗 Z_n 产生等效网络，如图 C.2 所示。图 C.2 (a) 所示的是把网络分成 A 和 B 两部分。图 C.2 (b) 中对 A 部分进行了诺顿等效：电流源 I_n 和并联阻抗 Z_n 。电流源 I_n 可以按照图 C.2 (c) 所示的方法测量（或计算）得到，即将网络（网络 A）的输出端短路，得到的电流就是网络的短路输出电流——等于 I_n 。确定阻抗 Z_n 的方法是首先把网络的所有外电路的激励源置零：即独立电压源短路，独立电流源开路，然后求网络 A 的输入阻抗， Z_n 就等于输入阻抗。可见，诺顿并联阻抗 Z_n 等于戴维南串联阻抗 Z_0 。所以， $I_n = V_1/Z_0$ ，其中 $Z = Z_n = Z_0$ 。

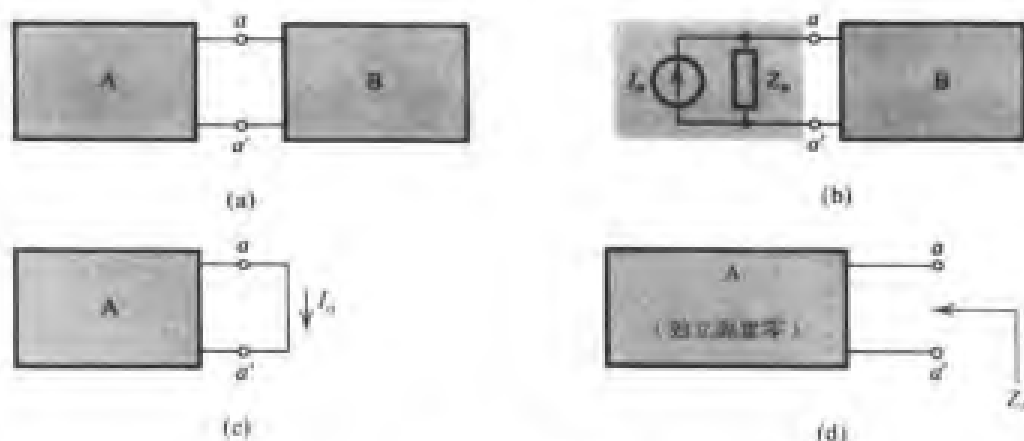


图 C.2 诺顿定理

例题 C.1 图 C.3 (a) 所示的是双极型晶体管电路。晶体管的三个电极分别用 E (发射极)、B (基极) 和 C (集电极) 表示。如图所示, 晶体管的基极通过电阻 R_1 和 R_2 组成的分压回路与直流电源 V^* 相连, 集电极通过电阻 R_3 与电源 V^* 相连, 通过电阻 R_4 与地相连。为了简化电路分析, 我们希望采用戴维南等效简化电路。

解: 在基极一侧对电阻 R_1 、 R_2 和电源 V^* 进行戴维南等效, 得到直流电压源 V_{BB} :

$$V_{BB} = V^* \frac{R_2}{R_1 + R_2}$$

及电阻 R_B :

$$R_B = R_1 // R_2$$

其中, $//$ 表示电阻之间的并联关系。在集电极一侧, 对电阻 R_3 、 R_4 和电源 V^* 进行戴维南等效, 得到直流电源 V_{CC} :

$$V_{CC} = V^* \frac{R_4}{R_3 + R_4}$$

及电阻 R_C :

$$R_C = R_3 // R_4$$

等效后的电路如图 C.3 (b) 所示。

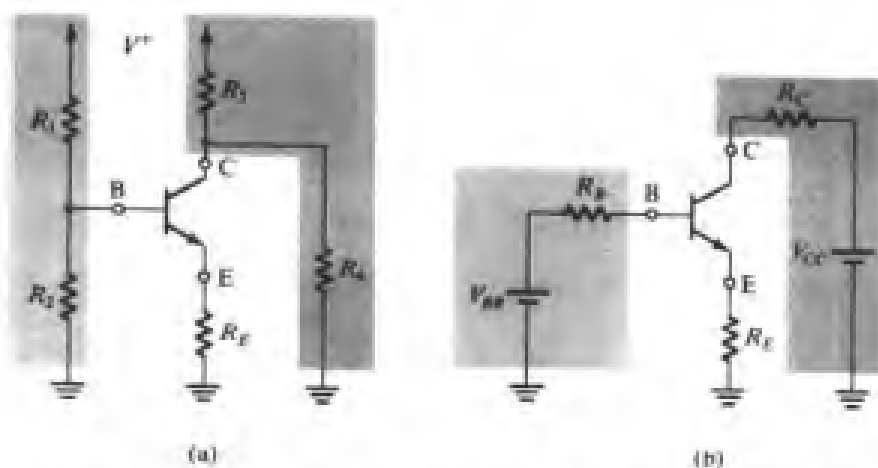


图 C.3 用戴维南等效简化 (a) 电路可得到电路 (b) (参见例题 C.1)

C.3 源吸收定理

考虑图 C.4 所示的情况。在网络分析过程中, 我们发现如果位于两个节点之间的受控电流源 I_s 的电压差正好就是受控电流源的控制变量 V_s , 比如 $I_s = g_m V_s$, 其中 g_m 是跨导, 那么我们可以用一个阻抗 $Z_s = V_s / I_s = 1/g_m$ 来代替受控电流源, 如图 C.4 所示。原因是该阻抗上流过的电流等于被取代的受控电流源的电流。

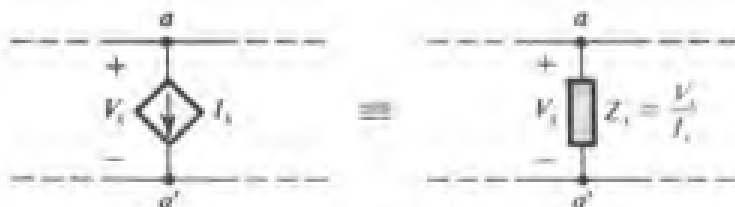


图 C.4 源吸收定理

例题 C.2 图 C.5 (a) 所示是晶体管的小信号等效电路模型。求从发射极 E 视入的电阻 R_{in} (即发射极和地之间的电阻), 基极和集电极均接地。

解: 从图 C.5 (a) 中看到, 电压 v_e 等于 $-v_{be}$, 因此从 E 和地之间视入的电阻 r_e 就与电流源相并联, 该电流源从节点 E 获得 $g_m v_{be}$ 的电流, 所以电流源是可以被一个电阻取代的, 电阻的阻值等于 $1/g_m$, 输入电阻 R_{in} 为:

$$R_{in} = r_e \parallel (1/g_m)$$

如图 C.5 (b) 给出的图解。

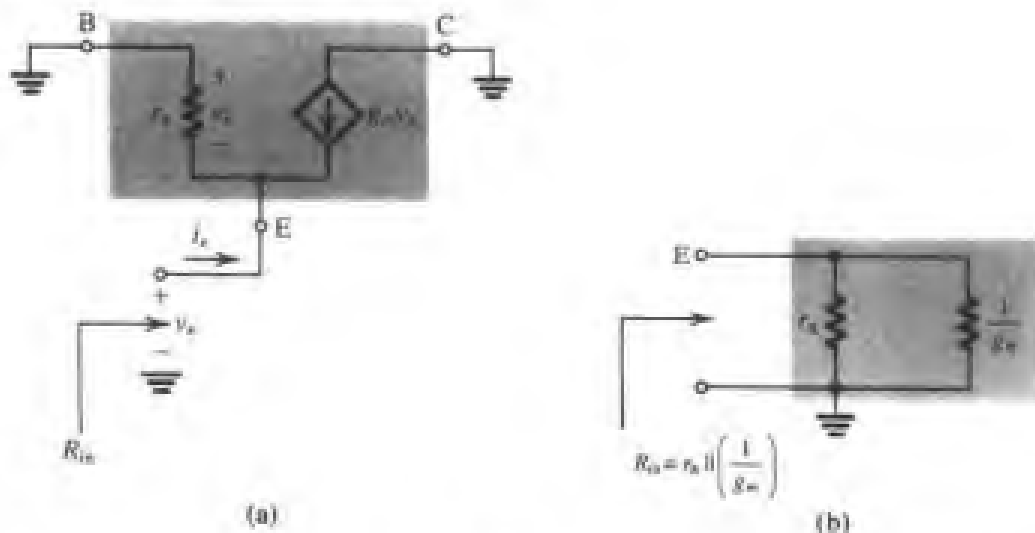


图 C.5 例题 C.2 的电路

练习 C.1 测得一个信号源有 10 V 的开路电压, 能够提供 1 mA 的短路电流, 计算戴维南和诺顿等效后的源参数。

答案: $V_s = 10 \text{ V}$; $Z_s = Z_n = 10 \text{ k}\Omega$; $I_n = 1 \text{ mA}$

练习 C.2 在图 EC.2 所示的电路中, 二极管的管压降 $V_D = 0.7 \text{ V}$, 采用戴维南定理简化该电路并计算二极管电流 I_D 。

答案: 1 mA

练习 C.3 含有二端器件 M 的电路如图 EC.3 所示, 电流 $I_M = 1 \text{ mA}$ 和电压 V_M 无关, 利用戴维南定理简化电路并计算电压 V_M 。

答案: 5 V

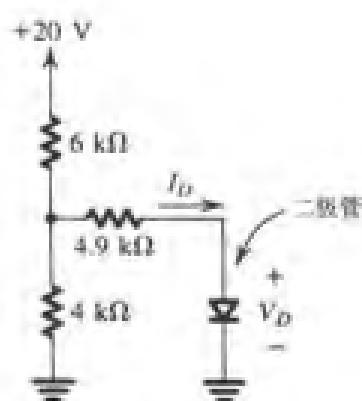


图 EC.2

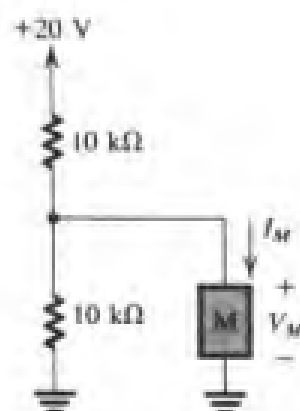


图 EC.3

习题

- C.1 考虑 V_s 和 Z_s 表示的戴维南等效。求开路电压 V_{oc} 和短路电流 (比如端点短接时流过的电流) I_{sc} , 用 V_{oc} 和 I_{sc} 表示 Z_s 。
- C.2 对 I_n 和 Z_n 表示的诺顿等效重复习题 C.1。
- C.3 分压回路由接 +10 V 电源的 9 kΩ 电阻和接地的 1 kΩ 电阻组成。求该电路的戴维南等效形式。当负载电阻是 1 kΩ 的时候, 用两种方法计算输出电压: 直接计算和戴维南等效计算。
- C.4 求图 PC.4 所示电路的输出电压和输出电阻, 建议连续使用戴维南等效。

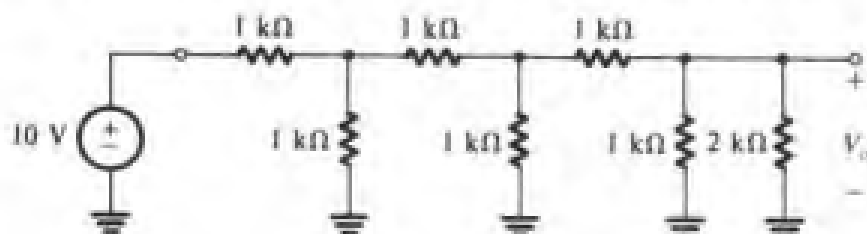


图 PC.4

- C.5 重复例题 C.2 的内容。电路在节点 B 和地之间接入了电阻 R_o (不同于图 C.5 中基极 B 直接接地)。
- C.6 图 PC.6 (a) 所示是 p 沟道结型场效应管 (JFET) 的电路符号。它有三个电极, 当栅极 G 和源极 S 短接后, 就得到了如图 PC.6 (b) 所示的二端器件, 它的 $i-v$ 特性关系由下式表示:

$$i = I_{DSS} \left[2 \frac{v}{V_p} - \left(\frac{v}{V_p} \right)^2 \right] \quad \text{若 } v \leq V_p$$

$$i = I_{DSS} \quad \text{若 } v \geq V_p$$

其中, I_{DSS} 和 V_p 对本题而言是正的。现在考虑图 PC.6 (c) 所示的电路, 设 $V_p = 2 \text{ V}$, $I_{DSS} = 2 \text{ mA}$ 。当 $V' = 10 \text{ V}$ 的时候, 证明 JFET 工作在恒流模式下并求两端的电压。如果要维持该工作模式, 问电压 V' 的最小值是多少? 当 $V' = 2 \text{ V}$ 时, 求 I 和 V 的值。

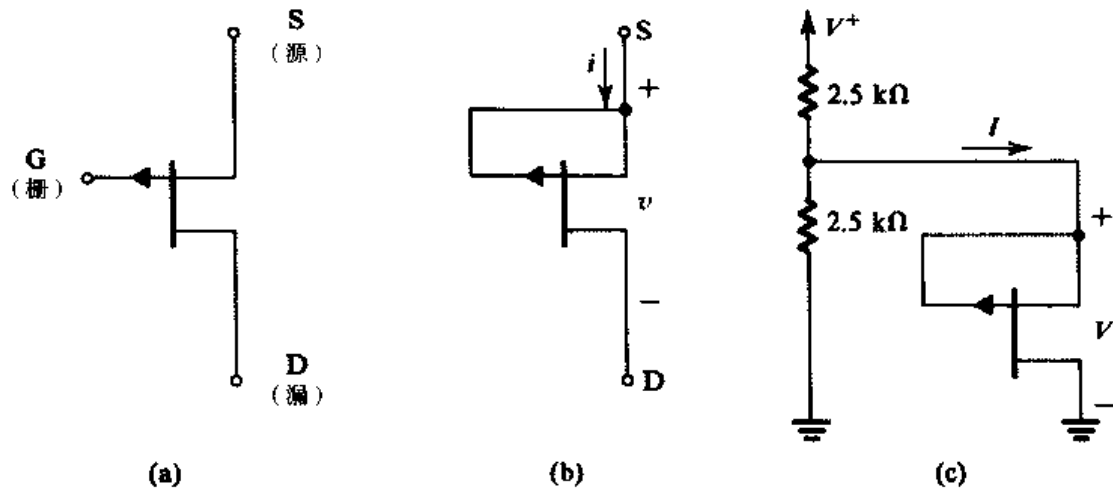


图 PC.6

附录 D 单时间常数电路

引言

单时间常数 (STC) 电路是指那些含有一个或者能够减少到只有一个电抗元件 (电感和电容) 和一个电阻的电路。STC 电路若是由电感 L 和电阻 R 构成的, 那么时间常数 $\tau = L/R$; 若是由电容 C 和电阻 R 构成的, 时间常数 $\tau = CR$ 。

虽然 STC 电路相当简单, 但是它们在线性电路和数字电路的分析和设计中都起着很重要的作用。比如, 放大器电路的分析最终都会简化到对一个或多个 STC 电路的分析, 为此我们在本附录中将复习 STC 电路在正弦信号输入和其他一些输入信号 (比如阶跃和脉冲信号) 作用下的频率响应的计算过程。后一种输入信号在放大器电路中应用不多, 但是在开关电路 (包括数字电路) 中却非常重要。

D.1 计算时间常数

分析 STC 电路的第一步是计算时间常数 τ 。

例题 D.1 将图 D.1 (a) 所示电路简化为 STC 电路并计算时间常数。

解: 电路的简化过程如图 D.1 所示, 需要重复使用戴维南定理。从最后的电路图 [即图 D.1 (c)] 中, 我们可以得到时间常数为

$$\tau = C\{R_4 // [R_3 + (R_1 // R_2)]\}$$

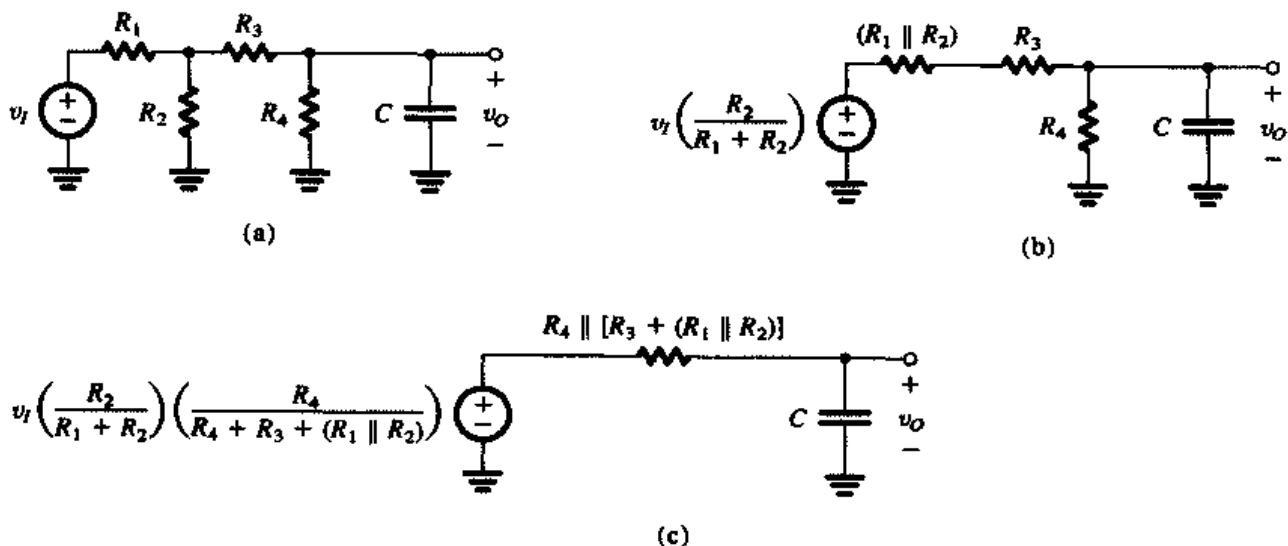


图 D.1 连续使用戴维南定理将 (a) 所示的电路简化为 (c) 所示的 STC 电路

D.1.1 时间常数 τ 的快速算法

很多情况下, 我们需要能够快速得到 STC 电路的时间常数 τ 。一种简单的方法是首先令激

励源等于零, 即电压激励源短路, 电流激励源开路, 然后当电路只有一个电抗元件和一些电阻的时候, 求从电抗 (电感或电容) 的两个端点之间视入的等效电阻 R_{eq} , 则时间常数就等于 L/R_{eq} 或者 CR_{eq} 。作为例子, 我们求图 D.1 (a) 所示电路从电容 C 两端视入的等效电阻, 它等于电阻 R_4 并联两个电阻的串联等效值, 这两个串联电阻是 R_3 与电阻 R_1 和 R_2 并联的等效值。即

$$R_{eq} = R_4 // [R_3 + (R_2 // R_1)]$$

所以时间常数为 CR_{eq} 。

有些情况下电路只存在一个电阻, 但是有多个电感或电容。这时应把上述方法颠倒一下, 从而简单地计算时间常数。即求从电阻两端视入的等效电感或者电容, 时间常数等于 $C_{eq}R$ 或者 L_{eq}/R 。例题 D.2 就是这样的一个例子。

例题 D.2 求图 D.2 所示电路的时间常数。

解: 令外加激励源等于零, 即把电压源短路, 则从电阻 R 两端视入的等效电容为 $C_1 + C_2$, 因此时间常数 τ 为

$$\tau = (C_1 + C_2)R$$

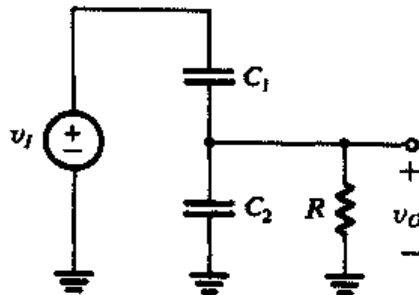


图 D.2 例题 D.2 的电路

最后一种情况是电路含有一个以上的电阻和一个以上的电容 (或者一个以上的电感), 这时我们需要做一些工作来简化电路, 见例题 D.3。

例题 D.3 证明可以采用 STC 电路时间常数的分析方法求图 D.3 (a) 所示电路的响应。

解: 解题的步骤如图 D.3 所示。图 D.3 (b) 告诉我们电路被两个相同的电压源激励。读者需要自己证明图 D.3 (a) 所示电路和图 D.3 (b) 所示电路是等效的, 图 D.3 (b) 所示电路用到的方法非常有用。

对 XX' 左边与右边的电路应用戴维南定理, 得到图 D.3 (c) 所示的电路。由于这是一个线性电路, 因此满足叠加性原理。具体而言, 输出电压 v_o 等于两个电压 v_{o1} 和 v_{o2} 的和。第一个分量 v_{o1} 是当右边的源等于零时只由左边的源激励产生的输出。从图 D.3 (d) 可以计算输出电压 v_{o1} 。它是 STC 电路, 时间常数为

$$\tau = (C_1 + C_2)(R_1 // R_2)$$

同样, 我们可以求出左边激励等于零时在右边激励作用下的第二个分量 v_{o2} , 具体计算可以从图 D.3 (e) 所示的电路求得, 这是时间常数仍然为 τ 的 STC 电路。

最后需要指出的是, 因为是 STC 电路, 因此也可以在图 D.3 (a) 所示的电路中令独立源 v_i 为零, 从而很快求得时间常数。

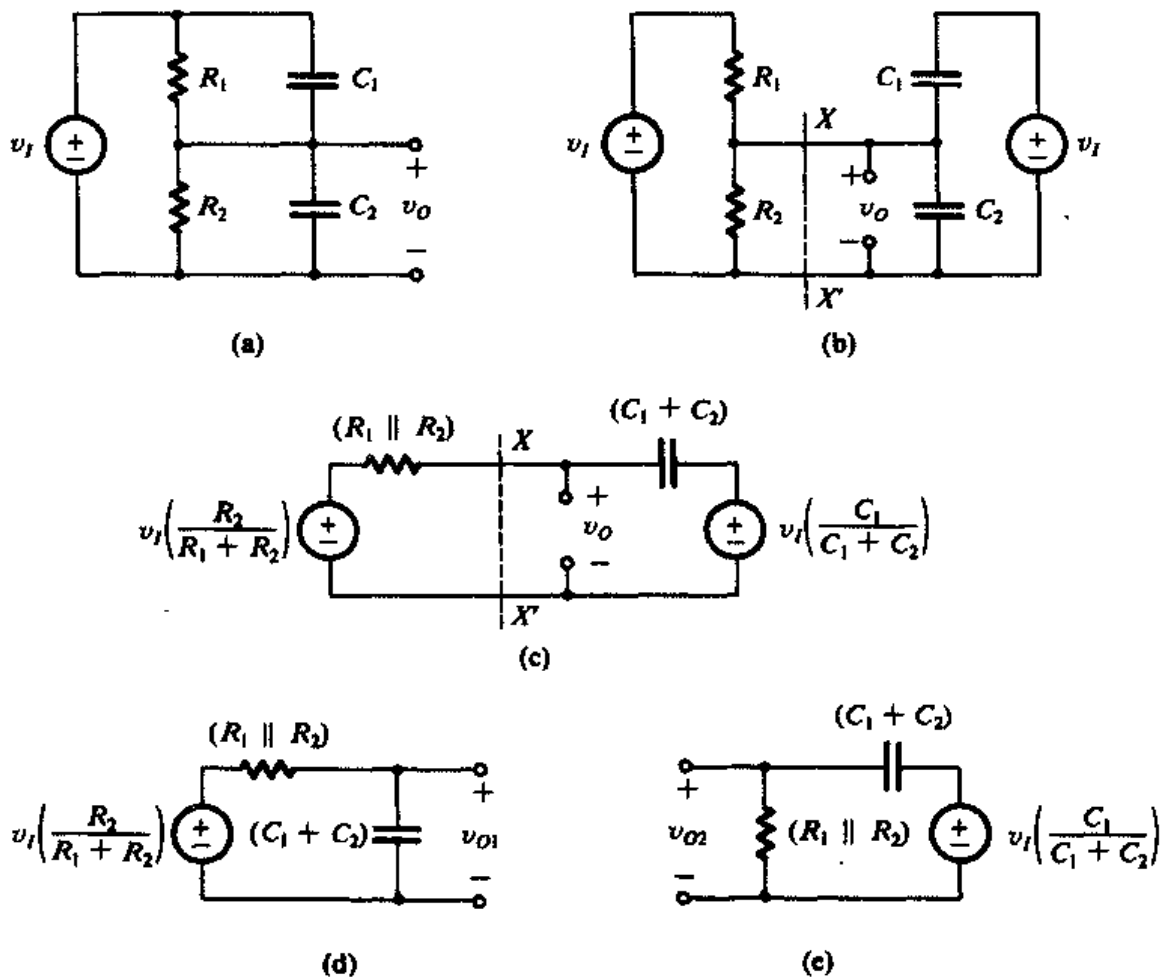


图 D.3 采用叠加原理求解电路 (a) 的频率响应, 即将电路 (d) 和 (e) 的频率响应相加

D.2 STC 电路的分类

STC 电路可以分成两类: 低通 (LP) 和高通 (HP), 这两种类型的电路呈现出截然不同的信号响应。有一些方法可以识别 STC 电路是低通还是高通。最简单的是采用频域响应。具体而言, 低通电路能够通过直流信号 (频率等于零), 对高频信号衰减, 则存在 $\omega = \infty$ 的传输零点, 这样可以在 $\omega = 0$ 或者 $\omega = \infty$ 处测量电路的类型。在 $\omega = 0$ 时, 电容被开路 ($1/j\omega C = \infty$), 电感被短路 ($j\omega L = 0$), 如果输出等于零, 那么电路是高通类型的, 当输出无限时, 电路是低通类型的。反过来, 也可以在 $\omega = \infty$ 的地方测试电路, 即电容短路 ($1/j\omega C = 0$), 电感开路 ($j\omega L = \infty$)。如果电路的输出是无限的, 则电路属于 HP 类型; 如果输出等于零, 则电路属于 LP 类型。表 D.1 给出了上述结论的总结。

表 D.1 确定 STC 电路类型的规则

测试点	替换	电路为 LP 类型的条件	电路为 HP 类型的条件
$\omega = 0$	C 开路 L 短路	输出为无限	输出为零
$\omega = \infty$	C 短路 L 开路	输出为零	输出为无限

图 D.4 是一个低通 STC 电路的例子, 图 D.5 是一个高通 STC 电路的例子。每一个电路都标明了输入和输出变量。注意, 所给的电路可以成为其他类型的电路, 这取决于输入和输出变量。读者可以根据表 D.1 的规则, 证明图 D.4 和图 D.5 的电路分类是正确的。

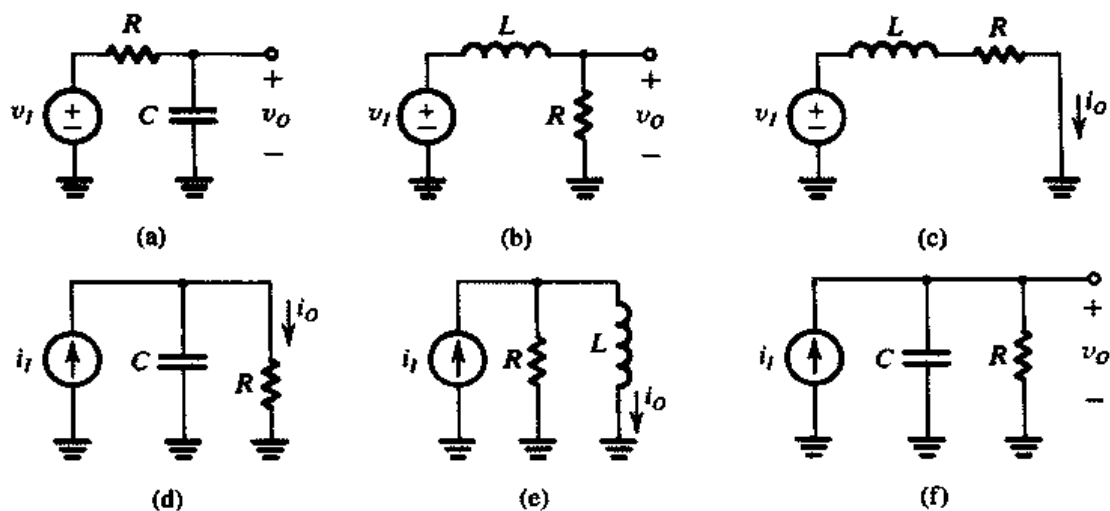


图 D.4 低通类型的 STC 电路

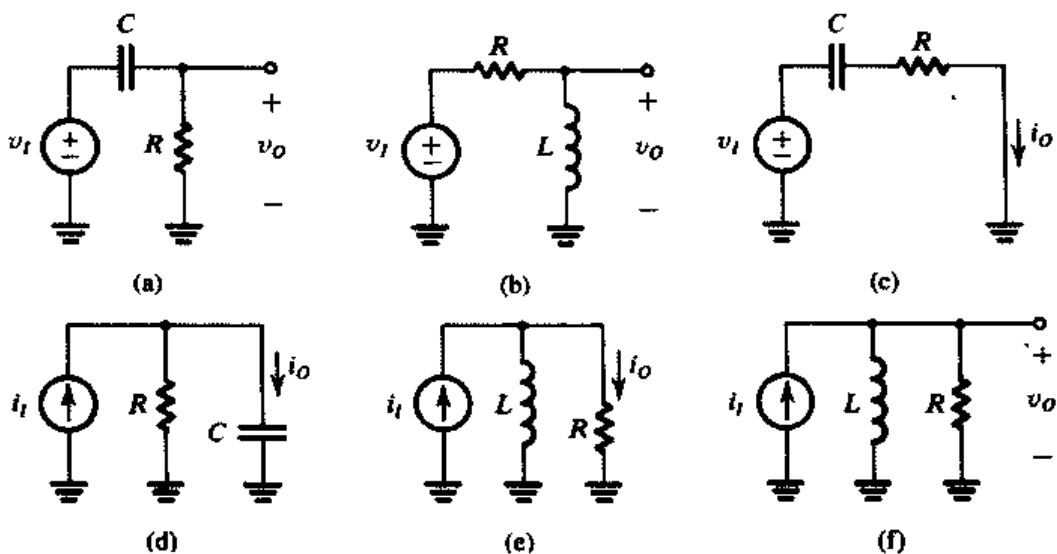


图 D.5 高通类型的 STC 电路

练习 D.1 求图 ED.1 所示电路的时间常数。

答案: (a) $\frac{(L_1 // L_2)}{R}$; (b) $\frac{(L_1 // L_2)}{(R_1 // R_2)}$

练习 D.2 对以下电路进行 STC 高通和低通电路的分类: 图 D.4 (a) 所示的输出电流 i_o 从电容 C 流到地; 图 D.4 (b) 所示的输出电流 i_o 从电阻 R 流到地; 图 D.4 (d) 所示的输出电流 i_o 从电容 C 流到地; 图 D.4 (e) 所示的输出电流 i_o 从电阻 R 流到地; 图 D.5 (b) 所示的输出电流 i_o 从电感 L 流到地; 图 D.5 (d) 所示的输出电压 v_o 取在电容 C 上。

答案: HP; LP; HP; HP; LP; LP

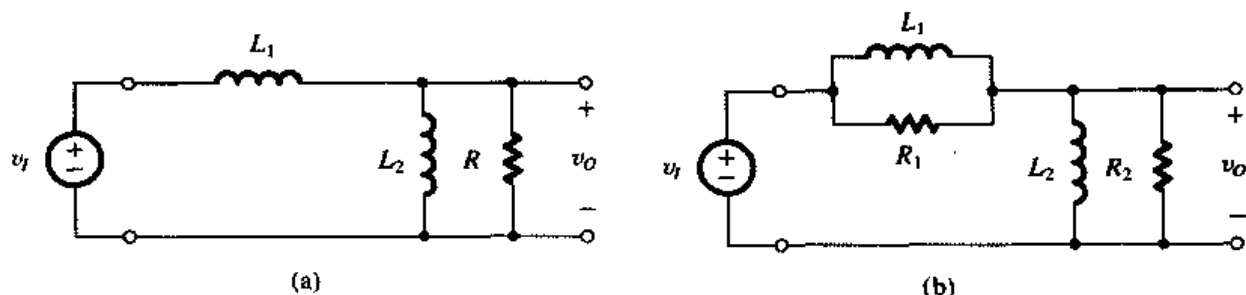


图 ED.1

D.3 STC 电路的频率响应

D.3.1 低通电路

STC 低通电路的传输函数 $T(s)$ 通常可以写成如下的形式:

$$T(s) = \frac{K}{1 + (s/\omega_0)} \quad (\text{D.1})$$

对物理频率, $s = j\omega$, 上式变为

$$T(j\omega) = \frac{K}{1 + j(\omega/\omega_0)} \quad (\text{D.2})$$

其中, K 是传输函数在 $\omega = 0$ (直流) 的幅度, ω_0 定义为

$$\omega_0 = 1/\tau$$

其中的 τ 就是时间常数。幅频响应可以写成

$$|T(j\omega)| = \frac{K}{\sqrt{1 + (\omega/\omega_0)^2}} \quad (\text{D.3})$$

相频响应为

$$\phi(\omega) = -\tan^{-1}(\omega/\omega_0) \quad (\text{D.4})$$

图 D.6 画出了 STC 低通电路的幅频和相频特性曲线。图 D.6 (a) 所示的幅频响应曲线是根据式 (D.3) 得到的。幅度对直流增益 K 归一化并用分贝 (dB) 表示, 即图中所示的曲线是 $20 \log |T(j\omega)/K|$, 频率轴以对数为坐标。此外, 频率变量对 ω_0 归一化。如图所示, 幅频特性曲线几乎由两条直线近似。低频部分的逼近是幅度为 0 dB 的水平线, 为得到高频时渐近线的斜率, 可以在式 (D.3) 中令 $\omega/\omega_0 \gg 1$, 得到

$$|T(j\omega)| \approx K \frac{\omega_0}{\omega}$$

上式表明 ω 增加一倍, 幅度减小一半。在对数频率坐标上, ω 加倍的点代表频率间距相等的点, 两点之间的距离称为二倍频程。幅度减半对应的分贝数正好是 -6 dB, 所以高频渐近线的斜率为 -6 dB/二倍频程, 它也等同于 -20 dB/十倍频程, 其中“十倍频程”指的是频率增加十倍。

幅频响应的两条直线渐近线的交点所对应的频率 ω_0 称为“角频率”或者“截止频率”。实际的幅频响应与渐近的幅频响应在截止频率点上的误差最大, 等于 3 dB。为了证明这一点, 我们将 $\omega = \omega_0$ 代入式 (D.3), 得到

$$|T(j\omega_0)| = K/\sqrt{2}$$

即在 $\omega = \omega_0$ 上的增益值和直流增益值相比下降的因子是 $\sqrt{2}$ ，用分贝表示是下降 3 dB。角频率 ω_0 也称为 3 dB 频率。

与幅频响应相似，图 D.6 (b) 给出的相频特性曲线同样可以用直线来逼近原来的曲线。注意，在角频率上，相移值等于 -45° ，当 $\omega \gg \omega_0$ 时，相移接近于 -90° ，在 $0.1\omega_0$ 和 $10\omega_0$ 之间的相频特性曲线可以用斜率为 -45° /十倍频程的直线来近似表示，但是实际响应与近似响应之间存在误差，误差的最大值为 5.7° 。

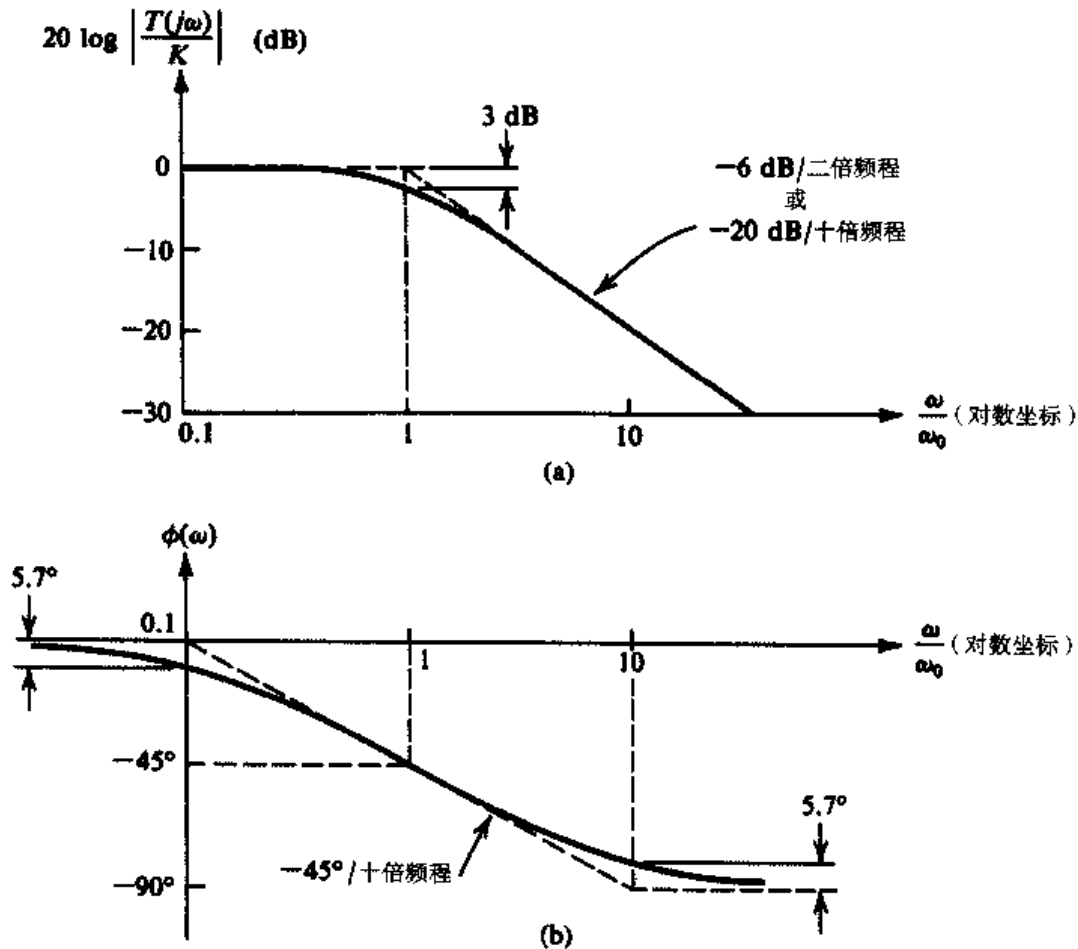


图 D.6 低通 STC 电路的幅频响应 (a) 与相频响应 (b)

例题 D.4 考虑图 D.7 (a) 所示的电路，理想电压放大器的增益 $\mu = -100$ ，在反馈回路上有一个小电容 (10 pF)，放大器由电压源激励，源内阻为 100 k Ω 。证明该电路的频率响应 V_o/V_s 等同于 STC 电路，并画出幅频响应曲线。

解：直接分析图 D.7 (a) 所示的电路，得到传输函数为

$$\frac{V_o}{V_s} = \frac{\mu}{1 + sRC_f(-\mu + 1)}$$

可见它等同于 STC 低通电路，其中直流增益为 $\mu = -100$ (或者等于 40 dB)，时间常数 ($\tau = RC_f(-\mu + 1) = 100 \times 10^3 \times 10 \times 10^{-12} \times 101 \approx 10^{-4} \text{ s}$)，相应的截止频率 $\omega_0 = 1/\tau = 10^4 \text{ rad/s}$ ，幅频特性曲线如图 D.7 (b) 所示。

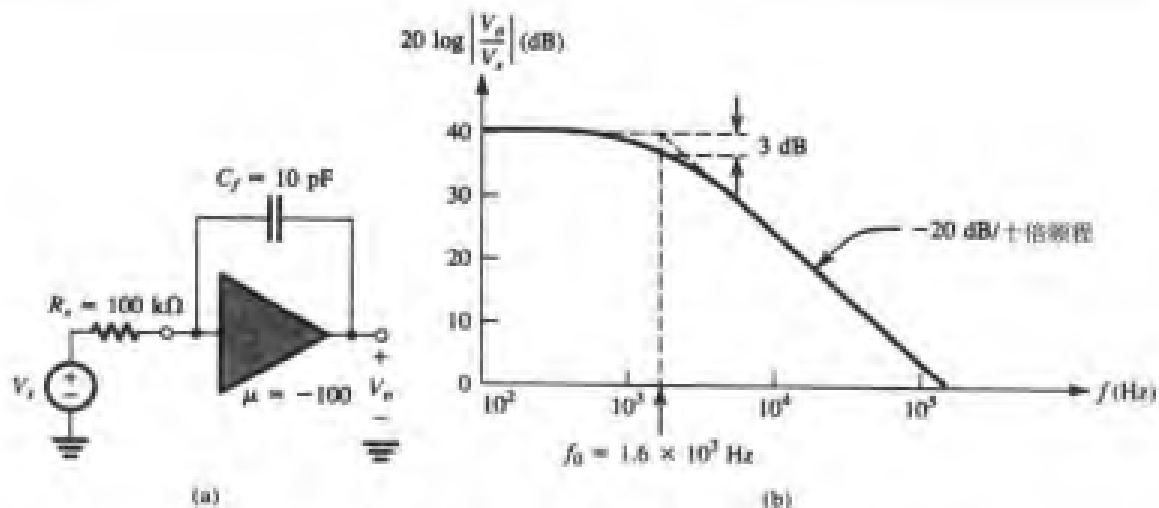


图 D.7 (a) 放大器电路; (b) 电路的传输函数的幅频响应曲线

D.3.2 高通电路

STC 高通电路的传输函数通常可以表示成以下的形式:

$$T(s) = \frac{K_s}{s + \omega_0} \quad (\text{D.5})$$

对物理频率 $s = j\omega$, 上式可写为

$$T(j\omega) = \frac{K}{1 - j\omega_0 / \omega} \quad (\text{D.6})$$

其中, K 表示 s 或者频率 ω 趋于无限时的增益值, ω_0 等于时间常数 τ 的倒数:

$$\omega_0 = 1/\tau$$

幅频响应

$$|T(j\omega)| = \frac{K}{\sqrt{1 + (\omega_0 / \omega)^2}} \quad (\text{D.7})$$

和相频响应

$$\phi(\omega) = \tan^{-1}(\omega_0 / \omega) \quad (\text{D.8})$$

均画在图 D.8 中。与低通情况一样, 幅频和相频特性都可以用直线渐近线来近似。由于与低通情况相似, 所以不在此做更深入的解释。

练习 D.3 求图 ED.3 所示的 STC 低通电路的直流传输增益、角频率 f_0 和 $f = 2 \text{ MHz}$ 的传输增益。

答案: -6 dB ; 3.18 kHz ; -22 dB

练习 D.4 求图 D.2 所示电路的传输函数 $T(s)$, 这是哪种类型的 STC 网络?

答案: $T(s) = \frac{C_1}{C_1 + C_2} \frac{s}{s + [1/(C_1 + C_2)]R}$; HP

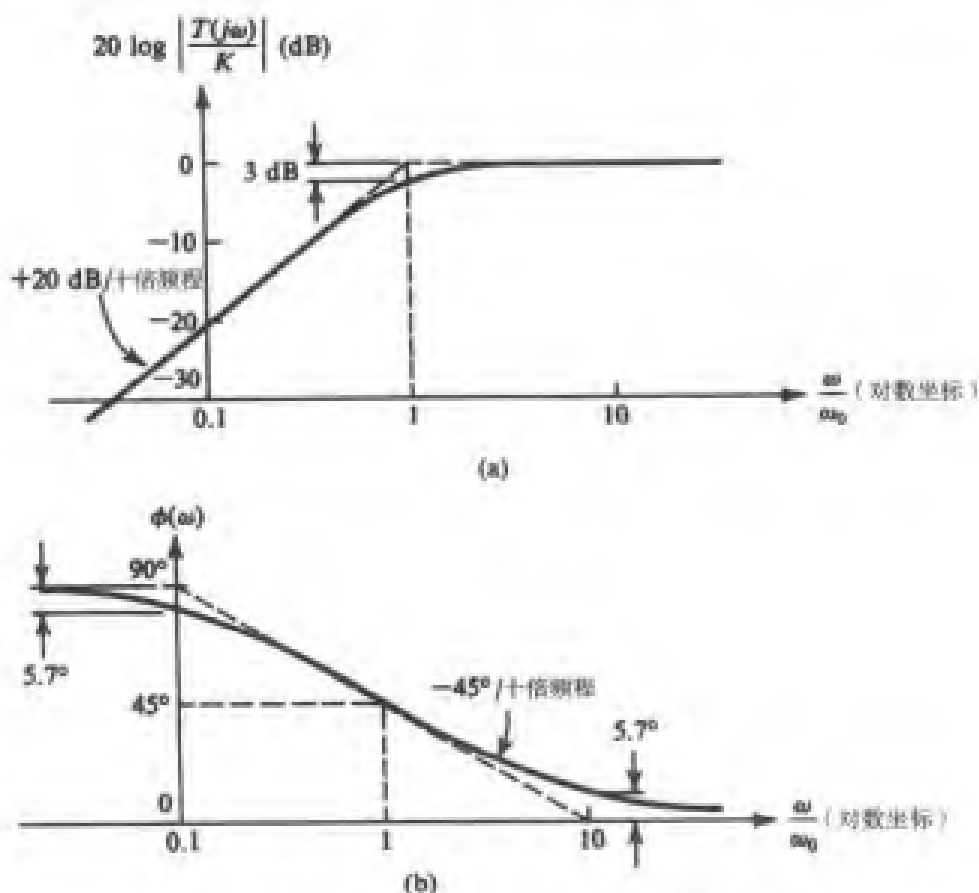


图 D.8 (a) 高通 STC 电路的幅频响应; (b) 相频响应

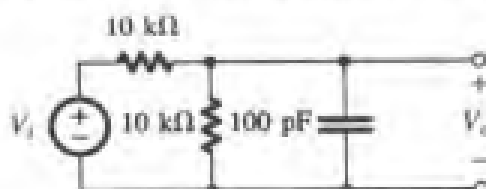


图 ED.3

练习 D.5 条件同练习 D.4, 如果 $R = 10 \text{ k}\Omega$, 求电容的值, 使得电路的高频传输增益为 0.5 V/V , 角频率 $\omega_0 = 10 \text{ rad/s}$ 。

答案: $C_1 = C_2 = 5 \mu\text{F}$

练习 D.6 图 ED.6 所示是一个电容耦合的放大器, 假设电压放大器是理想的, 求高频增益、3 dB 频率 f_0 和 $f = 1 \text{ Hz}$ 时的增益。

答案: 40 dB ; 15.9 Hz ; 16 dB

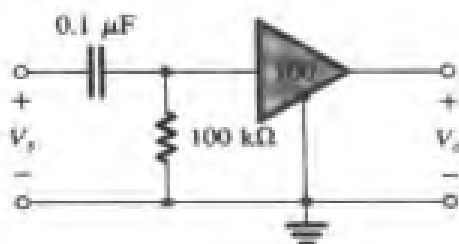


图 ED.6

D.4 STC 电路的阶跃响应

本节将讨论 STC 电路在图 D.9 所示的阶跃函数信号作用下的响应。对阶跃响应的了解有助于快速估算其他开关信号波形的响应，比如脉冲和方波信号。

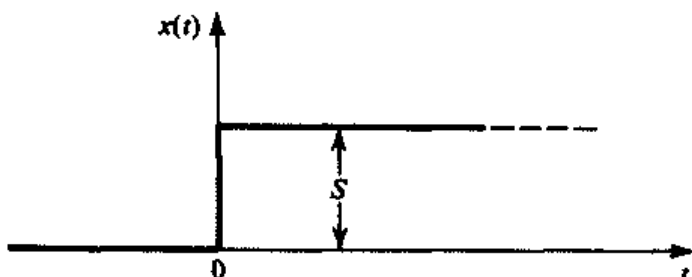


图 D.9 高度为 S 的阶跃函数

D.4.1 低通电路

低通 STC 电路（直流增益 K 等于 1）对一个高度为 S 的阶跃信号响应的输出波形如图 D.10 所示。注意，输入信号从 0 上升到 S 是在 $t=0$ 时完成的，但输出并没有立即响应瞬时的输入变化，而是按指数规律上升到最终的输入直流电压值 S 。从长远来看，当 $t \gg \tau$ 时，输出达到直流值 S ，证明低通电路能够传输直流信号。

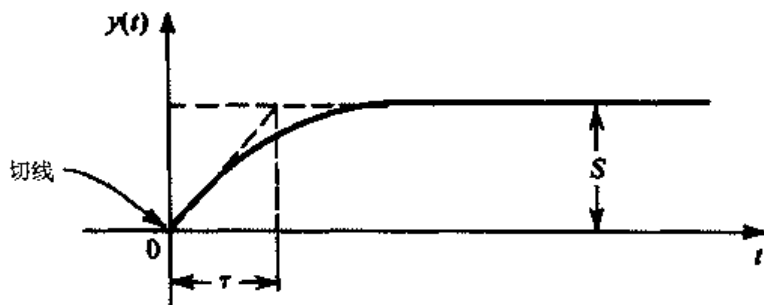


图 D.10 低通 STC 电路对高度为 S 的阶跃信号的输出响应 $y(t)$

输出信号波形可以从下面的表达式得到：

$$y(t) = Y_{\infty} - (Y_{\infty} - Y_{0+})e^{-t/\tau} \quad (\text{D.9})$$

其中， Y_{∞} 表示输出最终能够达到的值或者输出的上限值， Y_{0+} 表示输出在 $t=0$ 时的值。上述等式表明在任何时刻 t ，输出信号等于最终值 Y_{∞} 和初始值 $Y_{\infty} - Y_{0+}$ 按照指数规律收缩之后的差。在这个具体例子中， $Y_{\infty} = S$ ， $Y_{0+} = 0$ ，所以，

$$y(t) = S(1 - e^{-t/\tau}) \quad (\text{D.10})$$

读者可以注意 $t=0$ 时 $y(t)$ 的斜率，这在图 D.10 中有相应的表示。

D.4.2 高通电路

STC 高通电路（高频增益 $K=1$ ）对高度为 S 的阶跃信号的响应如图 D.11 所示。高通电路准确传输输入信号的瞬变部分（阶跃的上升沿），但抑止直流部分。因此在 $t=0$ 时，输出跟随输入：

$$Y_{0+} = S$$

然后衰减到零:

$$Y_{\infty} = 0$$

将 Y_{0+} 和 Y_{∞} 代入式 (D.9), 得到输出 $y(t)$:

$$y(t) = Se^{-t/\tau} \quad (\text{D.11})$$

注意 $t=0$ 时 $y(t)$ 的斜率, 这在图 D.11 中有所表示。

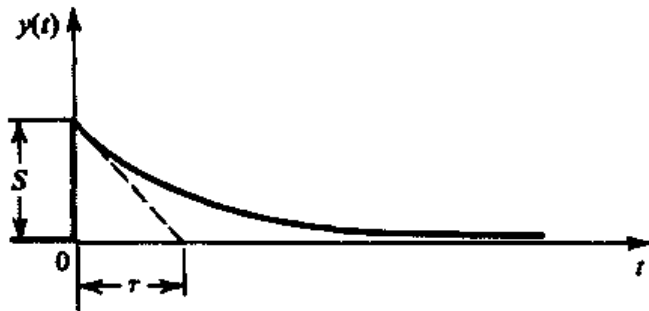


图 D.11 高通 STC 电路对高度为 S 的阶跃信号的输出响应 $y(t)$

例题 D.5 本例是例题 D.3 的继续。当输入是高度为 10 V 的阶跃信号时, 求输出也是一个完整的阶跃信号的条件。

解: 继续对例题 D.3 进行分析 (如图 D.3 所示), 我们有

$$v_{O1} = k_r [10(1 - e^{-t/\tau})]$$

其中,

$$k_r \equiv \frac{R_2}{R_1 + R_2}$$

以及

$$v_{O2} = k_c (10e^{-t/\tau})$$

这里,

$$k_c \equiv \frac{C_1}{C_1 + C_2}$$

和

$$\tau = (C_1 + C_2)(R_1 // R_2)$$

所以,

$$\begin{aligned} v_O &= v_{O1} + v_{O2} \\ &= 10k_r + 10e^{-t/\tau}(k_c - k_r) \end{aligned}$$

上式表明, 输出若要成为一个完整的阶跃信号, 必须设定以下参数:

$$k_c = k_r$$

即电阻上的分压比必须设置成等于电容上的分压比。

该例题说明了一种很重要的技术, 称为“补偿衰减”。这种技术主要应用在示波器探头的设计中。有关示波器探头的问题曾在习题 D.3 中进行了讨论。 ■

练习 D.7 求图 D.4 (f) 所示电路的 v_O 。设 i_I 是 3 mA 的阶跃信号, 电阻 $R = 1 \text{ k}\Omega$, 电容 $C = 100 \text{ pF}$ 。

答案: $3(1 - e^{-10^7 t})$

练习 D.8 求图 D.5 (f) 所示电路的电压 $v_O(t)$ 。设电流 i_I 是 2 mA 的阶跃信号, 电阻 $R = 2 \text{ k}\Omega$, 电容 $L = 10 \text{ }\mu\text{H}$ 。

答案: $4e^{-2 \times 10^3 t}$

练习 D.9 图 ED.6 所示放大器电路的激励源能够提供 20 mV 的阶跃电压, 如果信号源的内阻是 100 k Ω , 求时间常数 τ 和 $v_O(t)$ 。

答案: $\tau = 2 \times 10^{-2} \text{ s}$; $v_O(t) = 1 \times e^{-50t}$

练习 D.10 设图 D.2 所示电路中的电容 $C_1 = C_2 = 0.5 \text{ }\mu\text{F}$, $R = 1 \text{ M}\Omega$, 当输入电压 $v_I(t)$ 是 10 V 的阶跃信号时, 求输出电压 $v_O(t)$ 。

答案: $5e^{-t}$

练习 D.11 证明图 D.11 所示的指数曲线下的面积等于高度为 S 、宽度为 τ 的矩形面积。

D.5 STC 电路的脉冲响应

图 D.12 所示的是一个高度为 P 、宽度为 T 的脉冲信号。我们希望找到 STC 电路对该信号的输出响应。注意, 脉冲信号可以看成是两个阶跃信号的叠加: 一个起始于 $t = 0$, 是高度为 P 的正阶跃; 另一个是起始于 $t = T$ 的高度为 P 的负阶跃。这样线性电路的输出响应就是电路对这两个阶跃的输出响应进行叠加的结果。

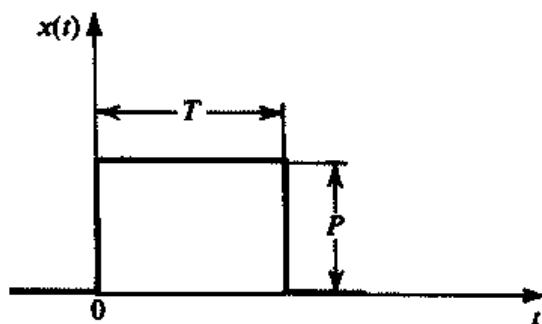


图 D.12 高度为 P 、宽度为 T 的脉冲信号

D.5.1 低通电路

图 D.13 (a) 所示是 STC 低通电路 (直流增益为单位 1) 对图 D.12 所示的脉冲信号的输出响应波形。在这个例子中, 我们假设时间常数 τ 和脉宽 T 相当。正如我们在前面所叙述的, LP 电路对阶跃信号的响应不可能在脉冲的上升沿立即达到脉冲的高度 P , 相反, 输出是指数增加的, 直至达到最终的值 P 。然而, 指数增长会在 $t = T$ 时被停止, 即在脉冲的下降沿, 对应输入进入负阶跃段。然后, 输出将按指数规律衰减, 直至达到最终的输入值——零。最后我们注意到, 输出波形下的面积等于输入脉冲波形下的面积, 原因是低通电路如实地传输了直流信号。

当脉冲信号从电子系统的一部分连接到另一部分的时候, 低通效应就会显现。这种情况下的低通电路通常由产生信号的这部分系统的输出电阻 (戴维南等效电阻) 和信号激励的这部分系统的输入电容组成, 产生的低通滤波器将对电路造成脉冲信号的失真, 如图 D.13 (a) 所示。设计

得很好的电路通过把时间常数 τ 设置为远远低于脉宽 T 可以把失真减到很小,得到如图 D.13 (b) 所示的圆脉冲边沿。当然,边沿仍然是呈指数变化的。

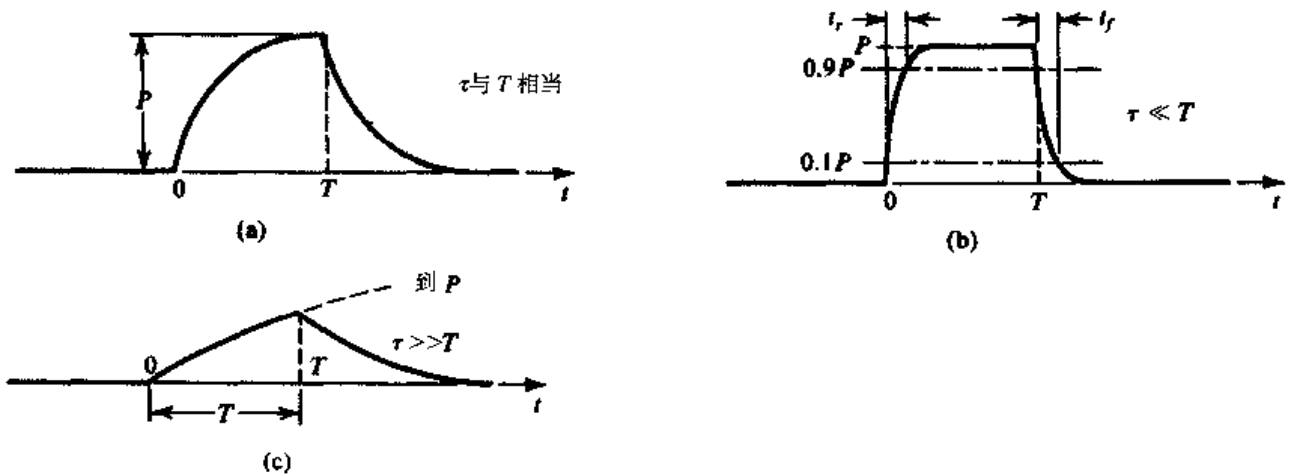


图 D.13 低通 STC 电路的三种脉冲响应

由寄生(不想要的)低通电路产生的脉冲信号的失真一般用它的上升时间和下降时间来表示。上升时间通常定义为幅度从最终值的 10% 上升到 90% 的时间。同样,下降时间是指从最大值的 90% 下降到 10% 所需要的时间。图 D.13 (b) 给出了这个定义的图解。利用输出波形上升和下降的指数表达式很容易可以求出下式:

$$t_r = t_f = 2.2\tau \quad (\text{D.12})$$

用 $f_0 = \omega_0 / 2\pi = 1/2\pi\tau$ 表示, 则有

$$t_r = t_f \approx \frac{0.35}{f_0} \quad (\text{D.13})$$

现在我们看到总是存在于系统中的寄生低通电路的效应是减慢了系统的运行, 因为为了将失真保持在可以接受的范围内, 人们必须采用比较长的脉宽信号(对已经给定时间常数的低通系统来说)。

另一种极端情况是时间常数 τ 远大于脉宽 T , 如图 D.13 (c) 所示。我们看到输出波形按指数向 P 上升。但是因为 $\tau \gg T$, 因此在 $t = T$ 时, 输出达到的幅度值远小于 P , 而此刻已经开始按指数向零值下降了, 结果输出波形和输入波形的相似程度很小。我们也注意到, 由于在 $\tau \gg T$, 因此从 $t = 0$ 到 $t = T$ 这段时间内的指数曲线几乎是线性的。由于线性曲线的斜率与脉冲高度成正比, 所以输出波形近似等于输入脉冲对时间的积分。即低通网络在时间常数相当大的时候, 其功能如同一个积分器。

D.5.2 高通电路

图 D.14 (a) 所示是 STC 高通电路(高频增益为单位 1)对图 D.12 所示脉冲信号的输出响应波形, 假设 τ 和 T 在数值上是相当的。如图所示, 输入阶跃信号上升沿的传输在高通电路的输出端被忠实地再现, 然而因为高通电路对直流信号是抑制的, 所以输出信号波形马上开始以指数规律向零衰减, 但是衰减过程在 $t = T$ 时被终止。因为输入信号转为负的阶跃, 高通电路要忠实地再现此信号, 结果在 $t = T$ 时输出呈现下冲, 然后开始以指数规律向零衰减。我们注意到这样一个事实, 输出信号波形在零轴以上的面积等于零轴以下的面积, 所以总平均面积等于零。这与高通电路能够阻隔直流信号的结论一致。

在许多应用中, STC 高通电路的作用是把脉冲信号从系统的这部分耦合到系统的那部分。这一类应用要求脉冲波形的失真尽可能小, 具体实现时是通过选择时间常数 τ , 使其远大于脉宽 T 。如果条件满足, 脉冲幅度在脉冲持续时间 T 内的损失会很小, 如图 D.14 (b) 所示, 但是输出信号波形仍然存在负信号输出, 而且负波形部分的面积等于正波形部分的面积。

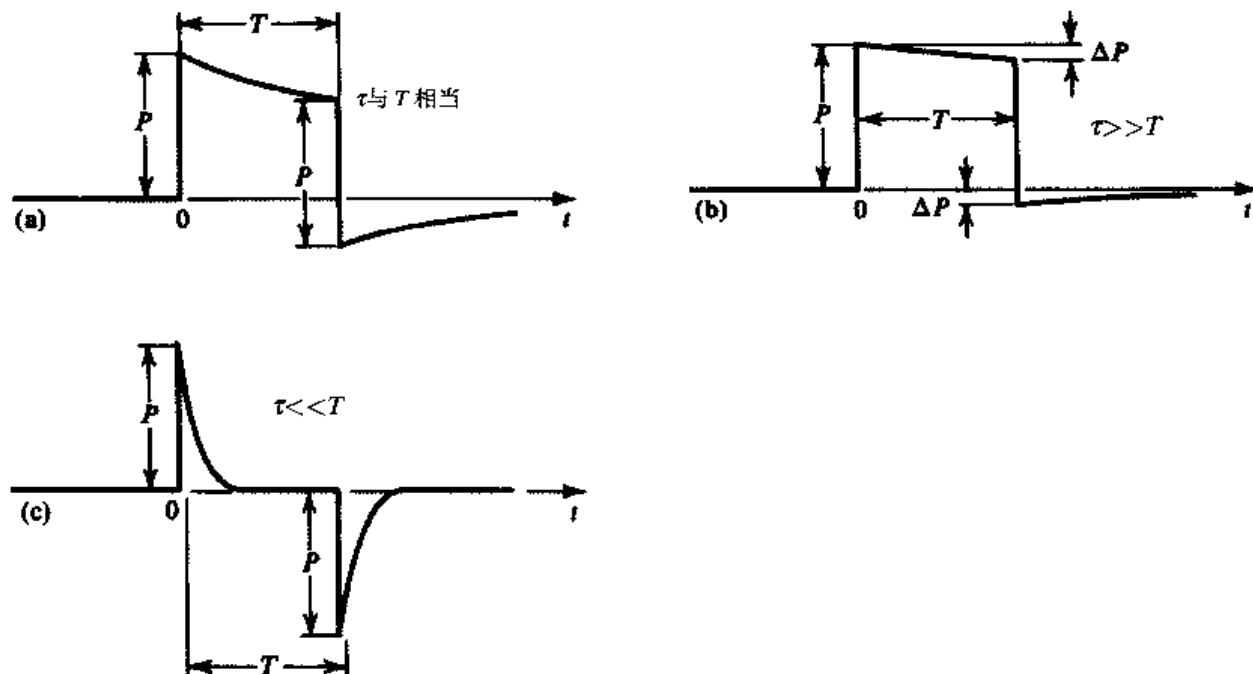


图 D.14 高通 STC 电路的三种脉冲响应

考虑图 D.14 (b) 所示的波形, 由于 τ 远大于 T , 呈指数衰减的曲线在 $t=0$ 到 $t=T$ 这一段近似为直线, 它的斜率等于指数曲线在 $t=0$ 处的斜率, 即等于 P/τ 。我们可以利用这个斜率来确定幅度的损失 ΔP :

$$\Delta P \approx \frac{P}{\tau} T \quad (\text{D.14})$$

高通电路对脉冲响应的失真效应通常用脉幅 (即脉冲幅度) 损失的百分比或者每单位的脉幅损失来表示, 其数值也称为输出脉冲的下垂百分比:

$$\text{下垂百分比} \equiv \frac{\Delta P}{P} \times 100 \quad (\text{D.15})$$

即

$$\text{下垂百分比} = \frac{T}{\tau} \times 100 \quad (\text{D.16})$$

注意, 在 $t=T$ 时下冲信号的幅度等于 ΔP 。

另一种极端情况是 $\tau \ll T$, 如图 D.14 (c) 所示, 指数衰减相当快, 以至于在脉冲上升沿后很短的时间内输出就几乎成为零。而在脉冲的下降沿输出是负的, 幅度近似等于脉幅 P , 然后迅速按指数规律衰减至零, 如图 D.14 (c) 所示, 输出波形几乎不能重现输入脉冲的形式。输出含有两个尖峰信号: 上升沿处的一个尖峰和下降沿处的一个尖峰。注意, 输出信号的持续时间几乎等于输入脉冲的导数时间。这表明对 $\tau \ll T$ 的情况, 高通电路近似于一个微分器。但这不是一个

理想的积分器, 因为理想积分器产生的是两个冲击信号, 不过时间常数非常短的 STC 高通电路仍然被用来在输入波形转换的时候产生尖脉冲或者尖峰信号。

练习 D.12 $1\mu\text{s}$ 的脉冲信号通过一个截止频率为 10 MHz 的低通 RC 电路, 求上升时间。

答案: 35 ns

练习 D.13 考虑图 D.13 (c) 所示的 STC 低通电路的脉冲响应。设 $\tau=100T$, 求 $t=T$ 时的输出电压。再求输出波形在 $t=0$ 和 $t=T$ 时上升段的斜率差 (用 $t=0$ 时斜率的百分比表示)。

答案: $0.01P$; 1%

练习 D.14 放大器的输出级通过耦合电容 C 与另一级的输入端相连, 如果第一级的输出电阻是 $10\text{ k}\Omega$, 第二级的输入电阻是 $40\text{ k}\Omega$, 求最小的电容值 C , 使得 $10\mu\text{s}$ 的脉冲信号作用后产生的下垂低于 1%。

答案: $0.02\mu\text{F}$

练习 D.15 STC 高通电路的时间常数是 $100\mu\text{s}$, 激励是高度为 1 V、脉宽为 $100\mu\text{s}$ 的脉冲, 计算输出信号波形中下冲的值。

答案: 0.632 V

习题

- D.1 考虑图 D.3 (a) 所示的电路, 它的等效电路如图 D.3 (d) 和 (e) 所示, 输出电压 $v_o = v_{o1} + v_{o2}$ 是低通和高通电路输出电压的和。每个电路的时间常数都为 $\tau = (C_1 + C_2)(R_1 // R_2)$ 。如果要使低通电路在频率等于零和高通电路在频率等于无限时对电路的贡献一致, 求电路应该满足的条件。证明该条件可以表示成 $C_1 R_1 = C_2 R_2$ 。如果条件满足且 $R_1 = R_2$, 画出 $|V_o/V_i|$ 与频率的关系曲线。
- D.2 利用电压分压规则求图 D.3 (a) 所示电路的传输函数 $V_o(s)/V_i(s)$ 。证明当电路满足 $C_1 R_1 = C_2 R_2$ 的条件时, 传输函数与频率无关。满足这个条件的电路也称为补偿衰减器。求用 R_1 和 R_2 表示的传输函数。
- D**D.3 图 D.3 (a) 所示的电路也称为补偿衰减器 (见习题 D.1 和 D.2), 它可以应用于示波器探头中, 目的是减小进入示波器输入放大器的电压, 而且电压的衰减与频率无关。探头本身包含 R_1 和 C_1 , R_2 和 C_2 是用来模拟示波器输入电路的。对示波器而言, 一般其输入电阻是 $1\text{ M}\Omega$, 输入电容是 30 pF , 设计一个有补偿的“10:1 的探针”, 即探针对信号的衰减倍数是 10。当探针和示波器连接时, 求探针的输入阻抗, 即在图 D.3 (a) 所示电路中从 v_i 端口视入的输入阻抗。证明该输入阻抗的值是示波器本身阻抗的 10 倍。这是 10:1 探针的最大好处。
- D.4 在图 D.4 和图 D.5 所示的电路中, 令 $L = 10\text{ mH}$, $C = 0.01\mu\text{F}$, $R = 1\text{ k}\Omega$, 求相角等于 45° 时的频率。
- *D.5 电压放大器的开路电压增益 $A_{vo} = -100\text{ V/V}$, $R_o = 0$, $R_i = 10\text{ k}\Omega$, 输入电容 C_i (与电阻 R_i 并联) 的值是 10 pF 。放大器有一个反馈电容 (连接输入和输出) $C_f = 1\text{ pF}$, 放大器的电压激励源 V_s 的内阻 $R_s = 10\text{ k}\Omega$ 。求放大器的输出函数 $V_o(s)/V_s(s)$, 并画出幅频波特图 (dB~对数频率)。
- D.6 某电路如图 PD.6 所示, 假设电压放大器是理想的。推导传输函数 $V_o(s)/V_i(s)$, STC 电路是哪种类型的? 当电容 $C = 0.01\mu\text{F}$, $R = 100\text{ k}\Omega$ 时, 求角频率。

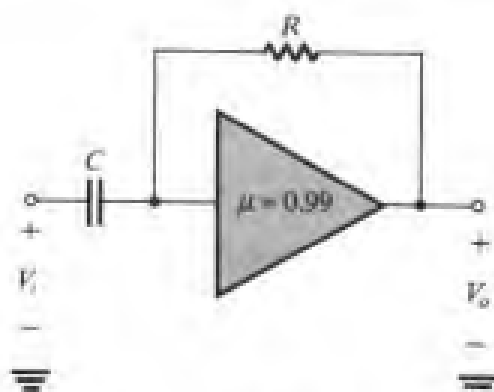


图 PD.6

- D.7 某电路如图 D.4(b)和图 D.5(b)所示,当输入电压是 10 V 的阶跃信号时,求输出电压 $v_o(t)$ 。设 $R = 1 \text{ k}\Omega$, $L = 1 \text{ mH}$ 。
- D.8 考虑 STC 低通电路对 10 V 阶跃输入信号的指数响应,求输出电压达到 5 V, 9 V, 9.9 V 和 9.99 V 时的时间,用时间常数 τ 表示。
- D.9 示波器的高频响应可以用 STC 低通电路的频率响应来表示,低通电路的角频率为 100 MHz。如果示波器用于显示理想的阶跃信号波形,预计观察到的上升时间(10%到 90%)是多少?
- D.10 示波器对阶跃信号的响应类似于低通 STC 电路,上升时间为 t_r 秒。如果输入信号显示的上升时间为 t_{in} ,那么根据经验公式 $t_d = \sqrt{t_r^2 + t_{in}^2}$ 可以求得看到的波形的上升时间为 t_d 秒。如果 $t_r = 35 \text{ ns}$,求示波器的 3 dB 带宽是多少?在波形上升到 100 ns, 35 ns 和 10 ns 时观察到的上升时间分别是多少?如果波形显示的上升时间是 49.5 ns,那么实际上升时间是多少?
- D.11 脉冲信号的幅度是 10 V,脉宽是 10 ms,该脉冲通过一个系统,该系统具有 STC 高通电路的特性,角频率为 10 Hz,预计下冲是多少?
- D.12 将一个时间常数是 τ 的 RC 积分器用做短脉冲检测器。当 $T \gg \tau$ 的长脉冲作为输入激励的时候,输出信号的正、负幅度相等,当脉宽为多少时可以使得正、负幅度之间存在 10% 的偏差?
- D.13 STC 高通电路的时间常数是 1 ms,激励信号是脉幅为 10 V、脉宽为 1 ms 的脉冲信号,计算输出波形下冲的幅度值。如果希望输出下冲的幅度不超过 1 V,需要的时间常数是
- DD.14 电容 C 被用做放大器的输出和下一级输入之间的耦合器件,如果第一级的输出电阻是 $2 \text{ k}\Omega$,第二级的输入电阻是 $3 \text{ k}\Omega$,求使得 1 ms 的脉冲信号呈现出低于 1% 的下垂的电容 C 的值。相应的 3 dB 带宽是多少?
- DD.15 某 RC 积分器被用于将电压变化为 V 的阶跃信号转换成单脉冲并用于数字逻辑应用中。积分器驱动两种明显的信号,高于 $V/2$ 的是高电平,低于 $V/2$ 的是低电平,求电路的时间常数,要求在把阶跃输入转换成脉冲输出时其高电平能持续 $10 \mu\text{s}$ 。
- DD.16 考虑图 D.7(a)所示的电路,设 $\mu = -100$, $C_f = 100 \text{ pF}$,放大器是理想的。求使得增益 $|V_o/V_i|$ 的 3 dB 带宽是 1 kHz 的电阻 R 的值。

附录 E s 域分析——极点、零点和波特图

在分析放大器频率响应时，有许多工作都会涉及到求放大器的电压增益，该增益又都是复频率 s 的函数。在做 s 域分析时，电容 C 被导纳 sC 或阻抗 $1/sC$ 取代，电感 L 被阻抗 sL 取代。因此，采用通常的电路分析技术即可以推导出传输函数 $T(s) \equiv V_o(s)/V_i(s)$ 。

练习 E.1 求图 EE.1 所示 STC 网络的电压传输函数 $T(s) \equiv V_o(s)/V_i(s)$ 。

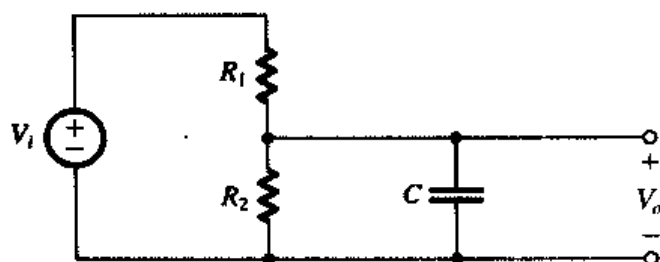


图 EE.1

答案:
$$T(s) = \frac{1/CR_1}{s + 1/C(R_1 // R_2)}$$

一旦得到传输函数 $T(s)$ ，在 s 被物理频率 $j\omega$ 代替后，就可以进行估算。得到的传输函数 $T(j\omega)$ 通常是复数，该复数的幅度表示放大器的幅频（传输）响应，幅角表示放大器的相频响应。

很多情况下并不需要代入 $s = j\omega$ 来求解幅频响应 $T(j\omega)$ 。事实上，传递函数 $T(s)$ 的形式本身包含许多有用的电路性能。本书讨论的电路的传递函数 $T(s)$ 一般可以表示成如下的形式：

$$T(s) = \frac{a_m s^m + a_{m-1} s^{m-1} + \cdots + a_0}{s^n + b_{n-1} s^{n-1} + \cdots + b_0} \quad (\text{E.1})$$

其中，系数 a 和 b 都是实数，分子多项式的次数 m 小于等于分母多项式的次数 n ，后者也称为网络的阶数。另外，对一个稳定的电路（即不会自己产生信号的电路），所有分母多项式的系数必须保证分母多项式的根的实部都是负的。关于放大器的稳定性问题可参见第 8 章。

E.1 极点与零点

$T(s)$ 的另外一个表达式是

$$T(s) = a_m \frac{(s - Z_1)(s - Z_2) \cdots (s - Z_m)}{(s - P_1)(s - P_2) \cdots (s - P_n)} \quad (\text{E.2})$$

其中， a_m 是乘积系数（分子多项式 s^m 的系数）， Z_1, Z_2, \dots, Z_m 是分子多项式的根， P_1, P_2, \dots, P_n 是分母多项式的根。 Z_1, Z_2, \dots, Z_m 称为传输函数的零点或传输零点， P_1, P_2, \dots, P_n 称为传输函数的极点，或称网络的自然模式。传输函数可以由它的零点、极点和乘积系数完全确定。

根点和零点可以是实数，也可以是复数。但是因为系数 a 和 b 都是实数，所以如果存在复数

极点(或零点)的话,必定是共轭复数对。比如, $5 + j3$ 是零点,那么 $5 - j3$ 也必定是零点。零点是纯虚数 ($\pm j\omega_z$) 的传输函数 $[T(j\omega)]$, 在 $\omega = \omega_z$ 时正好等于零。这是因为分子多项式含有因子 $(s + j\omega_z)(s - j\omega_z) = (s^2 + \omega_z^2)$, 对物理频率而言,该因子成为 $(-\omega^2 + \omega_z^2)$, 因此当 $\omega = \omega_z$ 时,传输函数恰好等于零。如果一个电路在某些特定的干扰频率上具有传输零点,且又被放置在电视机的输入端,那么这无疑是个“陷阱”。实数零点不会产生无效传输。最后应该注意的是:当 s 的值远大于所有零点和极点值的时候,式(E.1)的传输函数将变为 $T(s) \approx a_m / s^{n-m}$, 即传输函数有 $(n - m)$ 个位于 $s = \infty$ 的零点。

E.2 一阶函数

本书所遇到的传输函数大多数都具有实数极点和零点,因而可以写成由若干个一阶因子相乘的一般形式:

$$T(s) = \frac{a_1 s + a_0}{s + \omega_0} \quad (\text{E.3})$$

其中, $-\omega_0$ 表示实数极点的位置, ω_0 的值也称为极点频率,它等于单时间常数网络(STC)(参见附录 D)的时间常数的倒数。系数 a_0 和 a_1 确定 STC 网络的类型。特别是我们在第 1 章讲过的网种 STC 网络——低通和高通网络。对低通一阶网络,我们有:

$$T(s) = \frac{a_0}{s + \omega_0} \quad (\text{E.4})$$

这里,直流增益是 a_0 / ω_0 , ω_0 是角频率(或称为 3 dB 频率)。我们注意到在 $s = \infty$ 处,传输函数有一个零点。另外对一阶高通网络,传输函数有一个直流的零点,其传输函数为

$$T(s) = \frac{a_1 s}{s + \omega_0} \quad (\text{E.5})$$

关于这一点,我们希望读者能够复习一下附录 D 中有关 STC 网络及其频率响应和对脉冲信号的响应的内容。我们应该特别关注一下这两种特定 STC 网络的幅频和相频响应曲线图,这些曲线图可以用来合成高阶传输函数的幅频和相频曲线图,下面就将对对此给出详细解释。

E.3 波特图

有一种简单的方法可以用来获得给定极点和零点的传输函数的近似幅频和相频曲线。该方法对实数零点和极点的情况尤其适用。由于这个方法是由 H. Bode 提出的,所以相应的曲线也就称为波特图。

式(E.2)描述的传输函数包含形式为 $s + a$ 的因子的乘积。若该因子出现在分子中,则与一个零点相对应;若该因子出现在分母中,则与一个极点相对应。它告诉我们,如果将传输函数的幅频响应用分贝(dB)表示的话,实际上就是将形式为 $20 \log_{10} \sqrt{a^2 + \omega^2}$ 的各项因子进行加法运算,而相频响应则是将形式为 $\tan^{-1}(\omega/a)$ 的各因子相加。无论是幅频响应还是相频响应,与极点相关的因子前面都有符号。为简单起见,我们可以提取一个常数 a ,得到的幅频响应的形式为 $20 \log \sqrt{1 + (\omega/a)^2}$ 。在纵坐标为分贝(dB)、横坐标为对数坐标的坐标系中,上式得到的曲线和近似直线如图 E.1 所示。这里,低频渐近线是位于 0 dB 的水平直线,高频渐近线是斜率为 6 dB/二倍频程(也等于 20 dB/十倍频程)的直线。网条渐近线相交所对应的频率为 $\omega = |a|$,称为角频率。如图中所示,实际的幅度值和近似值之间有误差,最大的误差是 3 dB,出现在角频率点上。

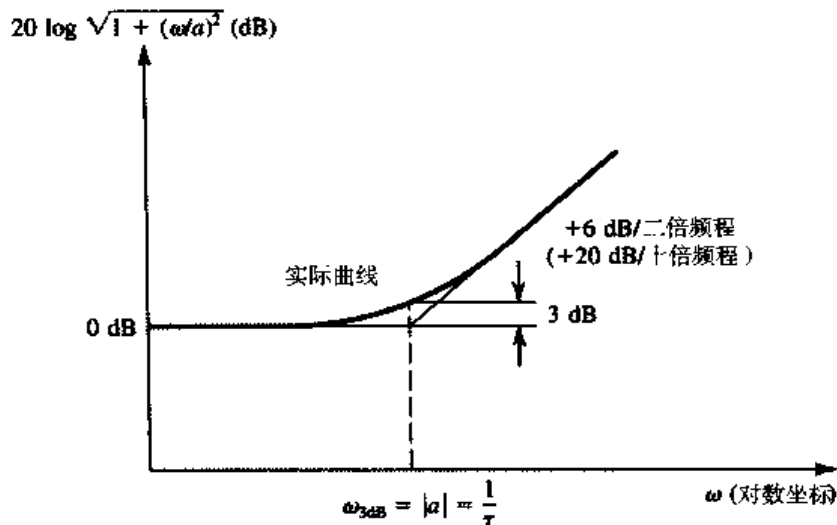


图 E.1 典型幅度因子的波特图。图中所示曲线适用于零点的情况。如果是极点, 则需将高频渐近曲线画成斜率为 -6 dB/二倍频程的直线

当 $a=0$ 时, 也就是零点或者极点在 $s=0$ 处, 这时的曲线就是一条斜率为 6 dB/二倍频程并且与 0 dB的水平线相交于 $\omega=1$ 的直线。

总之, 为了得到传输函数的幅频波特图, 应首先画出每一个一阶极点和零点因子的幅频波特图。对零点因子, 其高频渐近线的斜率为 $+20$ dB/十倍频程; 对极点因子, 其高频渐近线的斜率为 -20 dB/十倍频程, 然后将各渐近线叠加起来, 完整曲线在垂直方向上的平移取决于传输函数常数因子的分贝 (dB) 数。

例题 E.1 放大器的电压传输函数为

$$T(s) = \frac{10s}{(1+s/10^2)(1+s/10^5)}$$

求极点和零点, 画出幅频特性波特图, 并求出频率 $\omega=10$ rad/s, 10^3 rad/s, 10^6 rad/s 时的近似幅度值。

解: 各零点位置: 一个位于 $s=0$, 一个位于 $s=\infty$ 。各极点位置: 一个位于 $s=-10^2$ rad/s, 一个位于 $s=-10^5$ rad/s。

图 E.2 给出的是输出函数的不同因子的渐近波特图, 曲线 1 是一条直线, 斜率为 $+20$ dB/十倍频程, 经过 $\omega=1$ rad/s 的频率点, 这是对应于分子为 s 这一项 (即 $s=0$ 的零点) 的渐近波特图。极点 $s=-10^2$ rad/s 对应曲线 2, 它包含两条渐近线, 交于 $\omega=10^2$ rad/s。同样, 极点 $s=-10^5$ rad/s 对应于曲线 3, 其中交点位于 $\omega=10^5$ rad/s。最后, 曲线 4 表示常数因子 10 对应的分贝 (dB) 数。

把这四条曲线相加就得到了放大器增益的渐近波特图 (曲线 5)。我们注意到两个极点离得相当远, 所以增益在 $10^2 \sim 10^5$ rad/s 的范围内非常接近于 10^3 (60 dB), 在两个角频率上 (10^2 rad/s 和 10^5 rad/s), 增益比 60 dB 将近低 3 dB。在三个特殊频率点上, 从波特图上得到的近似值和从传输函数得到的精确值如下表所示:

ω	近似增益值	精确增益值
10	40 dB	39.96 dB
10^3	60 dB	59.96 dB
10^6	40 dB	39.96 dB

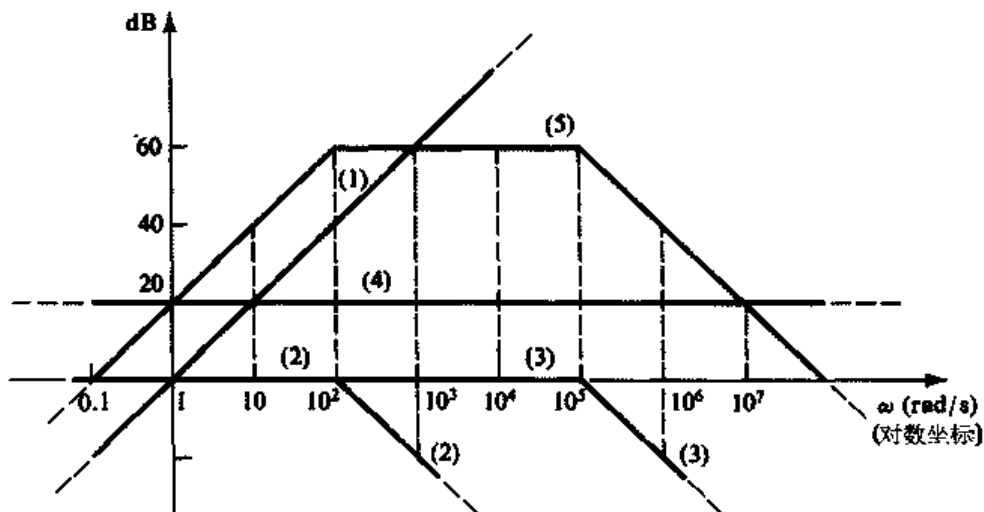
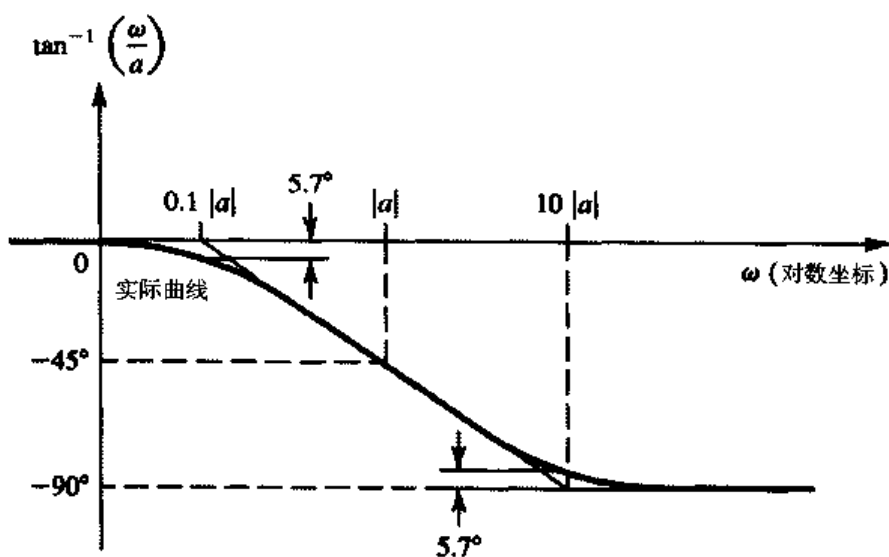


图 E.2 例题 E.1 的波特图

接下来讨论相频波特图。图 E.3 给出的是相频特性形式为 $\tan^{-1}(\omega/a)$ 的相频曲线，假设 a 是负数。图中也给出了反正切函数曲线的直线逼近。渐近线包括三条直线：第一条是位于 $\phi = 0$ 的水平线，它终止于 $\omega = 0.1|a|$ ；第二条是斜率为 -45° /十倍频程的直线，它从 $\omega = 0.1|a|$ 开始，终止于 $\omega = 10|a|$ ；第三条是斜率等于 0、数值为 -90° 的水平线。完整的相频响应曲线需将所有极点和零点因子的相频曲线叠加起来。

图 E.3 典型相位因子 $\tan^{-1}(\omega/a)$ 的波特图，其中 a 是负数

例题 E.2 求例题 E.1 的放大器的相频特性波特图。

解：位于 $s=0$ 的零点会产生一条相角等于 $+90^\circ$ 的水平线，如图 E.4 中的曲线 1。

极点 $s = -10^2 \text{ rad/s}$ 给出的相位函数是

$$\phi_1 = -\tan^{-1} \frac{\omega}{10^2}$$

(前面的负号表示这是一项极点因子。)对应的相频曲线如图 E.4 所示的曲线 2，极点 $s = -10^5 \text{ rad/s}$ 给出的相位函数是

$$\phi_2 = -\tan^{-1} \frac{\omega}{10^5}$$

它的渐近曲线如图 E.4 所示的曲线 3。整个相频特性响应 (曲线 4) 是将上述三条渐近曲线直接叠加后得到的。我们看到在 100 rad/s 的频率点上相角超前 45°, 而在 10^5 rad/s 的频率点上, 相角滞后 45°。

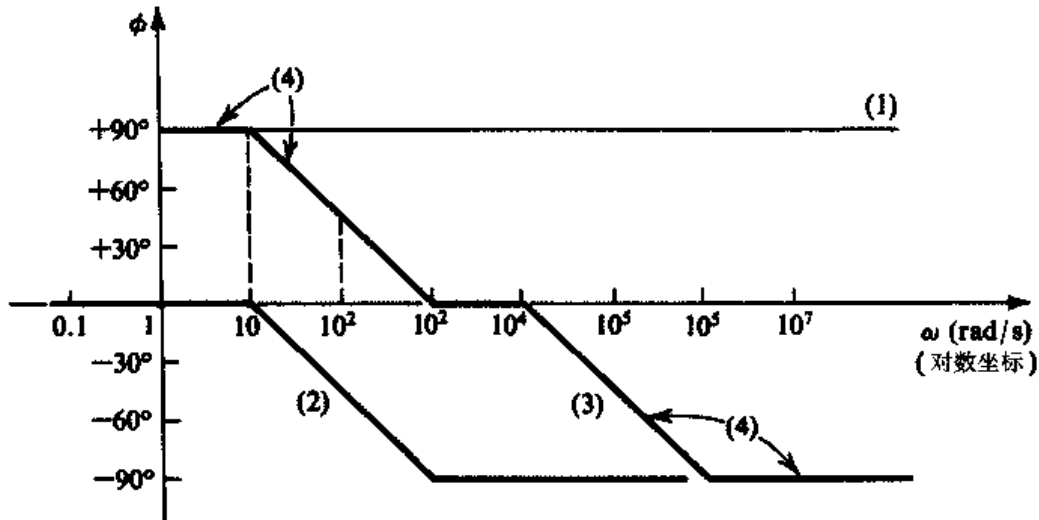


图 E.4 例题 E.2 的相频波特图

E.4 重要说明

要画出波特图, 最方便的方法是先把传输函数写成形如 $(1 + s/a)$ 的乘积项的形式, 然后直接应用图 E.1 和图 E.2 以及两个例题的相关内容。

习题

E.1 求图 PE.1 所示电路的传输函数 $T(s) = V_o(s)/V_i(s)$ 。这是 STC 网络吗? 如果是, 是什么类型的? 当 $C_1 = C_2 = 0.5 \mu\text{F}$, $R = 100 \text{ k}\Omega$ 的时候, 求零点和极点, 并画出幅频和相频波特图。

D*E.2 (a) 求图 PE.2 所示的 STC 网络的电压传输函数 $T(s) = V_o(s)/V_i(s)$ 。

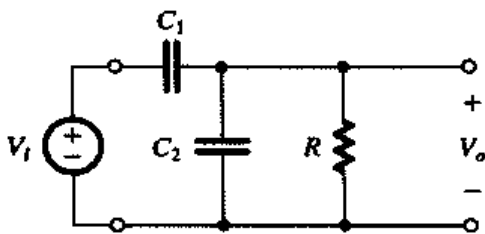


图 PE.1

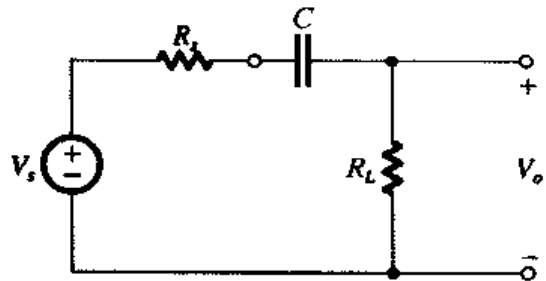


图 PE.2

(b) 在该电路中, 电容 C 用于将信号源内阻为 R_s 的电压源 V_s 耦合到负载 R_L 上。如果 $R_s = 10 \text{ k}\Omega$, 设计电路参数 R_L 和 C 的值 (只保留 1 位有效位) 以满足以下要求。

- (i) 负载电阻尽可能地小。
- (ii) 高频时输出信号至少要达到输入信号的 70%。

- (iii) 10 Hz 时输出信号至少要达到输入信号的 10%。
- E.3 有两个由 RC 电路组成的 STC 网络, 每一个都有一个 100 rad/s 的极点频率, 最大增益均为单位 1, 将它们和一个单位增益的缓冲器级联起来并保证两个 STC 网络相互独立。根据可能的组合(低通和高通), 求: (i) 相应的传输函数; (ii) 10 rad/s 处的电压增益; (iii) 100 rad/s 处的电压增益; (iv) 1000 rad/s 处的电压增益。
- E.4 设计式 (E.5) 的传输函数中的参数 a_1 和 ω_0 , 使得高频时的电压增益为 10 V/V, 10 Hz 时的电压增益为 1 V/V。
- E.5 放大器具有低通 STC 电路的频率响应。直流时的幅度增益为 20 dB, 100 kHz 时的增益为 0 dB, 求角频率、增益为 19 dB 时的频率及相角为 -6° 时的频率。
- E.6 传输函数的极点为 (-5) , $(-7 + j10)$ 和 (-20) , 零点为 $(-1 - j20)$ 。因为该传输函数代表的是实际电路, 因此一定还有其他的零点和极点, 求出这些零点和极点。
- E.7 放大器的电压传输函数为 $T(s) = 10^6 s / (s+10)(s+10^3)$ 。将其转换为便于画出波特图的形式 [即将其改写成 $(1+s/a)$ 的若干因子的乘积形式]。画出幅频波特图, 并利用该波特图近似估算下列频率点上的增益值: 1 rad/s, 10 rad/s, 10^2 rad/s, 10^3 rad/s, 10^4 rad/s 和 10^5 rad/s。在 10 rad/s 和 10^3 rad/s 上的实际值是多少?
- E.8 画出习题 E.7 的放大器的相频波特图。估算下列频率点上的相角值: 1 rad/s, 10 rad/s, 10^2 rad/s, 10^3 rad/s, 10^4 rad/s 和 10^5 rad/s。为了进行比较, 计算频率 1 rad/s, 10 rad/s, 100 rad/s 上的实际相角值。
- E.9 一个传输函数的零点和极点如下: 一个零点位于 $s = 0$, 另一个零点位于 $s = \infty$; 一个极点位于 $s = -100$, 另一个极点位于 $s = -10^6$ 。在频率 $\omega = 10^4$ rad/s 处, 传输函数的幅度是 100。求传输函数 $T(s)$ 并画出幅频波特图。
- E.10 画出以下传输函数的幅频和相频波特图:

$$T(s) = \frac{10^4(1+s/10^5)}{(1+s/10^3)(1+s/10^4)}$$

根据所画的图形, 求频率 $\omega = 10^6$ rad/s 的近似幅度值和相角。如果从传输函数的表达式中求解, 精确值应该是多少?

- E.11 放大器的电压传输函数为 $T(s) = 10s^2 / (1+s/10)(1+s/100)(1+s/10^6)$ 。求零点和极点, 画出用分贝 (dB) 表示的增益与对数频率的曲线, 估算以下频率点上的增益值: 10^0 rad/s, 10^5 rad/s, 10^5 rad/s 和 10^7 rad/s。
- E.12 直接耦合差分放大器的差模增益为 100 V/V, 极点频率是 10^6 rad/s 和 10^8 rad/s, 共模增益是 10^{-3} V/V, 一个零点频率是 10^4 rad/s, 一个极点频率是 10^8 rad/s。画出差模增益、共模增益以及 CMRR 的幅频波特图。频率为 10^7 rad/s 时的 CMRR 是多少? (提示: 幅度的除法对应于对数之间的减法。)

附录 F 参 考 文 献

电子电路的通用教材

- E.F. Angelo Jr., *Electronics: BJTs, FETs, and Microcircuits*, New York: McGraw-Hill, 1969.
- S.B. Burns and P.R. Bond, *Principles of Electronic Circuits*, St. Paul: West, 1987.
- M.S. Ghauri, *Electronic Devices and Circuits: Discrete and Integrated*, New York: Holt, Rinehart and Winston, 1985.
- P.E. Gray and C.L. Searle, *Electronic Principles*, New York: Wiley, 1969.
- A.R. Hambley, *Electronics, 2nd ed.*, Upper Saddle River, NJ: Prentice-Hall, 1999.
- W.H. Hayt and G.W. Neudeck, *Electronic Circuit Analysis and Design, 2nd ed.*, Boston: Houghton Mifflin Co., 1984.
- C.A. Holt, *Electronic Circuits*, New York: Wiley, 1978.
- M.N. Horenstein, *Microelectronic Circuits and Devices, 2nd ed.*, Englewood Cliffs, NJ: Prentice-Hall, 1995.
- R.T. Howe and C.G. Sodim, *Microelectronics—An Integrated Approach*, Englewood Cliffs, NJ: Prentice-Hall, 1997.
- R.C. Jaeger and T.N. Blalock, *Microelectronic Circuit Design, 2nd ed.*, New York: McGraw-Hill, 2004.
- N.R. Malik, *Electronic Circuits: Analysis, Simulation, and Design*, Englewood Cliffs, NJ: Prentice-Hall, 1995.
- J. Millman and A. Grabel, *Microelectronics, 2nd ed.*, New York: McGraw-Hill, 1987.
- D.A. Neamen, *Electronic Circuit Analysis and Design, 2nd ed.*, New York: McGraw-Hill, 2001.
- M.H. Rashid, *Microelectronic Circuits: Analysis and Design*, Boston: PWS, 1999.
- D.L. Schilling and C. Belove, *Electronic Circuits, 2nd ed.*, New York: McGraw-Hill, 1979.
- R.A. Spencer and M.S. Ghauri, *Introduction to Electronic Circuit Design*, Upper Saddle River, NJ: Pearson Education Inc. (Prentice-Hall), 2003.

电路与系统分析

- L.S. Bobrow, *Elementary Linear Circuit Analysis, 2nd ed.*, New York: Holt, Rinehart and Winston, 1987.
- A.M. Davis, *Linear Circuit Analysis*, Boston, MA: PWS Publishing Company, 1998.
- S.S. Haykin, *Active Network Theory*, Reading, MA: Addison-Wesley, 1970.
- W.H. Hayt, G.E. Kemmerly, and S.M. Durbin, *Engineering Circuit Analysis, 6th ed.*, New York: McGraw-Hill, 2003.
- D. Irwin, *Basic Engineering Circuit Analysis, 7th ed.*, New York: Wiley, 2001.
- B.P. Lathi, *Linear Systems and Signals*, New York: Oxford University Press, 1992.
- J.W. Nilsson and S. Riedel, *Electronic Circuits, 6th ed.*, Revised Printing, Upper Saddle River, NJ: Prentice-Hall, 2001.

器件与 IC 制造

- R.S.C. Cobbold, *Theory and Applications of Field Effect Transistors*, New York: Wiley, 1969.
- I. Getreu, *Modeling the Bipolar Transistor*, Beaverton, OR: Telettronix, Inc., 1976.
- R.S. Muller and T.I. Kamins, *Device Electronics for Integrated Circuits, 3rd ed.*, New York: Wiley, 2003.

- J.D. Plummer, M.D. Deal, and P.B. Griffin, *Silicon VLSI Technology*, Upper Saddle River, NJ: Prentice-Hall, 2000.
- D.L. Pulfrey and N.G. Tarr, *Introduction to Micro-electronic Devices*, Englewood Cliffs, NJ: Prentice-Hall, 1989.
- C.L. Searle, A.R. Boothroyd, E.J. Angelo, Jr., P.E. Gray, and D.O. Pederson, *Elementary Circuit Properties of Transistors*, Vol. 3 of the SEEC Series, New York: Wiley, 1964.
- B.G. Streetman and S. Banerjee, *Solid-State Electronic Devices, 5th ed.*, Upper Saddle River, NJ: Prentice-Hall, 2000.
- Y. Tsividis, *Operation and Modeling of the MOS Transistor, 2nd ed.*, New York: Oxford University Press, 1999.

差分放大器

- G.B. Clayton, *Experimenting with Operational Amplifiers*, London: Macmillan, 1975.
- G.B. Clayton, *Operational Amplifiers, 2nd ed.*, London: Newnes-Butterworths, 1979.
- S. Franco, *Design with Operational Amplifiers and Analog Integrated Circuits, 3rd ed.*, New York: McGraw-Hill, 2001.
- J.G. Graeme, G.E. Tobey, and L.P. Huelsman, *Operational Amplifiers: Design and Applications*, New York: McGraw-Hill, 1971.
- W. Jung, *IC Op Amp Cookbook*, Indianapolis: Howard Sams, 1974.
- E.J. Kennedy, *Operational Amplifier Circuits: Theory and Applications*, New York: Holt, Rinehart and Winston, 1988.
- J.K. Roberge, *Operational Amplifiers: Theory and Practice*, New York: Wiley, 1975.
- J.L. Smith, *Modern Operational Circuit Design*, New York: Wiley-Interscience, 1971.
- J.V. Wait, L.P. Huelsman, and G.A. Korn, *Introduction to Operational Amplifiers Theory and Applications*, New York: McGraw-Hill, 1975.

模拟电路

- P.E. Allen and D.R. Holberg, *CMOS Analog Circuit Design, 2nd ed.*, New York: Oxford University Press, 2002.
- K. Bult, *Transistor-Level Analog IC Design*. Notes for a short course organized by Mead, Ecole Polytechnique Fédérale De Lausanne, 2002.
- R.L. Geiyer, P.E. Allen, and N.R. Strader, *VLSI Design Techniques for Analog and Digital Circuits*, New York: McGraw-Hill, 1990.
- P.R. Gray, P.J. Hurst, S.H. Lewis, and R.G. Meyer, *Analysis and Design of Analog Integrated Circuits, 4th ed.*, New York: Wiley, 2001.
- A.B. Grebene, *Bipolar and MOS Analog Integrated Circuit Design*, New York: Wiley, 1984.
- R. Gregorian and G.C. Temes, *Analog MOS Integrated Circuits for Signal Processing*, New York: Wiley, 1986.
- IEEE Journal of Solid-State Circuits*, a monthly publication of the IEEE.
- D.A. Johns and K. Martin, *Analog Integrated Circuit Design*, New York: Wiley, 1997.
- K. Laker and W. Sansen, *Design for Analog Integrated Circuits and Systems*, New York: McGraw-Hill, 1999.
- H.S. Lee, "Analog Design," Chapter 8 in *BiCMOS Technology and Applications*, A.R. Alvarez, editor, Boston: Kluwer Academic Publishers, 1989.
- B. Razavi, *Design of Analog CMOS Integrated Circuits*, New York: McGraw-Hill, 2001.
- J.K. Roberge, *Operational Amplifiers: Theory and Practice*, New York: Wiley, 1975.
- S. Rosenstark, *Feedback Amplifier Principles*, New York: Macmillan, 1986.

- A.S. Sedra and G.W. Roberts, "Current Conveyor Theory and Practice," Chapter 3 in *Analogue IC Design: The Current-Mode Approach*, C. Toomazon, F.J. Lidgley, and D.G. Haigh, editors, London: Peter Peregrinus, 1990.
- R. Severns, editor, *MOSPOWER Applications Handbook*, Santa Clara, CA: Siliconix, 1984.
- Texas Instruments, Inc., *Power Transistor and TTL Integrated-Circuit Applications*, New York: McGraw-Hill, 1977.
- S. Soeiof, *Applications of Analog Integrated Circuits*, Englewood Cliffs, NJ: Prentice-Hall, 1985.
- National Semiconductor Corporation, *Audio/Radio Handbook*, Santa Clara, CA: National Semiconductor Corporation, 1980.
- J.M. Steininger, "Understanding wideband MOS transistors," *IEEE Circuits and Devices*, Vol. 6, No. 3, pp. 26-31, May 1990.

数字电路

- A.R. Alvarez, editor, *BiCMOS Technology and Applications*, 2nd ed., Boston: Kluwer, 1993.
- S.H.K. Embabi, A. Bellaour, M.I. Elmasry, *Digital BiCMOS Integrated Circuit Design*, Boston: Kluwer, 1993.
- M.J. Elmasry, editor, *Digital MOS Integrated Circuits*, New York: IEEE Press, 1981. Also, *Digital MOS Integrated Circuits II*, 1992.
- D.A. Hodges and H.G. Jackson, *Analysis and Design of Digital Integrated Circuits*, 2nd ed., New York: McGraw-Hill, 1988.
- IEEE Journal of Solid-State Circuits*, a monthly publication of the IEEE.
- S.M. Kang and Y. Leblebici, *CMOS Digital Integrated Circuits*, 3rd ed., New York: McGraw-Hill, 2003.
- R. Littauer, *Pulse Electronics*, New York: McGraw-Hill, 1965.
- K. Martin, *Digital Integrated Circuit Design*, New York: Oxford University Press, 2000.
- J. Millman and H. Taub, *Pulse, Digital, and Switching Waveforms*, New York: McGraw-Hill, 1965.
- Motorola, *MECL Device Data*, Phoenix, AZ: Motorola Semiconductor Products, Inc., 1989.
- Motorola, *MECL System Design Handbook*, Phoenix, AZ: Motorola Semiconductor Products, Inc., 1988.
- J.M. Rabaey, *Digital Integrated Circuits*, Englewood Cliffs, NJ: Prentice-Hall, 1996. Note: Also a 2nd ed., with A. Chandrakasan and B. Nikolic, appeared in 2003.
- L. Strauss, *Wave Generation and Shaping*, 2nd ed., New York: McGraw-Hill, 1970.
- H. Taub and D. Schilling, *Digital Integrated Electronics*, New York: McGraw-Hill, 1977.
- N. Weste and K. Eshraghian, *Principles of CMOS VLSI Design*, Reading, MA: Addison-Wesley, 1985 and 1993.

滤波器与调谐放大器

- P.E. Allen and E. Sanchez-Sinencio, *Switched-Capacitor Circuits*, New York: Van Nostrand Reinhold, 1984.
- K.K. Clarke and D.T. Hess, *Communication Circuits: Analysis and Design*, Ch. 6, Reading, MA: Addison Wesley, 1971.
- G. Daryanani, *Principles of Active Network Synthesis and Design*, New York: Wiley, 1976.
- R. Gregorian and G.C. Temes, *Analog MOS Integrated Circuits for Signal Processing*, New York: Wiley-Interscience, 1986.
- C. Ouslis and A. Sedra, "Designing custom filters," *IEEE Circuits and Devices*, May 1995, pp. 29-37.
- S.K. Mitra and C.F. Kurth, editors, *Miniaturized and Integrated Filters*, New York: Wiley-Interscience, 1989.
- R. Schaumann, M.S. Ghauri, and K.R. Laker, *Design of Analog Filters*, Englewood Cliffs, NJ: Prentice-Hall, 1990.
- R. Schaumann, M. Soderstand, and K. Laker, editors, *Modern Active Filter Design*, New York: IEEE Press, 1981.
- R. Schaumann and M.E. Van Valkenburg, *Design of Analog Filters*, New York: Oxford University Press, 2001.
- A.S. Sedra, "Switched-capacitor filter synthesis," in *MOS VLSI Circuits for Telecommunications*, Y. Tsividis and P. Antognetti, editors, Englewood Cliffs, NJ: Prentice-Hall, 1985.
- A.S. Sedra and P.O. Brackett, *Filter Theory and Design: Active and Passive*, Portland, OR: Matrix, 1978.
- M.E. Van Valkenburg, *Analog Filter Design*, New York: Holt, Rinehart and Winston, 1981.
- A.I. Zverev, *Handbook of Filter Synthesis*, New York: Wiley, 1967.

SPICE

- M.E. Herniter, *Schematic Capture with Cadence PSpice*, 2nd ed., NJ: Prentice-Hall, 2003.
- G. Massobrio and P. Antognetti, *Semiconductor Device Modeling with SPICE*, 2nd ed., New York: McGraw-Hill, 1993.
- G.W. Roberts and A.S. Sedra, *SPICE*, New York: Oxford University Press, 1992 and 1997.
- J.A. Svoboda, *PSpice for Linear Circuits*, New York: Wiley, 2002.
- P.W. Tuinenga, *SPICE: A Guide To Circuit Simulation & Analysis Using PSpice*, 2nd ed., NJ: Prentice-Hall, 1992.

附录 G 标准电阻值与单位前缀

分立元件电阻得到的是标准值。表 G.1 给出的是与标准值有 5% 容差和 1% 容差的倍增因子。即千欧级的 5% 电阻，因此可以找到电阻值是 1.0, 1.1, 1.2, 1.3, 1.5, ... 的电阻。在同样的范围中，1% 容差的千欧级电阻值是 1.00, 1.02, 1.05, 1.07, 1.10, ...。

表 G.1 标准电阻值

5%电阻值 (kΩ)	1%电阻值(kΩ)			
	100~174	178~309	316--549	562~976
10	100	178	316	562
11	102	182	324	576
12	105	187	332	590
13	107	191	340	604
15	110	196	348	619
16	113	200	357	634
18	115	205	365	649
20	118	210	374	665
22	121	215	383	681
24	124	221	392	698
27	127	226	402	715
30	130	232	412	732
33	133	237	422	750
36	137	243	432	768
39	140	249	442	787
43	143	255	453	806
47	147	261	464	825
51	150	267	475	845
56	154	274	487	866
62	158	280	499	887
68	162	287	511	909
75	165	294	523	931
82	169	301	536	953
91	174	309	549	976