

图 11.29 一个 4 位 x 8 字结构的简单 MOS ROM

图 11.29 中 ROM 电路的缺点是消耗静态功率。具体而言,当某一个字被选中时,特定行的晶体管将会有静态电流流过,这个电流由 PMOS 负载管提供。稍做改动即可消除静态功耗。我们不把 PMOS 晶体管的栅极接地,而将它们连接成为一根预充电的线 ϕ ,该线通常保持高电平。在进行读操作之前, ϕ 电平降低,位线通过 PMOS 晶体管预充电至 V_{DD} 。随后预充电信号 ϕ 升高,字线选通。选通字线中的晶体管所处的位线进行放电,表示存储的是 0;而不含晶体管的那些位线将保持在 V_{DD} ,表示存储的是 1。

练习 11.16 本题旨在估计出一个 ROM 工作过程中存在的各种延迟时间。考虑图 11.29 中的 ROM。其中,PMOS 晶体管的栅极不与地相接,而是连接到预充电信号 ϕ 。设所有 NMOS 晶体管的 $W/L = 6 \mu\text{m}/2 \mu\text{m}$,所有 PMOS 晶体管的 $W/L = 24 \mu\text{m}/2 \mu\text{m}$ 。假定 $\mu_n C_{ox} = 50 \mu\text{A}/\text{V}^2$, $\mu_p C_{ox} = 20 \mu\text{A}/\text{V}^2$, $V_{tn} = -V_{tp} = 1 \text{V}$,以及 $V_{DD} = 5 \text{V}$ 。

(a) 在预充电过程中, ϕ 降为 0 V。试估算将一根位线从 0 V 充电至 5 V 所需的时间。取位线电压从 0 V 上升到 5 V 过程进行一半(即 2.5 V)时由 PMOS 晶体管提供的电流作为平均充电电流。位线的电容为 2 pF。注意,此时所有的 NMOS 晶体管都处于截止状态。

(b) 在预充电结束、 ϕ 恢复为 V_{DD} 后,行译码器升高选定字线的电压。考虑到字线的电压和电容均为有限值,电压按指数规律升高至 V_{DD} 。如果每条多晶硅字线的电阻为 3 k Ω ,字线与地之间的电容为 3 pF,则字线电压从 10%上升到 90%所需的时间为多少?经过一个时间常数后的电压为多少?

(c) 我们将字线电压按指数规律上升的过程近似为字线电压从 0 上升到经过一个时间常数后电压的阶跃变化过程。试求一个 NMOS 晶体管对位线放电时电压下降 0.5 V 所需的时间 Δt 。(假设读放大器输入端检测到一个低位值需要 0.5 V 的电压变化。)

答案: (a) 6.1 ns; (b) 19.8 ns, 3.16 V; (c) 2.9 ns

11.6.2 掩膜可编程 ROM

上面讨论的 ROM 在制造时已根据用户的要求将数据存入。但是,在进行擦除操作时,用户需要对每块 ROM 都进行定制设计,这一步骤代价很高。为了免除这一步,ROM 在制造时通常使用被称为掩膜编程的工艺。正如附录 A 所述,集成电路在硅晶圆上制造,需要经过光掩膜、蚀刻和扩散等步骤。这样,晶圆表面就形成了一个互连互通的电路图案。制造过程的最后步骤包括:在晶圆表面覆盖一层铝,利用掩膜将部分铝蚀刻掉,只留下互连处的铝层。这最后一步可以用来对 ROM 编程(即存储特定的数据)。例如,如果 ROM 由图 11.29 所示的 MOS 晶体管组成,那么所有的位都可以包括 MOSFET。但是只有存储 0 的那些晶体管的栅极与字线相连,存储 1 的那些晶体管的栅极不与字线相连。这一电路图案由掩膜步骤决定,掩膜则根据用户的要求制作。

显然,掩膜编程工艺很具经济优势:所有 ROM 都能以同样方式制造,用户定制仅仅存在于制造过程的最后一步。

11.6.3 可编程 ROM (PROM 和 EPROM)

PROM 是一种一次性用户可编程 ROM。在传统的 BJT PROM 结构中,多晶硅熔丝将每个 BJT 的发射极与对应的数字线相连。根据 ROM 单元存储内容的不同,熔丝可能保持完好,也可能被很大的电流烧断。这种编程方式显然是不可逆的。

可擦除可编程 ROM (EPROM) 是一种可根据用户要求进行任意多次擦除和编程的 ROM,因而,这是所有只读存储器中最为通用的一种。但是,需要指出的是,其擦除和编程的过程非常耗时,不适合经常进行。

最新的 EPROM 使用一种改动过的内存单元结构,其横截面如图 11.30 (a) 所示。存储单元

主要是一个增强型 n 沟道 MOSFET，含有两个多晶硅材料^①制成的栅极。其中一个栅极不与电路中其他部分有电气上的连接。或者说，这个栅极处于悬浮状态，因而被恰如其分地称为浮栅。另一个栅极被称为控制栅，与通常增强型 MOSFET 的栅极功能相同。

图 11.30 (a) 中的 MOS 晶体管称做浮栅晶体管，其电路符号如图 11.30 (b) 所示。其中，虚线表示浮栅。这种存储单元称为叠栅单元。

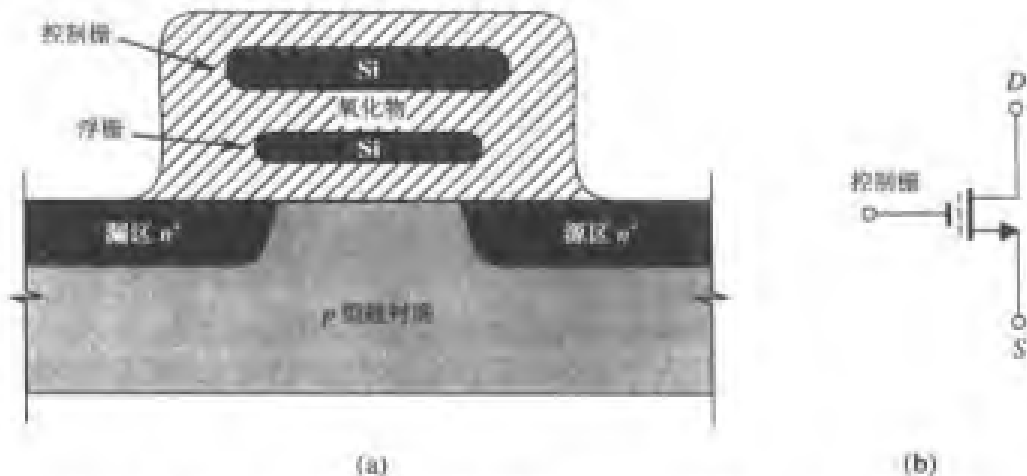


图 11.30 用做 EPROM 单元的浮栅晶体管：(a) 横截面；(b) 电路符号

我们来看浮栅晶体管的工作情况。在单元被编程（稍后将解释其含义）之前浮栅上没有电荷储存，器件工作情况和通常的增强型 n 沟道 MOSFET 相同。此时表现出的 $i_D \sim v_{GS}$ 特性曲线如图 11.31 中的曲线 (a) 所示。注意，这时的开启电压 (V_T) 相当低。晶体管的这种状态称为未编程状态。这是浮栅晶体管两种状态中的一种。我们随意假定未编程状态表示存储的是 1。也就是说，浮栅晶体管的 $i_D \sim v_{GS}$ 特性曲线如果和图 11.31 中的曲线 (a) 一致，则说明存储的是 1。

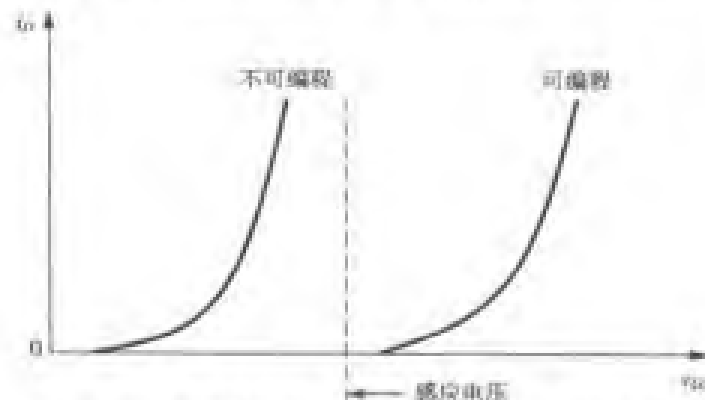


图 11.31 浮栅晶体管编程后 $i_D \sim v_{GS}$ 特性曲线的移动

为了对浮栅晶体管进行编程，需要在其漏极和源极之间加上很大的电压（16~20 V）。同时，控制栅上也要加上很大的电压（大约为 25 V）。图 11.32 画出了编程过程中的浮栅 MOSFET。浮栅上没有储存任何电荷时，器件表现为普通的 n 沟道增强型 MOSFET：由于栅极加上了很大的正电压，晶圆表面形成了一层 n 型反型层（沟道）。因为漏极有很大的正电压，所以沟道呈现锥形。

漏极与源极间的电压加快了电子穿越沟道的过程。当这些电子到达沟道的漏极末端时得到了很大的动能，它们被称为热电子。控制栅上非常高的正电压（比漏极电压高）在氧化物绝缘层中

① 参见附录 A 中关于硅栅极技术的内容。

形成了一个电场。这个电场吸引并加快这些热电子（穿越氧化层）到达浮栅的速度。这样，浮栅就充上了电，而且聚集在上面的电荷被束缚住了。

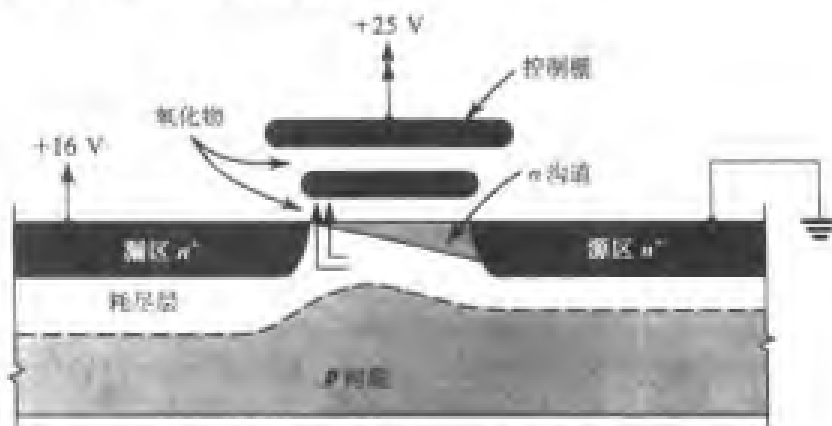


图 11.32 编程时的浮栅晶体管

幸好对浮栅充电的过程会自行中止。浮栅上聚集的负电荷减弱了氧化层中的电场强度，最终不再能够使更多的热电子加速。

现在来考虑浮栅上存储的负电荷对晶体管工作的影响。浮栅中存储的负电荷会使衬底中的电子远离衬底表面。这说明为了形成沟道控制栅上加的正电压比浮栅未充电时要更高。换言之，编程后的晶体管的开启电压 V_t 比未编程时要高。事实上，编程过程使得 i_D-v_{GS} 特性曲线移动到了图 11.31 中的曲线 (b)。这种状态称为编程状态，单元存储的是 0。

一旦完成编程，即使关闭电源，浮栅器件也会保持移动后的 $i-v$ 特性曲线（曲线 b）不变。实际上，根据实验结果推算，器件保持编程状态的时间可长达 100 年。

从叠栅单元中读数据十分简单：控制栅极加上一个介于高低两个开启电压（见图 11.31）之间的电压 V_{GS} 。已编程晶体管（存储 0）不会导通，但是未编程晶体管（存储 1）会深度导通。

要使浮栅 MOSFET 回到未编程状态，浮栅上存储的电荷必须回到衬底。擦除过程只需将存储单元置于适当波长（2537 Å）的紫外线之下照射一段时间即可。紫外线将足够多的光能传递给束缚电子，使后者能够翻越固有的能量壁垒，从而穿越氧化层回到衬底。为了能够擦除，封装后的 EPROM 包含一个石英窗。最后必须指出的是，这种器件十分耐用，可进行很多次擦除和编程操作。

一种更为通用的 ROM 是电可擦除 PROM (EEPROM)。顾名思义，EEPROM 可通过电进行擦除和编程，而无需紫外线的照射。EEPROM 使用了浮栅 MOSFET 的一种变形。EEPROM 中一种重要的类型称为闪存，它使用了浮栅的变形，可实现块擦除。

11.7 射极耦合逻辑 (ECL)

射极耦合逻辑 (ECL) 是速度最快的一类逻辑电路^①。通过使所有晶体管工作在饱和区之外以避免存储时间延迟，而且通过将逻辑信号保持在较低电平（0.8 V 左右或更低）以减少对负载及寄生电容的充放电时间，从而可以实现高速工作。避免 ECL 电路进入饱和区的方法是将 BJT 差分对作为电流开关^②使用。第 7 章曾讨论过 BJT 差分对，建议读者在继续学习 ECL 之前复习一下

① 尽管砷化镓 (GaAs) 电路的工作速度能够达到更高，但是在传统数字系统设计中这种电路并不常见。本书没有涉及 GaAs 数字电路，但是在本书附赠的 CD 中及网站 www.sedrasmith.org 上有很多相关资料。

② 这与晶体管-晶体管逻辑 (TTL) 中一种非饱和电路 (肖特基 TTL) 采用的技术完全不同。后者将一个肖特基二极管连接在 CB 结之间，因此可分流部分基极电流。而且由于肖特基二极管上的压降较小，CB 结可避免形成正向偏置。

7.3 节中的相关内容。

11.7.1 基本原理

射极耦合逻辑基于 1.7 节中介绍的电流导向开关电路。这种开关电路最为方便的实现方式就是利用图 11.33 中的差分对电路。差分对的偏置电流由恒流源 I 提供, 差分对的一端与参考电压 V_R 连接。正如 7.3 节所述, 受输入信号 v_I 控制, 电流 I 可流过 Q_1 或 Q_2 。具体而言, 当 v_I 比 V_R 高 $4V_T$ 左右 (约为 100 mV) 时, 全部电流 I 几乎都流过 Q_1 。

因此对于 $\alpha_1 = 1$, $v_{O1} = V_{CC} - IR_{C1}$ 。同时, 流过 Q_2 的电流接近于零, 因此 $v_{O2} = V_{CC}$ 。反之, 当 v_I 比 V_R 低 $4V_T$ 左右时, 电流 I 的大部分将流过 Q_2 , 流过 Q_1 的电流接近于零。故 $v_{O1} = V_{CC}$, $v_{O2} = V_{CC} - IR_{C2}$ 。

上面的叙述表明, 作为逻辑单元, 差分对实现了函数 v_{O1} 的取反功能, 即提供了互补输出信号 v_{O2} 。输出逻辑电平为 $V_{OH} = V_{CC}$ 和 $V_{OL} = V_{CC} - IR_C$, 故输出逻辑摆幅为 IR_C 。关于该电路还有以下说明:

1. 电路的差分特性使得其不易受随机噪声的影响。特别是一个干扰信号往往同时影响差分对的两侧, 其结果是电流开关的工作并不受影响。这是因为差分对的共模抑制能力 (参见 7.3 节) 在起作用。
2. 在电流开关工作时电源的源电流为定值。因此, 与 CMOS (和 TTL) 不同, ECL 中不会出现供电电流尖峰, 从而消除了数字电路中一种重要的噪声源。这确实是一个优点, 特别是因为 ECL 通常工作在小信号摆幅下, 噪声容限相应也比较低。
3. 输出信号电平都以 V_{CC} 为参考, 因此可以将输出保持为恒定, 只要使电路工作在 $V_{CC} = 0$ 下即可, 也就是说, 使用负电源并将 V_{CC} 线接地。此时, $V_{OH} = 0$ 和 $V_{OL} = -IR_C$ 。
4. 要使输出信号电平能够驱动其他门电路并与其输入保持兼容, 必须采用一些方法。我们很快会讲到, 实际的 ECL 门包含一个电平转换电路, 使得输出信号电平的中间值为 V_R 。
5. 由于存在互补输出, 从而极大地简化了使用 ECL 的逻辑电路设计。

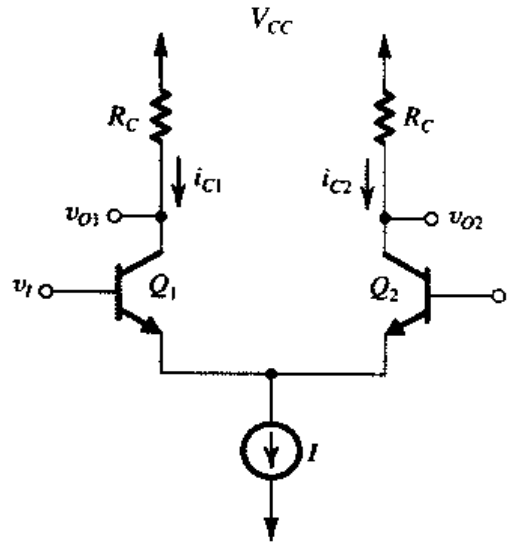


图 11.33 ECL 的基本单元是差分对。
这里, V_R 是参考电压

练习 11.17 对于图 11.33 所示的电路, 设 $V_{CC} = 0$, $I = 4\text{ mA}$, $R_C = 220\ \Omega$, $V_R = -1.32\text{ V}$ 以及 $\alpha = 1$ 。试求 V_{OH} 和 V_{OL} 。要使 V_{OH} 和 V_{OL} 的中心值为 V_R , 输出电平需要移动多少? 移动后的 V_{OH} 和 V_{OL} 为多少?

答案: 0 ; -0.88 V ; -0.88 V ; -0.88 V , -1.76 V

11.7.2 ECL 系列

现在有两类商用 ECL 比较流行, 它们是 ECL 10K 和 ECL 100K。ECL 100K 系列的特点是: 门延时处于 0.75 ns 的数量级, 功耗约为 40 mW/门 , 延时功率积为 30 pJ 。尽管功耗相对较大, 然而 100K 系列具有最短的门延时。

ECL 10K 系列速度稍慢。门传播延时为 2 ns , 功耗为 25 mW , 延时功率积为 50 pJ 。尽管 DP 值要高于 100K 系列, 但 10K 系列使用较为简便。这是由于脉冲信号的上升和下降时间都有意延长从而减少了相邻信号线间的信号耦合和互扰的缘故。ECL 10K 的“边沿速度”约为 3.5 ns , 而 ECL 100K 约为 1 ns 。为了加深对 ECL 的理解, 下面我们将详细讨论流行的 ECL 10K。当然, 同

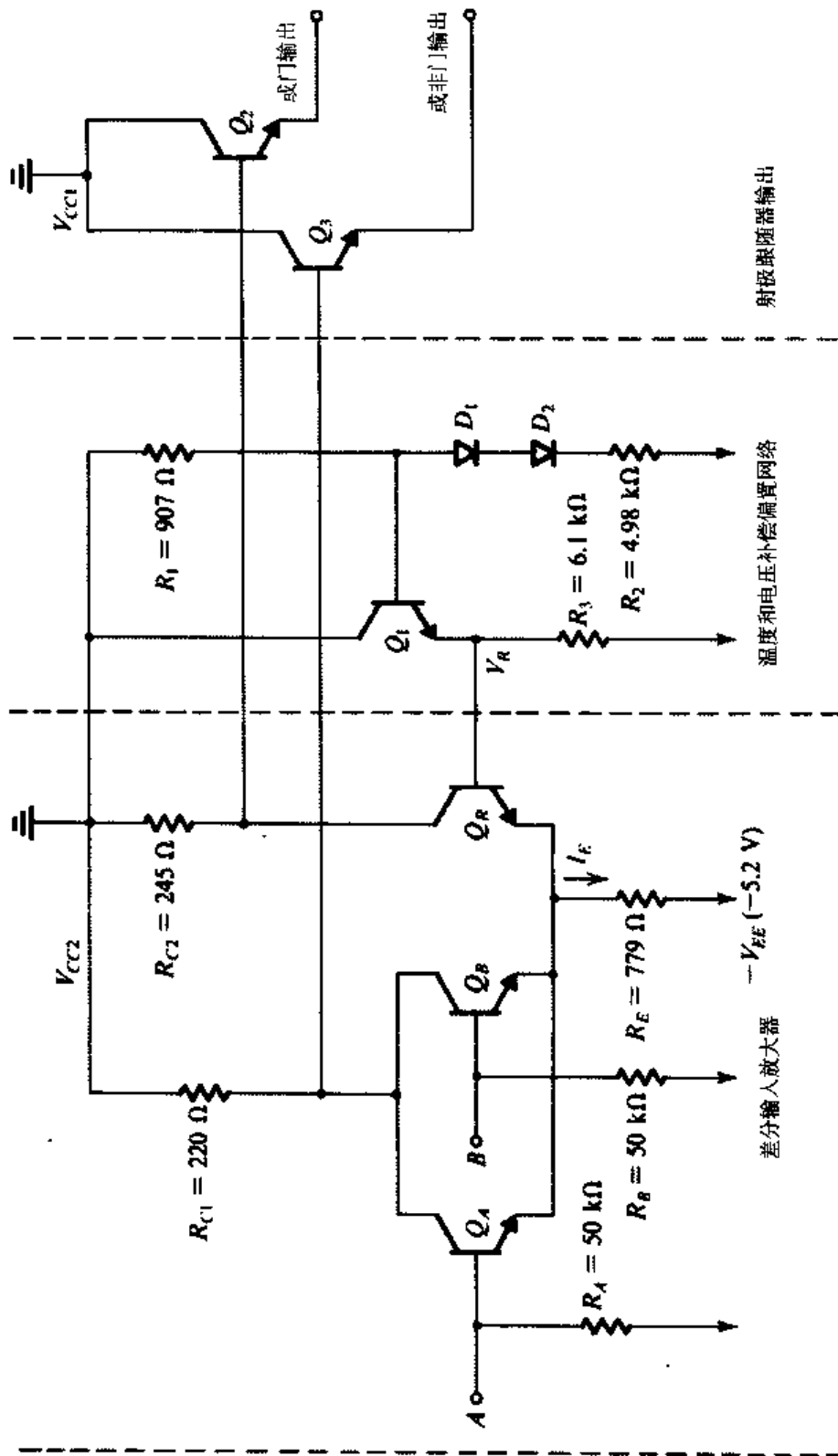


图 11.34 ECL 10K 逻辑门系列的基本电路

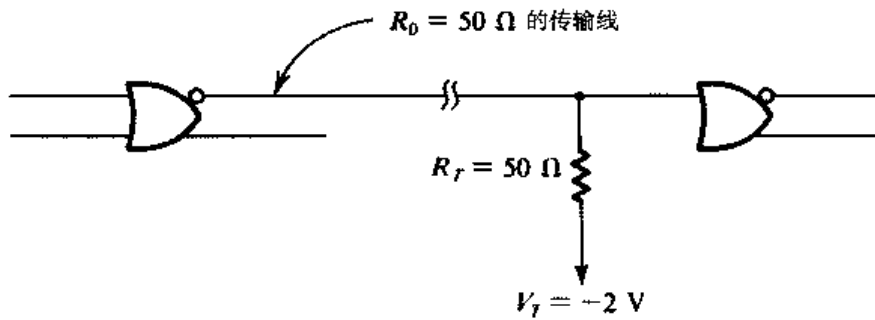


图 11.35 连接 ECL 等高速逻辑门的合理方式。将连接于两个门之间的传输线加上合适的终端可以避免出现破坏逻辑信号的“振铃”现象（参见 11.7.6 节）

射极跟随器有两个作用：第一，它们将输出信号电平位移一个 V_{BE} 。因此，利用习题 11.19 的结论，可以看到输出电平变为 -1.75 V 和 -0.75 V 左右。位移后电平的中间值与参考电压 ($V_R = -1.32 \text{ V}$) 接近，这表明一个门可驱动另一个门。输入与输出逻辑电平相兼容是门电路设计中的一个重要要求。

输出射极跟随器的第二个功能是为门电路提供较低的输出阻抗，以及给负载电容提供充电所需的较大的输出电流。由于大的静态电流会在电源线上形成尖峰，因此射极跟随器集电极连接的电源端 V_{CC1} 与差分放大器和参考电压电路连接的电源端 V_{CC2} 之间是隔离的。这里要注意，给差分放大器和参考电路供电的电流几乎保持恒定。电源端的隔离避免了输出电路与门电路间电源尖峰的相互耦合，从而降低了门电路发生错误切换的可能性。当然， V_{CC1} 和 V_{CC2} 与片外的同一个地相连接。

11.7.4 电压传输特性

在定性描述 ECL 门的工作特性之后，现在来推导电压传输特性。推导的条件是：电路的输出端如图 11.35 所示的方式被终结。假定输入 B 为低电平，故 Q_B 关闭，电路简化为图 11.36。下面对该电路进行分析，希望得到 v_{OR} 与 v_I 和 v_{NOR} 与 v_I 之间的关系（这里 $v_I \equiv v_A$ ）。

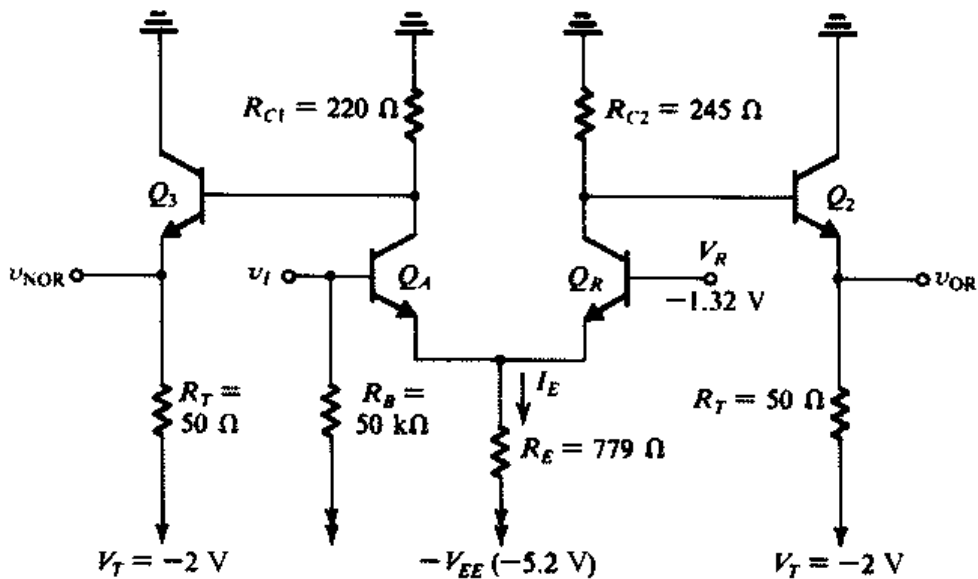


图 11.36 用于求解传输特性的简化了的 ECL 门电路

下面的分析过程用到了 BJT 的 $i_C \sim v_{BE}$ 指数特性关系。考虑到 ECL 电路中的 BJT 面积较小（从而可以减小电容以得到较大的 f_T ），故其比例电流 I_S 较小。因此，我们假定当 ECL 晶体管的射

极电流为 1 mA 时, V_{BE} 压降为 0.75 V。

或传输曲线 图 11.37 给出的是或传输 $v_{OR} \sim v_I$ 曲线的示意图, 图中标明了 V_{OL} , V_{OH} , V_{IL} , V_{IH} 。然而要简化 V_{IL} 和 V_{IH} 的求解, 我们不采用单位增益定义来进行计算。也就是说, 假定在 x 点处流过晶体管 Q_A 的电流占 I_E 的 1%, 而 Q_R 占 I_E 的 99%。 y 点的假设则相反。在 x 点处我们有

$$\frac{I_E|_{Q_R}}{I_E|_{Q_A}} = 99$$

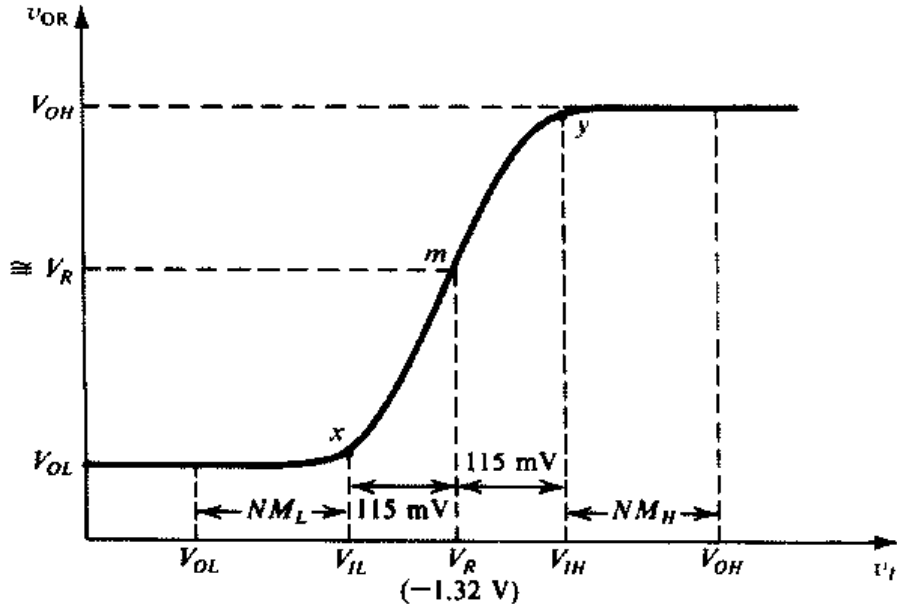


图 11.37 图 11.36 所示电路的 $v_{OR} \sim v_I$ 或传输曲线

利用 $i_E \sim v_{BE}$ 的指数关系, 可得

$$V_{BE}|_{Q_R} - V_{BE}|_{Q_A} = V_T \ln 99 = 115 \text{ mV}$$

有

$$V_{IL} = -1.32 - 0.115 = -1.435 \text{ V}$$

假定 Q_A 与 Q_R 匹配, 可得

$$V_{IH} - V_R = V_R - V_{IL}$$

利用上式可求出 V_{IH} 为

$$V_{IH} = -1.205 \text{ V}$$

为了求得 V_{OL} , 我们注意到 Q_A 关闭, Q_R 流过全部的电流 I_E :

$$\begin{aligned} I_E &= \frac{V_R - V_{BE}|_{Q_R} + V_{EE}}{R_E} \\ &= \frac{-1.32 - 0.75 + 5.2}{0.779} \\ &\approx 4 \text{ mA} \end{aligned}$$

(如果需要, 可以通过迭代得到更精确的 $V_{BE}|_{Q_R}$ 和 I_E) 假设 Q_R 的 β 较大, 故其 $\alpha = 1$, 集电极电流约为 4 mA。如果忽略 Q_2 的基极电流, 可以求得 Q_R 的集电极电压为

$$V_C|_{Q_R} = -4 \times 0.245 = -0.98 \text{ V}$$

故输出电压 V_{OL} 的第一个近似值为

$$\begin{aligned} V_{OL} &= V_{C1Q_R} - V_{BE1Q_2} \\ &\approx -0.98 - 0.75 = -1.73 \text{ V} \end{aligned}$$

利用这个值可以求出 Q_2 的射极电流，并迭代求出更精确的发射结电压。求得的结果是 $V_{BE2} \approx 0.79 \text{ V}$ ，而且相应地有

$$V_{OL} \approx -1.77 \text{ V}$$

当输出电压为该值时， Q_2 提供的负载电流约为 4.6 mA 。

要求解 V_{OH} ，我们假定 Q_R 完全关闭（因为 $v_I > V_{IH}$ ），求解 V_{OH} 的电路可简化为图 11.38。假定 $\beta_2 = 100$ ，分析该电路可得 $V_{BE2} \approx 0.83 \text{ V}$ ， $I_{E2} = 22.4 \text{ mA}$ ，以及

$$V_{OH} \approx -0.88 \text{ V}$$

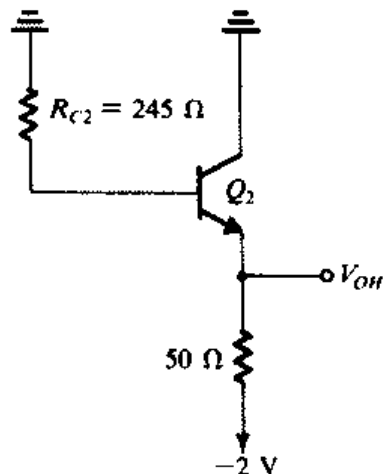


图 11.38 求解 V_{OH} 的电路

练习 11.20 考虑图 11.36 中的电路，分别求出 $v_I = V_{IL}$ 、 V_R 和 V_{IH} 时的电流 I_{E_C} ，并求出对应于 $v_I = V_R$ 的 v_{OR} 。假设电流为 1 mA 时的 $v_{BE} = 0.75 \text{ V}$ 。

答案：3.97 mA；4.00 mA；4.12 mA；-1.31 V

噪声容限 练习 11.20 的结果表明，偏置电流 I_E 几乎保持恒定， $v_I = V_R$ 时的输出电压也约等于 V_R 。另外，逻辑电平摆幅的中心值也约等于 V_R ，即

$$\frac{V_{OL} + V_{OH}}{2} = -1.325 = V_R$$

因此，输出逻辑电平位于输入过渡带中心值的两侧。从噪声容限的角度来看，这种情况较为理想。这也就是为什么看似随意选择参考电压和电源电压（ $V_R = -1.32 \text{ V}$ 和 $V_{EE} = 5.2 \text{ V}$ ）的原因。

现在可以求得噪声容限为

$$\begin{aligned} NM_H &= V_{OH} - V_{IH} & NM_L &= V_{IL} - V_{OL} \\ &= -0.88 - (-1.205) = 0.325 \text{ V} & &= -1.435 - (-1.77) = 0.335 \text{ V} \end{aligned}$$

这两个值差不多相等。

或非传输曲线 图 11.36 中电路的或非传输特性 $v_{NOR} \sim v_I$ 的关系曲线如图 11.39 所示。 V_{IL} 和 V_{IH} 的值与之前的或传输特性相同。为了强调这一点，与图 11.37 中一样，图中标出了起始点 x 和 y 。

当 $v_I < V_{IL}$ 时， Q_A 关闭，通过分析由 R_{C1} 、 Q_3 和 50Ω 终端组成的电路可以求出输出电压 v_{NOR} 。除了 R_{C1} 比 R_{C2} 稍小以外，该电路与图 11.38 所示的电路完全相同。因此，输出电压会比先前求得的 V_{OH} 稍大。在图 11.39 的示意图中，我们假定输出电压约等于 V_{OH} 。

当 $v_I > V_{IH}$ 时， Q_A 导通，流过全部的偏置电流。该电路可简化为图 11.40 所示的结构。很容易可以分析得到 $v_I \geq V_{IH}$ 时的 $v_{NOR} \sim v_I$ 关系曲线。从中可以得出一些结论。首先， $v_I = V_{IH}$ 时的输出电压比 V_{OL} 稍高。这是因为 R_{C1} 比 R_{C2} 小。实际上，之所以选择 R_{C1} 比 R_{C2} 小，是为了 v_I 等于逻辑 1 电平（即等于 V_{OH} ，约为 -0.88 V ）时输出电压等于先前“或”输出时求得的 V_{OL} 。

其次，当 v_I 大于 V_{IH} 时，晶体管 Q_A 工作在放大区，可由图 11.40 所示电路分析该放大器的增益，这个增益值也就是传输特性曲线上 yz 段的斜率。在 z 点，晶体管 Q_A 饱和，再增大 v_I （超过 $v_I = V_S$ 后），集电极电压以及 v_{NOR} 会增大。然而， z 点右侧传输特性曲线的斜率不等于 1，而是约等于 0.5。这是因为当 Q_A 深度饱和时， v_I 增加值的一部分表现为集电结正向偏置电压。练习 11.21 涉及到了或非传输特性的细节问题，希望读者能给出求解过程。

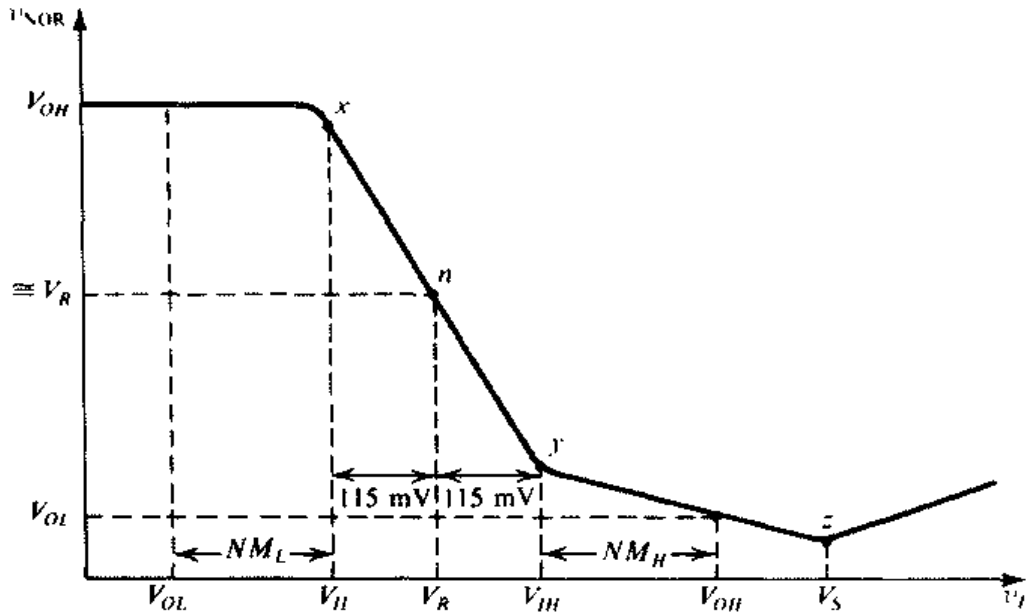


图 11.39 图 11.36 所示电路的 $v_{NOR} \sim v_I$ 或非传输曲线

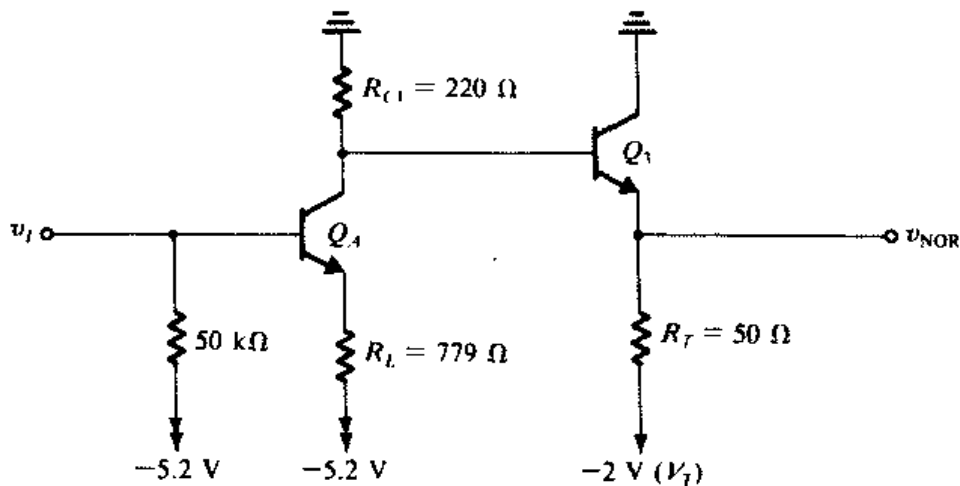


图 11.40 用于求解 $v_I > V_{IH}$ 时 $v_{NOR} \sim v_I$ 关系曲线的电路

练习 11.21 考虑图 11.40 中的电路。(a) 若 $v_I = V_{IH} = -1.205 \text{ V}$, 求 v_{NOR} 。(b) 若 $v_I = V_{OH} = -0.88 \text{ V}$, 求 v_{NOR} 。(c) 求输出特性曲线在 $v_I = V_{OH} = -0.88 \text{ V}$ 处的斜率。(d) 求 Q_A 饱和 (即 V_S) 时 v_I 的值。假定电流为 1 mA 时 $V_{BE} = 0.75 \text{ V}$, $V_{CEsat} = 0.3 \text{ V}$, $\beta = 100$ 。

答案: (a) -1.70 V ; (b) -1.79 V ; (c) -0.24 V/V ; (d) -0.58 V

厂商规范 ECL 生产厂商提供类似于图 11.37 和图 11.39 所示形式的门电路传输特性。通常提供的是一系列不同温度下测得的曲线。另外, 对于每个温度值会给出参数 V_{IL} , V_{IH} , V_{OL} , V_{OH} 在最差情况下的值。这些值中考虑到了元件之间不可避免的差异。比如, Motorola 在 MECL 10 000 的说明书中给出了 25°C 时的最差情况值^①:

$$\begin{aligned} V_{IL\max} &= -1.475 \text{ V} & V_{IH\min} &= -1.105 \text{ V} \\ V_{OL\max} &= -1.630 \text{ V} & V_{OH\min} &= -0.980 \text{ V} \end{aligned}$$

① MECL 是 Motorola 公司 ECL 产品的商标

利用这些值可以确定最差情况下的噪声容限:

$$NM_L = 0.155 \text{ V} \quad NM_H = 0.125 \text{ V}$$

这些值大概只有前面计算得到的典型值的一半。

感兴趣的读者可以参考本书最后文献中列出的 Motorola (1988, 1989) 出版物, 以获取更多关于 MECL 说明书的信息。

11.7.5 扇出

当 ECL 门的输入信号为低电平时, 输入电流等于 $50 \text{ k}\Omega$ 下拉电阻上流过的电流, 因此,

$$I_{IL} = \frac{-1.77 + 5.2}{50} \approx 69 \mu\text{A}$$

当输入为高电平时, 由于输入晶体管基极电流的影响, 输入电流较大。假定晶体管的 β 为 100, 可得

$$I_{IH} = \frac{-0.88 + 5.2}{50} + \frac{4}{101} \approx 126 \mu\text{A}$$

这些电流都很小, 由于 ECL 门的输出电阻也很小, 因此扇出门输入电流导致的逻辑信号电平衰减会比较小。因此, ECL 门的扇出不受限于逻辑电平的衰减, 而受限于电路速度 (上升与下降时间) 的衰减。后者归咎于每个扇出门给驱动门带来的电容 (约 3 pF)。因而, 尽管直流扇出高达 90 也不会成为设计上的问题, 但交流扇出却受限于电路速度, 只能达到 10 左右。

11.7.6 工作速度与信号传输速度

逻辑电路的工作速度由其基本门电路的延迟以及输出波形的上升及下降时间来衡量。ECL 电路的这些参数的典型值已经给出。这里需要指出的是, 由于输出电路是一个射极跟随器, 因此输出信号的上升时间比下降时间短。这是因为在输出脉冲的上升沿射极跟随器开始工作, 提供对负载和寄生电容进行充电的输出电流。而当射极跟随器的基极信号下降时, 射极跟随器关闭, 负载电容通过负载和下拉电阻进行放电。

要完全发挥 ECL 电路能够提供的最大工作速度, 需要十分注意系统中各个逻辑门之间的连接方式。为了说明这一点, 我们对信号传输速度做一简要讨论。

ECL 处理的信号的上升时间仅有 1 ns 或更少, 对于光来说, 在这么短时间内也只能传播 30 cm 左右。对于这种信号, 导线及其周围环境变得相对复杂, 此时的信号传播速度为有限值 (可能为光速的一半, 即 15 cm/ns)。如果没有采取特别措施, 传送到导线末端的能量不会被吸收, 而会被反射回发射端, (如果没有特别处理) 还会再次发生反射。这一反射过程的观测结果被称为“振铃”, 信号偏离终值, 存在衰减振荡。

遗憾的是, ECL 特别容易受振铃的影响, 因为其信号电平很低。因此, 信号的传输必须很好地加以控制, 除了吸收能量, 还要避免反射。通行的手段是以某种方式改造连接导线的性质。一种方法是保证导线非常短, 这里的“短”是相对于信号的上升时间而言的。这样做的原因是: 如果连接线很短以至于反射回到发射端时输入仍在上升中, 结果只不过是产生一个变缓且带有起伏的上升沿。

然而, 如果反射回到发射端发生在上升沿结束之后, 则不仅仅是初始边沿会发生改变, 还会产生独立的二次效应。显然这很糟糕! 因此, 信号从导线的一端到另一端的往返时间必须比驱动信号的上升时间小若干倍, 比如说 5 倍。因此, 对于一个上升时间为 1 ns 的信号, 传播速度等于光速 (30 cm/ns) 时, 来回导线的长度必须小于光传播 0.2 ns 之后的长度 (即 6 cm), 因此端到端

的导线长度必须小于 3 cm。

这就是对 ECL 100K 提出的限制。然而, ECL 10K 的上升时间较慢, 约为 3.5 ns。根据同样的规则, ECL 10K 对应导线的长度可以长达 10 cm。

如果还要增加长度, 就必须使用传输线了。传输线实质上就是周围环境受到控制的导线。传输线到参考地平面或传输线两导线之间的距离是严格受控的。因此, 传输线可以是一根线接地的双绞线, 或者是其中一根接地的平行带状线, 或者是所谓的微带线。这些线都位于印刷电路板上。其中, 微带线实质上就是尺寸受控的铜线, 与地平面分属厚度较薄的印刷电路板的两侧。

传输线的特性阻抗 R_0 介于数十欧姆到几百欧姆之间。信号在传输线上的传播速度要比光速小得多, 大约为光速的一半。当传输线的接收端接上与特性阻抗 R_0 阻值相等的电阻时, 线上传输的能量会全部被接收端接收, 而不会发生发射 (因为终端相当于一根无限长的传输线)。因此, 信号的完整性得到保持。这种传输线称为终端处理合适的传输线。一根终端合适的传输线在其发送端相当于阻值为 R_0 的电阻。ECL 10K 中射极跟随器的射极开路, 具有较低的输出电阻 (最大为 7Ω), 非常适于驱动传输线。ECL 作为传输线的接收端也很不错。具有较高的下拉电阻 ($50 \text{ k}\Omega$) 的单个门对传输线来说是一个高阻。因此, 可以简单地把数个门接到传输线的终端。图 11.35 说明了这几点。

11.7.7 功率损耗

由于 ECL 电路的差分性质, 门电流几乎保持恒定, 并根据输入逻辑信号在门的两侧之间转换。因此, 供电电流及未接终端的 ECL 门的功耗都相对恒定, 不随门的逻辑状态发生变化。这样, 电源线上就不会出现电压尖峰。在数字系统中这种尖峰是一种危险的噪声源。因此, ECL 电路中的供电线并不一定需要旁路电容, 这与 TTL 电路不同。这是 ECL 的另一个优点。

这里, 我们需要强调前面已经提及的一点。尽管 ECL 门可以工作在 $V_{EE} = 0$ 和 $V_{CC} = +5.2 \text{ V}$ 的情况下, 但我们通常建议选择 $V_{EE} = -5.2 \text{ V}$ 和 $V_{CC} = 0 \text{ V}$, 这是因为电路中所有信号的电平都以 V_{CC} 为参考, 并且地平面是一个很好的参考面。

练习 11.22 对图 11.34 中的 ECL 门, 在所有输入为低电平且输出射极跟随器的射极开路的情况下, 估算电路中的耗散功率。假定参考电路为 4 个相同的门供电, 因此单个门在参考电路中的耗散功率仅为四分之一。

答案: 22.4 mW

11.7.8 温度效应

在对图 11.34 中 ECL 门的分析过程中, 我们求得室温下的参考电压 V_R 为 -1.32 V 。同时, 我们还发现输出逻辑摆幅的中点约等于这个电压值。这种情况比较理想, 因为这时高低电平的噪声容限相等。在例题 11.4 中, 我们将推导出参考电压及输出高低电压分别对应的温度系数。通过这个例子可以看到, 随着温度的变化, 输出逻辑摆幅的中点与参考电压的变化保持一致。因此, 尽管随着温度变化高低电平噪声容限的绝对大小会发生改变, 但是始终保持相等。这是 ECL 的另一个优点, 同时也说明这个门电路在设计上进行了高度的优化。

例题 11.4 试求参考电压 V_R 以及 V_{OL} 和 V_{OH} 之间中点电压的温度系数。

解: 先求 V_R 的温度系数。考虑图 E11.18, 假定温度升高, 则 V_{BE} 和 V_{BE} 都升高, 且 V_{BE} 的升高比 V_{BE} 的升高快。

慢, V_{BE} 的升高比 V_{BE} 的升高慢, 所以 V_R 随温度升高而升高。

的 V_{BE} 的升高比 V_{BE} 的升高慢, 所以 V_R 随温度升高而升高。

门的

线的

以利用叠加原理来进行求解。首先考虑 R_1 、 D_1 、 D_2 、 2δ 和 R_2 支路，忽略 Q_1 的基极信号电流。容易求出 Q_1 基极的信号电压为

$$v_{b1} = \frac{2\delta \times R_1}{R_1 + r_{d1} + r_{d2} + R_2}$$

其中， r_{d1} 和 r_{d2} 分别表示二极管 D_1 和 D_2 的增量电阻。 D_1 和 D_2 的直流偏置电流约为 0.64 mA，因此 $r_{d1} = r_{d2} = 39.5 \Omega$ ，所以 $v_{b1} \approx 0.3\delta$ 。由于射极跟随器 Q_1 的增益约为 1，且信号源 2δ 产生的 ΔV_R 约等于 v_{b1} ，即 $\Delta V_{R1} = 0.3\delta$ 。

下面考虑由信号源 δ 产生的 ΔV_R 。射极跟随器基极电路的总电阻为 $[R_1 \parallel (r_{d1} + r_{d2} + R_2)]$ ，除以 $\beta + 1$ ($\beta \approx 100$) 就可得到这个 ΔV_R ：

$$\Delta V_{R2} = -\frac{\delta \times R_3}{[R_B / (\beta + 1)] + r_{e1} + R_3}$$

其中， R_B 表示基极电路的总电阻， r_{e1} 表示 Q_1 的射极电阻 ($\approx 40 \Omega$)。计算可得 $\Delta V_{R2} = -\delta$ 。将这个值与由信号源 2δ 产生的 ΔV_{R1} 相加可得 $\Delta V_R \approx -0.7\delta$ 。故当 $\delta = -2 \text{ mV}/^\circ\text{C}$ 时， V_R 的温度系数为 $+1.4 \text{ mV}/^\circ\text{C}$ 。

接着来求 V_{OL} 的温度系数。用于求解该值的电路如图 11.42 所示。其中有三个信号源，可分别求出每个信号源作用的结果，而后将其相加即可得到 ΔV_{OL} 。结果是

$$\begin{aligned} \Delta V_{OL} &= \Delta V_R \frac{-R_{C2}}{r_{eR} + R_E} \frac{R_T}{R_T + r_{e2}} \\ &= -\delta \frac{-R_{C2}}{r_{eR} + R_E} \frac{R_T}{R_T + r_{e2}} \\ &= -\delta \frac{R_T}{R_T + r_{e2} + R_{C2} / (\beta + 1)} \end{aligned}$$

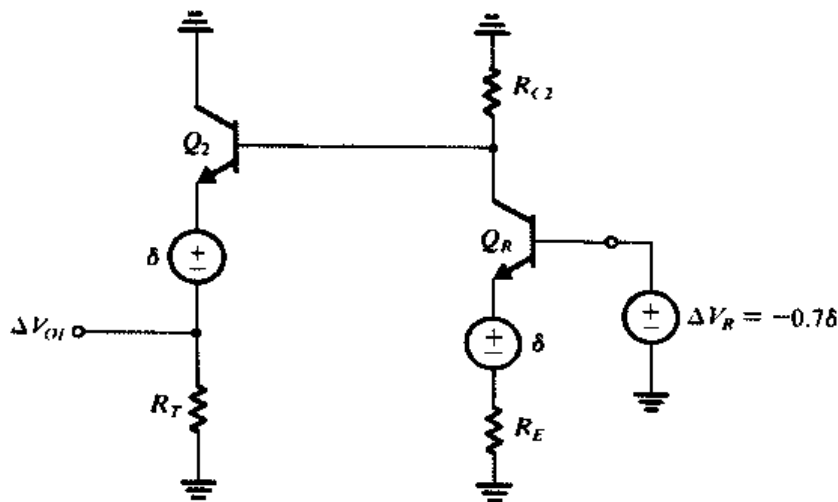


图 11.42 用于求解 V_{OL} 温度系数的等效电路

将题中给出的值和分析过程中得到的值代入，可得

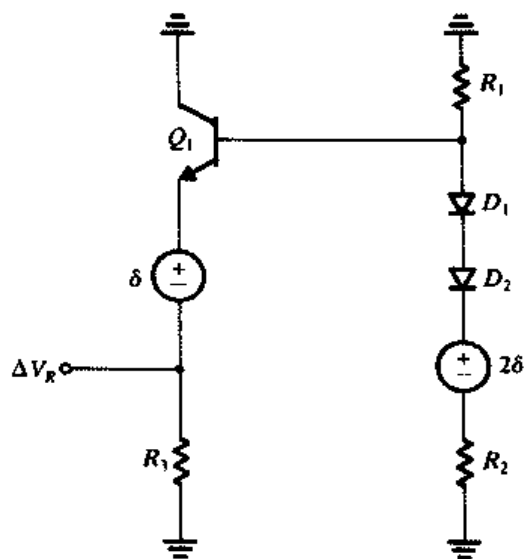


图 11.41 用于求解参考电压 V_R 温度系数的等效电路

$$\Delta V_{OL} = -0.43\delta$$

用来求解 V_{OH} 温度系数的电路如图 11.43 所示, 从中可得

$$\Delta V_{OH} = -\delta \frac{R_T}{R_T + r_{e2} + R_{C2} / (\beta + 1)} \approx -0.93\delta$$

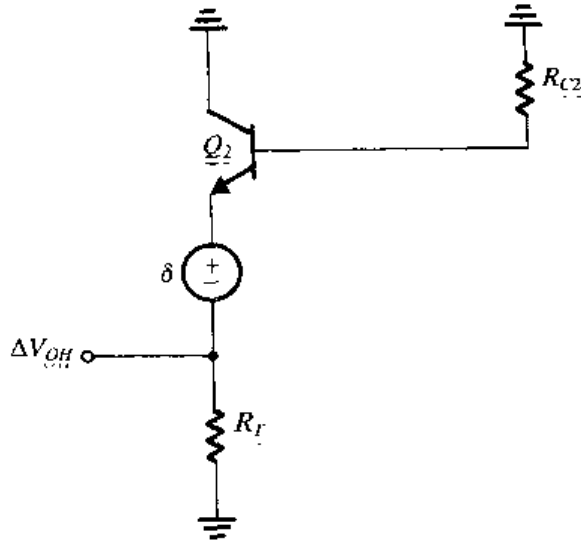


图 11.43 用于求解 V_{OH} 温度系数的等效电路

现在可以求出逻辑摆幅中点的变化值为

$$\frac{\Delta V_{OL} + \Delta V_{OH}}{2} = -0.68\delta$$

这个值约等于参考电压 V_R 的变化值 (-0.7δ)。

11.7.9 线或 (wired-OR) 能力

ECL 系列的输出级为射极跟随器, 因此可以简单地把数个门的输出并接, 从而在花费很少的情况下实现高层次的逻辑功能。图 11.44 说明了这一点, 其中两个门的输出用导线连接在一起。输出跟随器的发射结二极管实现了或逻辑。这种线或连接可以提供高扇入, 也可以增强 ECL 在逻辑射极中的灵活性。

11.7.10 最后的说明

我们主要通过一类既经济又常用的电路介绍了 ECL。如前所述, 为了制造一类超高性能的 SSI 和 MSI 逻辑电路, 人们进行了大量的设计优化。如前所述, ECL 及其一些变种也被用于 VLSI 电路的设计中。应用领域包括超级计算机的超高速处理器以及高速和高频通信系统。在 VLSI 设计中几乎全部使用电流源偏置。另外, 采用的电路结构也有很多种 [参见 Rabaey (1996)]。

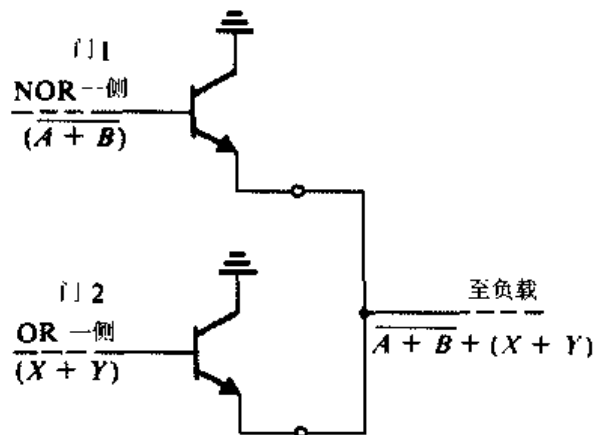


图 11.44 ECL 的线或能力

11.8 BiCMOS 数字电路

本节将介绍一种日渐流行的 VLSI 电路技术——BiCMOS。顾名思义，BiCMOS 技术是在一块 IC 芯片上集成了双极型晶体管和 CMOS 电路。CMOS 电路具有低功耗、高输入阻抗和宽噪声容限等特点，而双极型晶体管具有较高的电流驱动能力，BiCMOS 则把这两者的优点集中在一起。具体而言，CMOS 逻辑电路技术尽管在很多方面都较为理想，但是其电流驱动能力却较弱。当 CMOS 门只需要驱动少数几个 CMOS 门时，这不是一个严重的问题。但是，当负载电容相对较大（比如说大于 0.5 pF）时，这就成了大问题。在这种情况下，要么使用复杂的 CMOS 缓冲电路，要么忍受令人难以接受的较长的传播延时。另一方面，由于具有很大的跨导，BJT 能够输出较大的电流。我们已经在 ECL 输出级的射极跟随器中看到了这一点。实际上，较大的电流驱动能力正是 ECL 比 CMOS（在同样条件下）快 2~5 倍的原因——当然，需要以较大的功耗作为代价。总之，BiCMOS 电路整合了 CMOS 和双极型晶体管技术的优点。当要求输出电流较大且超过 CMOS 电路的能力时，这类电路就特别有用。另外，由于 BiCMOS 技术特别适用于高性能模拟电路，使得模拟和数字电路同处于一块芯片成为可能，“片上系统”成为可能实现的目标。然而其代价是制造技术较为复杂，从而比较昂贵（与 CMOS 相比）。

11.8.1 BiCMOS 反相器

目前已经有很多种 BiCMOS 反相器电路被提出和使用。所有这些电路都利用了 npn 晶体管以增大 CMOS 反相器能够提供的输出电流。最简单的方法是在 CMOS 反相器的 Q_N 和 Q_P 后级联一个 npn 晶体管，如图 11.45 (a) 所示。注意，该电路可以视为图 11.45 (b) 中一对互补复合 MOS-BJT 器件的组合。这些复合器件^①在保持 MOS 晶体管的较高输入阻抗的同时，实际上还将其较小的 g_m 扩大了 BJT 的 β 倍。另外值得注意的是： Q_1 和 Q_2 组成的输出级采用了 TTL 中使用的图腾柱结构^②。

图 11.45 (a) 中电路的工作情况如下：当 v_I 为低电平时， Q_N 和 Q_2 都关闭，而 Q_P 导通，并为 Q_1 提供基极电流，使得 Q_1 开启。然后， Q_1 产生一个较大的输出电流，对负载电容进行充电。结果使负载电容很快完成充电，对应的低电平到高电平的延时 t_{PLH} 较小。当 v_O 接近于 $V_{DD} - V_{BE1}$ 时， Q_1 截止，因此输出高电平低于 V_{DD} ，这是一个缺点。当 v_I 为高电平时， Q_P 和 Q_1 关闭， Q_N 导通，将其漏极电流提供给 Q_2 的基极。 Q_2 开启，产生一个很大的输出电流，对负载电容进行放电。同样，高电平到低电平的延时 t_{PHL} 也较小。负面影响是当 v_O 接近于 V_{BE2} 时， Q_2 关闭，因此输出低电平大于零，这同样是一个缺点。

因此，尽管图 11.45 (a) 所示电路具有较大的输出电流和较短的传播延时，然而其逻辑摆幅及噪声容限的减小却是一个问题。另一个可能更为严重的缺点是 Q_1 和 Q_2 的关闭延时较长，这是由于缺少一条基极电荷释放的通路所致。解决这一问题的方法是分别在 Q_1 和 Q_2 与地之间添加一个电阻，如图 11.45 (c) 所示。当 Q_1 或 Q_2 关闭时，储存的基极电荷可以通过 R_1 或 R_2 流向地。电阻 R_2 还有一个好处：当 v_I 为高电平时， Q_2 关闭后， v_O 低于 V_{BE2} 时继续下降， Q_N 和 R_2 的串联通路将输出节点拉到地电平，因此 R_2 起到了下拉电阻的作用。然而， $Q_N - R_2$ 通路的阻抗较高，使得将 v_O 拉到低电平的过程很慢。从静态功耗的角度来看，添加 R_1 是不利的：当 v_I 为低电平时在 V_{DD} 和地之间存在一条直流通路经过导通的 Q_P 和 R_1 。最后，需要注意的是： R_1 和 R_2 抽走了提

① 有趣的是，这些复合器件早在 1969 年就被提出了 [参见 Lin et al. (1969)]。

② 参阅本书（上册）附带光盘中关于基本 TTL 逻辑门电路及其图腾柱输出级的介绍。

供给 Q_1 和 Q_2 基极的部分 Q_N 和 Q_P 的漏极电流, 稍稍减小了用于对负载电容进行充放电的门输出电流。

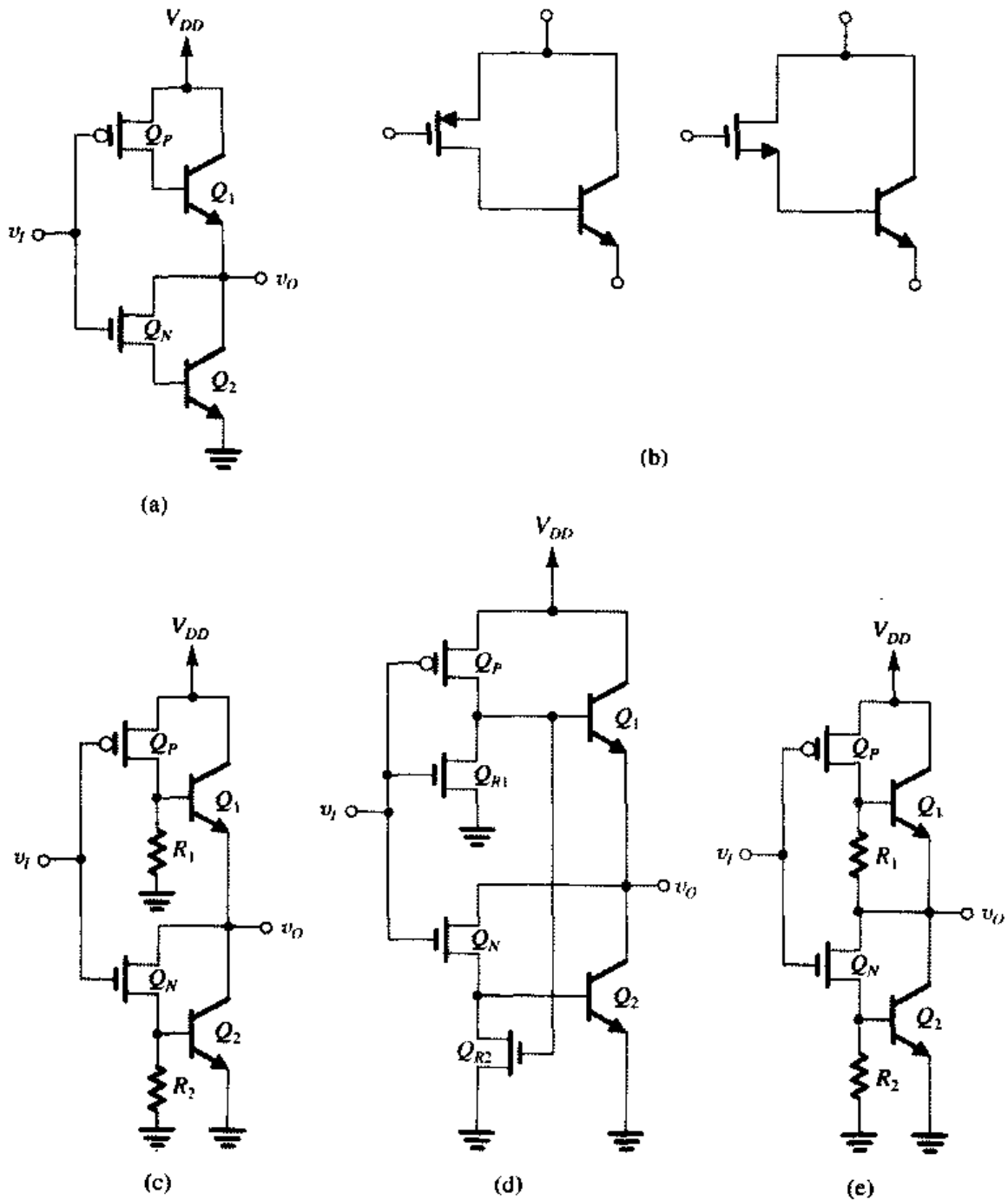


图 11.45 BiCMOS 反相器电路的发展: (a) 基本思想是利用额外的双极型晶体管增大 CMOS 反相器 Q_N 和 Q_P 的输出驱动电流; (b) (a) 中电路可以视为这些复合器件的组合; (c) 为了减小 Q_1 和 Q_2 的关闭时间, 添加了“泄漏电阻” R_1 和 R_2 ; (d) 将 NMOS 晶体管用做电阻实现 (c) 中的电路; (e) (c) 中电路的改进结构, 将 R_1 的下端接在输出节点上

图 11.45 (d) 给出的是 R_1 和 R_2 的通常实现方式。如图所示, NMOS 器件 Q_{R1} 和 Q_{R2} 用于实现 R_1 和 R_2 。该电路做了如下改进: 这两个管子仅在需要时才导通。因此, 只有当 v_I 升高时, Q_{R1} 才导通。此时, 其漏极电流形成了 Q_1 的反向基极电流, 加速了 Q_1 的关闭。同样, 只有当 v_I 降低

时, Q_P 才导通, 从而将 Q_{R2} 栅极电压拉高。 Q_{R2} 的漏极电流形成了 Q_2 的反向基极电流, 加速了 Q_2 的关闭。

图 11.45 (e) 给出的是所谓的 R-电路, 这是 BiCMOS 反相器的最终电路形式。该电路与图 11.45 (c) 中的电路仅有一处不同: 没有将 R_1 连接到地, 而是将 R_1 与反相器的输出节点相连。这一改动有两个好处: 其一, 解决了静态功耗的问题; 其二, R_1 现在成为一个上拉电阻, 在 Q_1 关闭后将输出节点电压上拉至 V_{DD} (通过导通的 Q_P)。这样, 图 11.45 (e) 中 R-电路的输出实际上接近于 V_{DD} 和地。

对于 BiCMOS 反相器需要注意的是: 设计电路时, 晶体管 Q_1 和 Q_2 不能同时导通, 也不能进入饱和。遗憾的是, 有时 BJT 集电极区域的电阻与较大的电容充电电流相互作用, 会使 BJT 进入饱和。具体而言, 当输出电流较大时, r_c (为 $100\ \Omega$ 的数量级) 上产生的电压会使得集电极端的电压下降, 导致 CBJ 形成正向偏置。读者可以回想一下, 饱和是一种有害的现象, 其原因有两个: 将集电极电流限制为小于 βI_B ; 减缓了晶体管关闭的速度。

11.8.2 动态特性

对 BiCMOS 反相器电路的动态特性进行详细分析是极其复杂的。但是如果只是估算其传播延时, 则可以只考虑对负载电容 C 的充放电时间。当 C 相对较大时, 它对反相器动态性能起主导作用, 或者换句话说, 如果我们能够忽略对内部电路节点上的寄生电容进行充电的时间, 这种近似是可行的。幸运的是, 实际情况一般就是这样。当负载电容不是很大时, 可以直接使用简单的 CMOS 反相器。实际上, 可以证明 [Embabi, Bellaouar 和 Elmasry (1993)], 仅当门电路需要驱动大扇出或大负载电容时, BiCMOS (与 CMOS 相比) 的速度优势才比较明显。例如, 负载电容为 $50\ \text{fF}$ 到 $100\ \text{fF}$ 时, BiCMOS 和 CMOS 的延时一般是相等的。但是在负载电容为 $1\ \text{pF}$ 时, BiCMOS 反相器的 t_p 为 $0.3\ \text{ns}$, 而对应的 CMOS 反相器的 t_p 约为 $1\ \text{ns}$ 。

最后, 图 11.46 给出了可以用来粗略估计 R 型 BiCMOS 反相器 t_{PLH} 和 t_{PHL} 的简化等效电路。

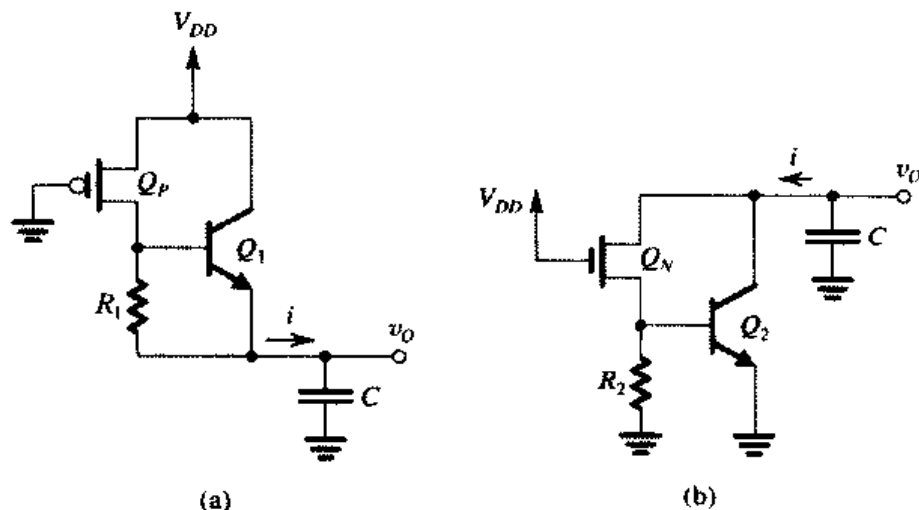


图 11.46 对负载电容 C 充放电时的等效电路。注意, C 包括了所有输出节点处的电容

11.8.3 BiCMOS 逻辑门

在 BiCMOS 中, 逻辑功能通常由门电路的 CMOS 部分实现, 而双极型晶体管部分仅仅用做

输出级。利用 CMOS 中使用的方法同样可以构造 BiCMOS 逻辑门电路。作为例子,图 11.47 画出了一个 BiCMOS 二输入与或门。

最后需要注意的是:BiCMOS 技术在很多产品中都得到了应用,包括微处理器、静态 RAM 以及门阵列 [参见 Alvarez (1993)]。

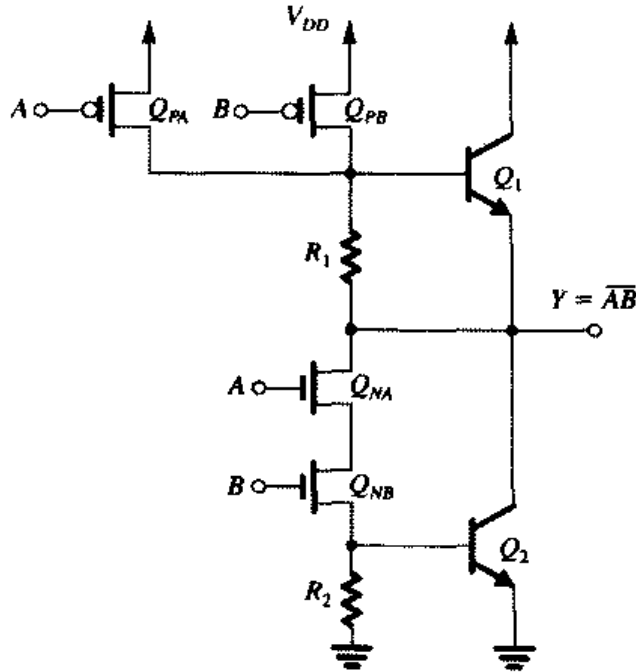


图 11.47 一个 BiCMOS 二输入与或门

练习 D11.23 图 11.45 (e) 中 BiCMOS 反相器的开启电压等于 Q_N 和 Q_P 都工作在饱和区且流过相同电流时的 v_I 值。 v_I 取该值时, Q_2 导通, 使得 Q_N 源极的电压约为 0.7 V。要求设计一个电路以使开启电压等于 $V_{DD}/2$ 。已知 $V_{DD} = 5$ V, $|V_{I1}| = 0.6$ V。假定 Q_N 和 Q_P 的沟道长度相等, $\mu_n = 2.5\mu_p$, 求需要的宽度比 W_p/W_n 。

答案: 1

11.9 SPICE 仿真实例

最后介绍一个用 SPICE 分析双极型数字电路的例子作为本章的结束。

例题 11.5 一个 ECL 门的静态和动态工作情况

本例中, 我们使用 PSpice 来分析 ECL 门的静态和动态工作情况 (见 11.7 节中的介绍), Capture 电路原理图如图 11.48 所示。

由于没有办法获知商用 ECL 产品使用的 BJT 的 SPICE 模型参数值, 因此我们只能根据经验来选定参数值, 利用这些典型值能够使模拟结果与厂商提供的性能测量值相吻合。需要注意的是, 将 SPICE 用做辅助工具的 IC 设计师不会遇到这个问题, 他们应当能够使用专门的工艺参数和对应的器件模型参数。总之, 在接下来的模拟中, 我们选择以下的 BJT 模型参数值^①: $I_S = 0.26$ fA, $\beta_F = 100$; $\beta_R = 1$, $\tau_F = 0.1$ ns, $C_{je} = 1$ pF, $C_{jc} = C_{\mu} = 1.5$ pF, 以及 $|V_A| = 100$ V。

我们利用图 11.49 所示电路计算 ECL 门的电压传输特性, 即 v_{OR} 和 v_{NOR} 与 v_A 之间的关系, 其

^① 在 PSpice 中, 我们创建了一个基于这些 BJT 模型参数值的元件 QECL。读者可以在本书 (上册) 附带的 CD 或 www.secdasmith.org 的 SEDRA.olb 库中找到这个元件。

中 v_A 是 A 端的输入电压。这里, 另一个输入端加上了电压 $v_B = V_{OL} = -1.77\text{ V}$ 以保持恒定。在 PSpice 中, 我们使用直流分析模拟功能, v_A 以 10 mV 为一个步进从 -2 V 增大到 0 V , 画出 v_{OR} 和 v_{NOR} 与 v_A 的关系曲线。模拟结果如图 11.50 所示。很容易看出, 这就是我们在 11.7 节中已讲过并通过手工运算(部分)验证过的 VTC。两条传输曲线关于输入电压 -1.32 V 对称, 此外 PSpice 还求出了参考晶体管 Q_R 的基极电压 V_R 恰好为 -1.32 V , 这与我们对参考电压电路进行手工运算得到的结果相同。

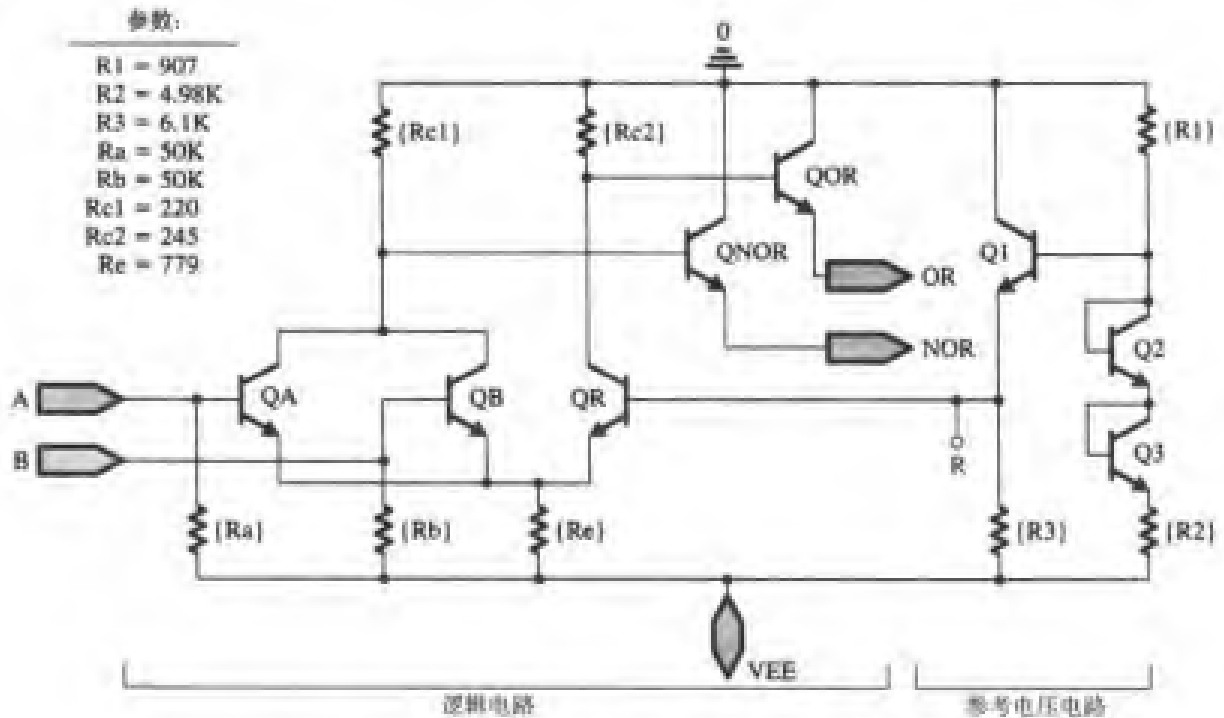


图 11.48 例题 11.5 中二输入 ECL 门的 Capture 电路原理图

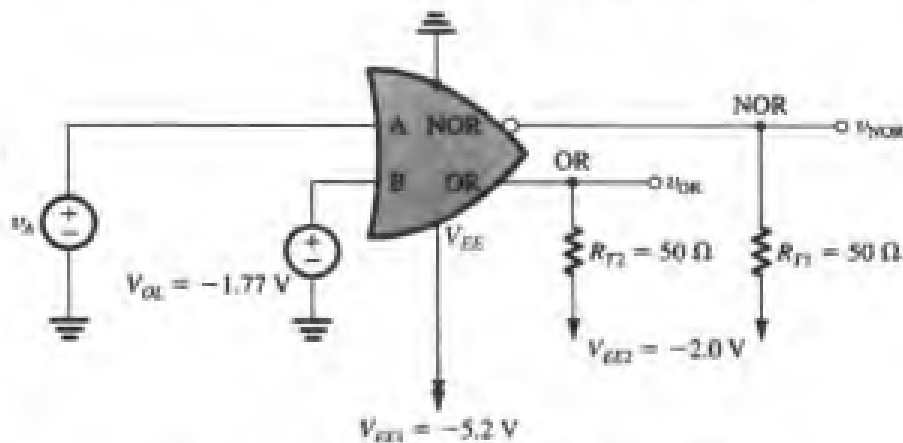


图 11.49 用于计算图 11.48 中 ECL 门电压传输特性的电路

利用 Probe (PSpice 的图形界面) 可以确定 VTC 的重要参数值:

或输出: $V_{OL} = -1.77\text{ V}$, $V_{OH} = -0.88\text{ V}$, $V_{IL} = -1.41\text{ V}$, $V_{IH} = -1.22\text{ V}$; 因此,

$$NM_H = 0.34\text{ V} \text{ 且 } NM_L = 0.36\text{ V}$$

或非输出: $V_{OL} = -1.78\text{ V}$, $V_{OH} = -0.88\text{ V}$, $V_{IL} = -1.41\text{ V}$, $V_{IH} = -1.22\text{ V}$; 因此,

$$NM_H = 0.34\text{ V} \text{ 且 } NM_L = 0.37\text{ V}$$

这些值与 11.6 节中利用手工分析得到的结果相当接近。

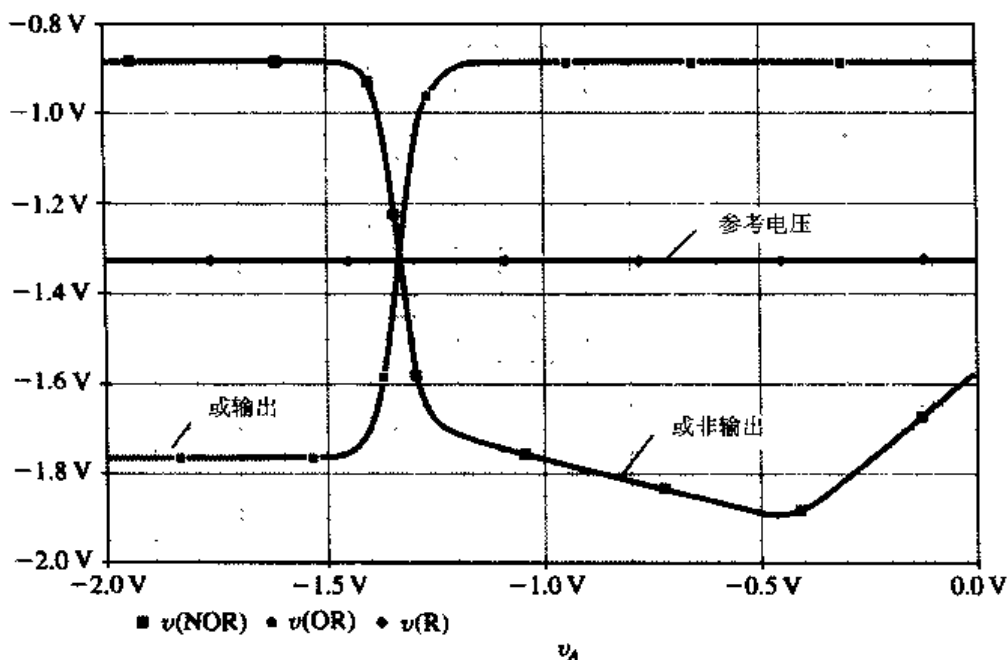
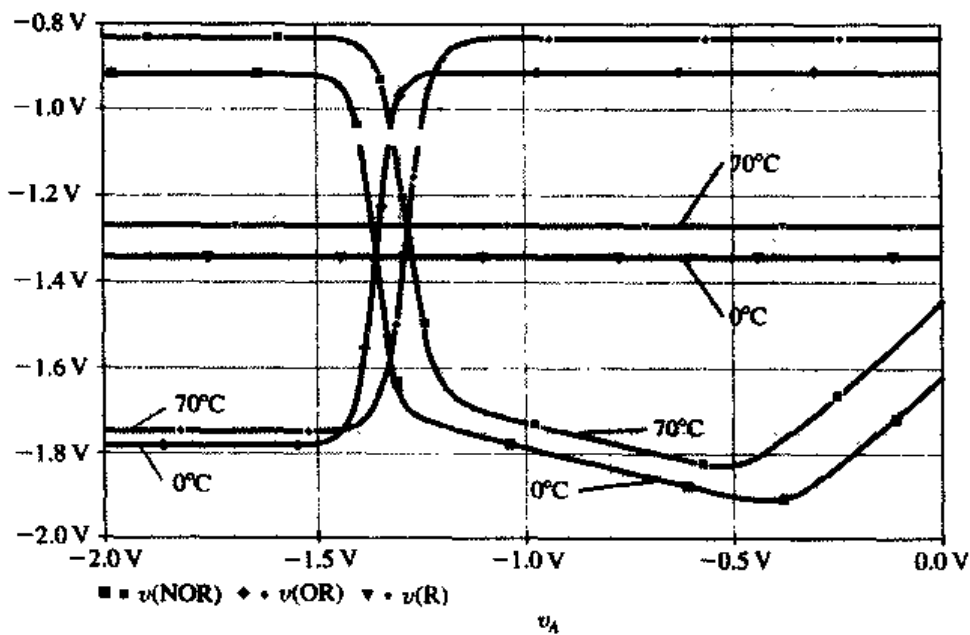


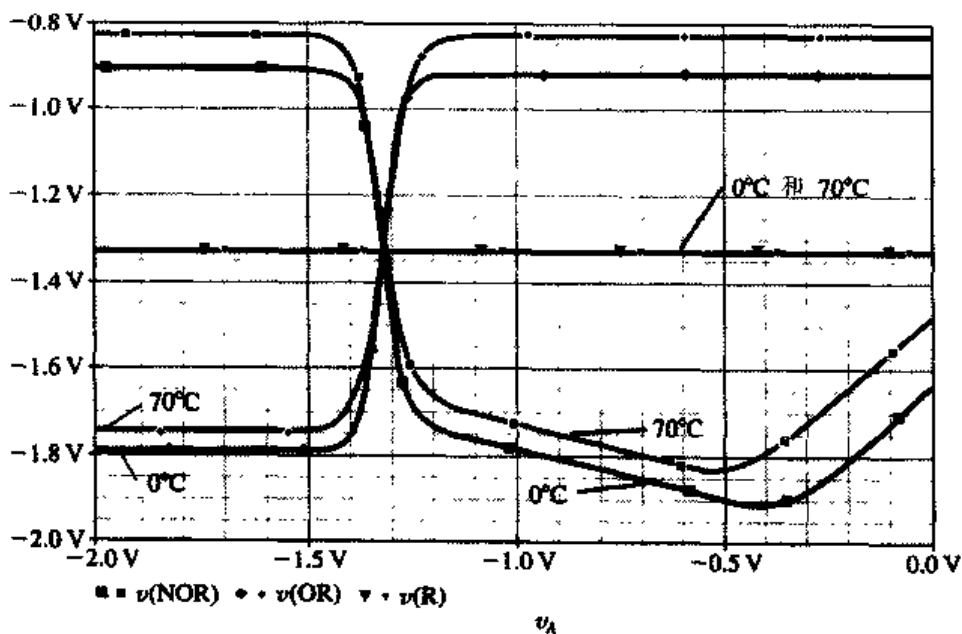
图 11.50 图 11.48 中 ECL 门或输出和或非输出 (参见图 11.49) 的电压传输特性。图中同时标明了参考电压 $V_R = -1.32\text{ V}$

接下来, 我们使用 PSpice 分析传输特性与温度的关系。在 11.7 节中, 我们花了一定篇幅讨论过这个问题, 而且在例题 11.4 中进行了手工分析。这里, 我们利用 PSpice 来求解两种不同情况下在 0°C 和 70°C 时的电压传输特性 (图 11.50 所示的 VTC 是在 27°C 的情况下得到的): 第一种情况是 V_R 按照图 11.48 所示的电路产生, 第二种情况是除去参考电压电路而在 Q_R 的基极加上一个不随温度变化的参考电压 -1.32 V 。模拟结果在图 11.51 中给出。图 11.51 (a) 中的传输特性对应的是使用了参考电路的情况, 图 11.51 (b) 对应的是采用恒定参考电压的情况。图 11.51 (a) 说明: 当温度变化时 V_R 会变化, V_{OH} 和 V_{OL} 的值同样会改变, 但是平均值保持在 V_R 。换言之, 低电平和高电平噪声容限几乎保持相等。11.7 节中已提及, 例题 11.4 的分析中也表明, 这是使 V_R 随温度改变而改变的基本原因。如果 V_R 与温度无关, V_{OL} 和 V_{OH} 不会再对称分布在 V_R 的两侧, 如图 11.51 (b) 所示。最后, 表 11.1 列出了计算得到的一些值。可以看到, 在存在温度补偿的情况下, V_{OL} 和 V_{OH} 的平均值十分接近于 V_R 。希望读者将这一结果与例题 11.4 中得到的结果做一个比较。

下面我们利用图 11.52 所示的电路来分析 ECL 门的动态工作特性。这里, 两个门用一根 1.5 m 长、特性阻抗 (Z_0) 为 $50\ \Omega$ 的同轴电缆连接。厂商给出的参数是: 信号沿该同轴电缆 (当终端适当连接时) 的传播速度约为光速的一半, 即 15 cm/ns 。因此, 我们可以估计 1.5 m 长的同轴电缆引入的延时 t_d 为 10 ns 。在本电路中 (见图 11.52), 电阻 R_{T1} 提供了合适的终端连接。假定电缆无耗, 可用 PSpice 中的传输线模型 (见模拟库的 T 部分) 来表示, 其 $Z_0 = 50\ \Omega$, $t_d = 10\text{ ns}$ 。一个阶跃电压在 1 ns 内从 -1.77 V 上升到 -0.884 V 并加在第一个门的输入端进行 30 ns 时长的瞬态分析。图 11.53 画出了输入波形、第一个门输出端的电压波形、第二个门输入端的电压波形以及输出波形。可以看到, 尽管边沿变化速度很快, 其波形却相当干净, 没有出现振铃和反射现象。这一点特别值得注意, 因为信号传播经过了一段很长的距离。对波形的详细分析表明电缆产生的延时确为 10 ns , 第二个门的延时约为 1.06 ns 。



(a)



(b)

图 11.51 比较两种情况下图 11.48 中 ECL 门的或输出与或非输出的电压传输特性 (参见图 11.49)。参考电压 V_R 分别由 (a) 和 (b) 产生: (a) 图 11.48 中的温度补偿偏置网络; (b) 一个不随温度变化的电压源

表 11.1 两种不同温度下 (存在或不存在温度补偿时) 利用 PSpice 计算得到的 ECL 门的参数值

温度	参数	存在温度补偿		不存在温度补偿	
		OR	NOR	OR	NOR
0°C	V_{OL}	-1.779 V	-1.799 V	-1.786 V	-1.799 V
	V_{OH}	-0.9142 V	-0.9092 V	-0.9142 V	-0.9092 V
	$V_{avg} = \frac{V_{OL} + V_{OH}}{2}$	-1.3466 V	-1.3541 V	-1.3501 V	-1.3541 V

(续)

温度	参数	存在温度补偿		不存在温度补偿	
		OR	NOR	OR	NOR
70°C	V_E	-1.345 V	-1.345 V	-1.32 V	-1.32 V
	$ V_{E0} - V_E $	1.6 mV	9.1 mV	30.1 mV	34.1 mV
70°C	V_{OH}	-1.742 V	-1.759 V	-1.729 V	-1.759 V
	V_{OL}	-0.8338 V	-0.8285 V	-0.8338 V	-0.8285 V
	$V_{avg} = \frac{V_{OH} + V_{OL}}{2}$	-1.288 V	-1.294 V	-1.2814 V	-1.294 V
	V_E	-1.271 V	-1.271 V	-1.32 V	-1.32 V
	$ V_{E0} - V_E $	17 mV	23 mV	38 mV	26.2 mV

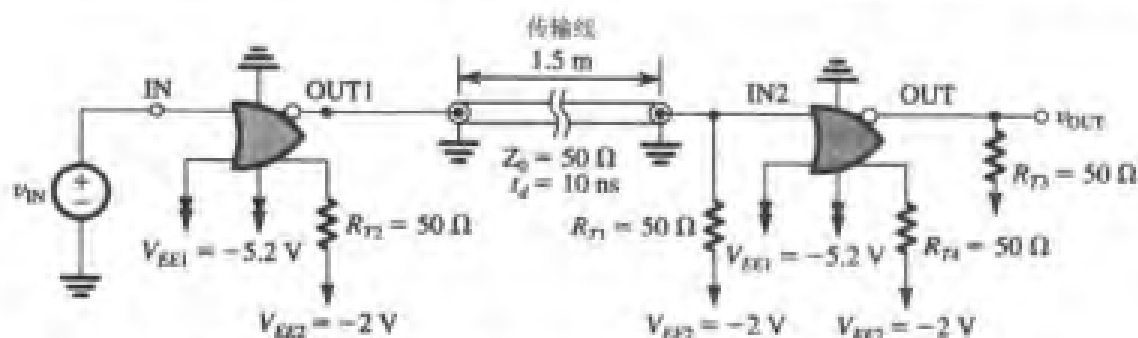


图 11.52 分析 ECL 门动态工作情况的电路。两个 ECL 门 (见图 11.48) 通过一根 1.5 m 长、特性阻抗 $Z_0 = 50 \Omega$ 、传播延时 $t_d = 10 \text{ ns}$ 的同轴电缆相连。电阻 R_T (50Ω) 为同轴电缆提供了合适的终端连接

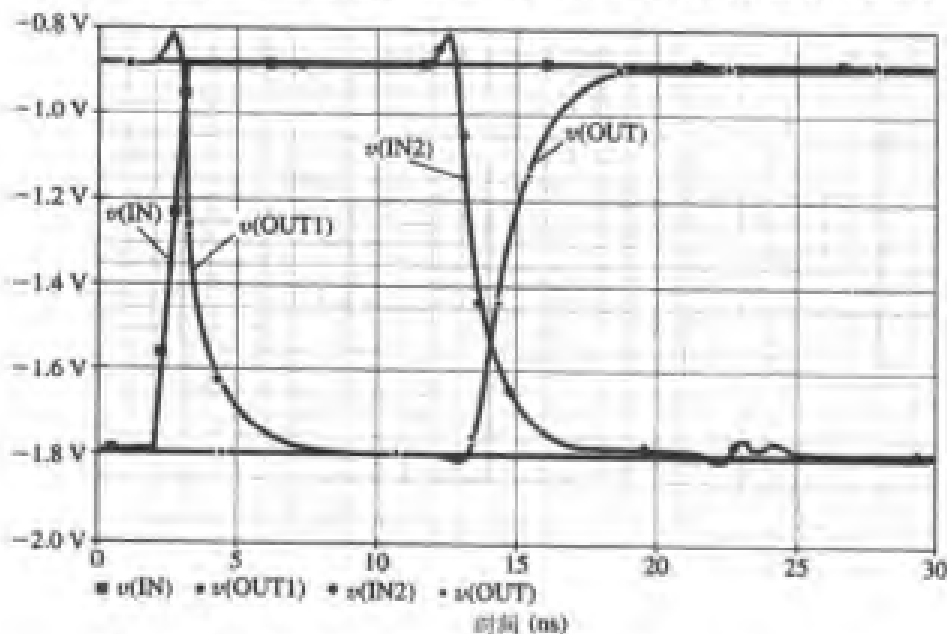


图 11.53 通过 1.5 m 长、特性阻抗为 50Ω 、延时为 10 ns 的同轴电缆 (参见图 11.52) 连接的两个 ECL 门的瞬态响应

最后, 为了说明合适的传输线终端连接的必要性, 重复动态分析过程。这里, 将 50Ω 的同轴电缆换为 300Ω 的双绞线, 而终端电阻保持不变。结果是上升和下降速度较为缓慢, 波形延时也很大, 如图 11.54 所示 (注意图中坐标轴的比例变化)。

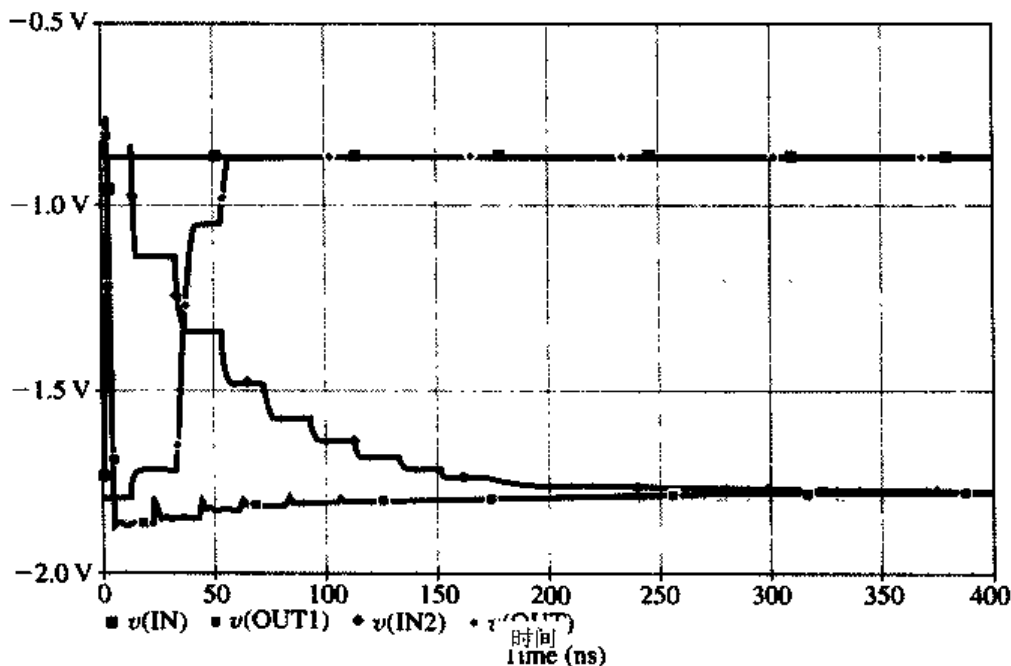


图 11.54 通过 1.5 m 长、特性阻抗为 300 Ω 的电缆连接的两个 ECL 门的瞬态响应。终端电阻 R_T (参见图 11.52) 保持为 50 Ω 。注意图中时间轴的比例变化

小结

- 触发器使用一个或多个锁存器。基本静态锁存器是一个双稳态电路，使用两个反相器连接成一个正反馈环路。锁存器可以稳定在其中任何一种状态下。
- 除了采用正反馈的方法，利用电荷储存同样能够实现存储器。很多 CMOS 触发器采用的就是这种方法，其中包括一些主从 D 触发器。
- 单稳态多谐振荡器有一个可以保持的稳定状态以及一个在触发时进入、在设定时间 T 内保持的准稳态。单稳态电路可以用来生成指定宽度和高度的脉冲信号。
- 非稳态多谐振荡器没有稳定状态，但却存在两个准稳态并在其间进行振荡。非稳态电路在工作时实际上是一个方波发生器。
- 环路振荡器的环路中包括奇数个 (N) 反相器， $f_{osc} = 1/2Nt_{p0}$
- 随机存储器 (RAM) 存储 (写入) 信息和获取 (读出) 信息所需的时间与信息储存的物理位置 (在存储器内) 无关。
- 存储器芯片的主要部分包括一些存储位的单元，通常排列成方阵。对一个单元进行读写需要通过行地址译码器选中行并且通过列地址译码器选中列。读放大器检测到选中单元的内容并将其传送到芯片的数据输出端。
- 有两类 MOS RAM: 静态和动态。静态 RAM (SRAM) 使用触发器作为存储单元；在动态 RAM (DRAM) 中，数据储存在电容上，因此需要进行周期性的刷新。DRAM 芯片在给定的芯片面积上实现了最大的存储容量。
- 尽管 SRAM 利用读放大器来加速操作，然而读放大器却是 DRAM 中的基本要素。典型的读放大器是一个差分电路，利用正反馈使输出信号按指数规律变化为 V_{DD} 或 0。
- 只读存储器 (ROM) 存储的是固定数据信息，其数据在制造时就被存入，用户不能更改。但是，可擦可编程 ROM (EPROM) 中的内容却是可以由用户更改的。擦除和编程的过程十分

耗时, 因此不应经常进行。

- 一些 EPROM 使用浮栅 MOSFET 作为存储单元。对单元编程时, 要对控制栅施加一个高电压。擦除时, 需要将芯片置于紫外线的照射中。EEPROM 可以通过电进行擦除和重新编程, 应用更加灵活。
- 射极耦合逻辑 (ECL) 是一类速度最快的逻辑电路。它通过避免晶体管饱和及使用较小的逻辑信号摆幅来实现高速工作。
- ECL 中输入信号控制偏置电流在参考晶体管和输入晶体管之间切换。门电路的基本结构就是一个差分放大器。
- 有两类流行的商用 ECL: ECL 10K (其 $t_p = 2 \text{ ns}$, $P_D = 25 \text{ mW}$, $DP = 50 \text{ pJ}$); ECL 100K (其 $t_p = 0.75 \text{ ns}$, $P_D = 40 \text{ mW}$, $DP = 30 \text{ pJ}$)。ECL 10K 更容易使用, 因为其信号上升和下降时间被故意延长了 (约为 3.5 ns)。
- ECL 具有很高的运行速度, 因此在将一个门的输出与另一个门的输入相连接时, 需要十分小心。通常使用传输线技术。
- ECL 的设计经过了优化, 从而使得其噪声容限相等, 且当温度改变时仍保持相等。
- ECL 门提供两个互补输出以实现或和或非逻辑功能。
- ECL 门的输出可以进行线或以实现多个输出变量的或逻辑。
- BiCMOS 综合了 CMOS 低功耗、宽噪声容限与 BJT 高电流驱动能力 (因此有较小的门延时) 的特点, 能够实现高密度、低功耗、高速度的 VLSI 电路, 其中还可包含模拟电路功能。

习题

11.1 节: 锁存器与触发器

- 11.1 考虑图 11.3 中的钟控 SR 触发器, 要求设计面积最小的实现方案。设 Q_1 , Q_2 , Q_3 和 Q_4 是尺寸最小的器件, 其 $W/L = 2 \mu\text{m}/1 \mu\text{m}$ 。其他器件的尺寸应与之相同以保证正反馈过程。在本设计中, $V_{DD} = 5 \text{ V}$, $|V_t| = 1 \text{ V}$, $k'_n = 2.5k'_p = 100 \mu\text{A}/\text{V}^2$ 。试求内部每个反相器的 V_{th} 。假定当 S 和 ϕ 都为高电平时从导通的 P 器件 (即 Q_2) 流出的电流要在该电压之下由 Q_5 和 Q_6 的电流保持一段时间, 求等效晶体管的 W/L 。 Q_5 和 Q_6 所需的最小 W/L 是多少? 求出 $L = 1 \mu\text{m}$ 及 $W_5 = W_6$ 时的 W_5 。为了保证正常工作和使开关时间尽量短, 通常使用较大的器件。
- 11.2 对于图 11.3 所示的触发器, 确定置位和复位脉冲所需的最小宽度。设 Q_1 , Q_2 , Q_3 和 Q_4 是尺寸最小的器件, 其 $W/L = 2 \mu\text{m}/1 \mu\text{m}$ 。其他器件的 $W/L = 4 \mu\text{m}/1 \mu\text{m}$ 。设 $V_{DD} = 5 \text{ V}$, $|V_t| = 1 \text{ V}$, $k'_n = 2.5k'_p = 100 \mu\text{A}/\text{V}^2$, Q 和 \bar{Q} 节点处的总电容均为 30 fF 。(提示: 采用练习 11.2 中列出的方法。)
- 11.3 考虑图 11.5 所示电路的另一种可能情况: 将输入 R 重新标记为 \bar{S} , 输入 S 标记为 \bar{R} 。假设在大阻抗源的控制下进行不改变触发器状态的读操作时, \bar{S} 和 \bar{R} 通常处于比较高的电平。在写操作时, 即置位或复位触发器时, \bar{S} 和 \bar{R} 变为 0 V , ϕ 升高为 V_{DD} , 迫使 \bar{Q} 或 Q 降低到 $V_{DD}/2$, 这时的正反馈过程十分迅速。 Q_1 , Q_3 , Q_5 和 Q_6 是小尺寸晶体管, $(W/L)_n = 2$ 。试求 $(W/L)_p$, 使得在 5 V 系统中, 当 \bar{S} 降为 0 V 时, \bar{Q} 降为 2.5 V 。假定 $|V_t| = 1 \text{ V}$, $k'_n = 3k'_p = 75 \mu\text{A}/\text{V}^2$ 。
- D11.4 图 11.3 中的钟控 SR 触发器不是一个完全的 CMOS 电路。试画出完全的 CMOS 电路, 通过在电路中增加对应 PDN 的由 Q_5 , Q_6 , Q_7 和 Q_8 组成的 PUN 来实现。可以看到, 完全的互补型电路利用了 12 个晶体管。尽管电路更为复杂, 但是切换速度更快。

- D11.5 画出用 CMOS 实现图 11.2 中 SR 触发器的电路。
- D11.6 使用逻辑门符号画出用与非门实现的 SR 触发器的结构。给出真值表, 描述其工作情况。同时画出用 CMOS 实现的电路。
- **11.7 考虑图 11.1 所示的锁存器, 用 CMOS 工艺实现。设 $\mu_n C_{ox} = 2\mu_p C_{ox} = 20 \mu\text{A}/\text{V}^2$, $W_p = 2W_n = 24 \mu\text{m}$, $L_p = L_n = 6 \mu\text{m}$, $|V_t| = 1 \text{ V}$, $V_{DD} = 5 \text{ V}$ 。
- (a) 画出每个反相器的传输特性, 即 $v_X \sim v_W$ 关系曲线以及 $v_Z \sim v_Y$ 关系曲线。分别求出输入电压为 1 V, 1.5 V, 2 V, 2.25 V, 2.5 V, 2.75 V, 3 V, 3.5 V, 4 V 和 5 V 时每个反相器的输出。
- (b) 利用 (a) 中的特性曲线确定锁存器的环路电压传输曲线, 即 $v_Z \sim v_W$ 关系曲线。求出图 11.1 (c) 中定义的 A, B 和 C 三点的坐标。
- (c) 假若需要考虑 MOSFET 饱和时有限的输出电阻, 且 $|V_A| = 100 \text{ V}$, 求出环路传输特性曲线在 B 点处的斜率。转换区域的宽度约为多少?
- 11.8 工作在 5 V 电源下的两个 CMOS 反相器连接成一个锁存器。这两个反相器的 V_{IH} 和 V_{IL} 分别为 2.42 V 和 2.00 V, 对应的输出为 0.4 V 和 4.6 V。将每个门的传输特性曲线在开启点之间的部分近似为直线, 试画出锁存器的开环传输特性。B 点的坐标是多少? B 点处的环路增益为多少?

11.2 节: 多谐振荡器电路

- D11.9 对于图 11.11 中的单稳态电路, 利用练习 11.3 中导出的近似表达式, 求出使得 $T = 1 \text{ ms}$ 且因忽略 R_{on} 得到 T 的最大误差为 2% 的 R 和 C 的近似值。假定 R_{on} 的最大值不超过 $1 \text{ k}\Omega$ 。
- 11.10 考虑 $R_{on} \ll R$ 时图 11.10 中的单稳态电路。 T 的表达式变为为什么? 如果 V_{th} 标称值为 $0.5V_{DD}$, 但因制造过程的影响可能在 $0.4V_{DD}$ 到 $0.6V_{DD}$ 之间变化, 估算相应的 T 的变化, 用标称值的百分比表示。
- *11.11 图 11.10 中单稳态电路的波形如图 11.13 所示。设 $V_{DD} = 10 \text{ V}$, $V_{th} = V_{DD}/2$, $R = 10 \text{ k}\Omega$, $C = 0.001 \mu\text{F}$, $R_{on} = 200 \Omega$ 。试求 T , ΔV_1 , ΔV_2 。准稳态时 v_{O1} 的变化为多大? G_1 吸收或放出的峰值电流为多大?
- D11.12 利用图 11.10 中的电路, 用 CMOS 逻辑设计一个单稳态电路, $R_{on} = 100 \Omega$, $V_{DD} = 5 \text{ V}$, $V_{th} = 0.4V_{DD}$ 。用 $C = 1 \mu\text{F}$ 的电容产生一个脉宽 $T = 1 \text{ s}$ 的输出脉冲, 则 R 应取多大?
- D11.13 (a) 利用练习 11.5 中给出的表达式推导 $V_{th} = V_{DD}/2$ 时图 11.15 所示的非稳态多谐振荡器的振荡频率 f_0 的表达式。
- (b) 求使得 $f_0 = 100 \text{ kHz}$ 的合适的 R 和 C 。
- 11.14 用于实现图 11.15 中非稳态电路的 CMOS 门的开启电压的标称值为 $0.5V_{DD}$, 但因工艺原因在 $0.4V_{DD}$ 到 $0.6V_{DD}$ 之间变化。求 f_0 相应的 (偏离标称值) 变化范围, 用标称值的百分比表示。(可以使用练习 11.5 中给出的表达式。)
- *11.15 考虑在图 11.15 所示电路上做一个改动, 在 C 和 R 的公共节点与输入节点 G_1 之间接入一个阻值等于 $10R$ 的电阻。这一电阻使得电压 v_{H1} 可升高到 V_{DD} 以上, 或降低到地电压以下。画出改动过后 v_{H1} 的波形, 并证明周期 T 为

$$T = CR \ln \left[\frac{2V_{DD} - V_{th}}{V_{DD} - V_{th}} \cdot \frac{V_{DD} + V_{th}}{V_{th}} \right]$$

- 11.16 考虑由 5 个反相器组成的环路振荡器, 每个反相器的 $t_{PLH} = 60 \text{ ns}$, $t_{PHL} = 40 \text{ ns}$ 。画出其中的一个输出波形, 并确定其频率以及输出高电平占整个周期的百分比。
- 11.17 一个由 11 个反相器组成的环路振荡器在 20 MHz 频率上振荡。试求反相器的传播延时。

11.3 节: 半导体存储器的类型与结构

- 11.18 有一个 1 Mb 的方形存储阵列, 重新组织其外围电路, 使其能够读出 16 b 长的字。新设计所需的地址有多少位?
- 11.19 对于习题 11.18 中提到的存储器芯片, 需要多少条由行译码器提供的字线? 采用直接实现结构时, 所需的读放大器/驱动器为多少? 如果电源为 5 V, 在 200 ns 周期时间内连续工作产生的功耗为 500 mW, 且所有的功耗都是动态的, 试估计任一周期内激活的逻辑状态对应的总电容值。假定 90% 的功耗发生在阵列存取中, 且位线提供了最大的电容, 试计算本设计中每根位线以及每一位对应的电容值。如果采用更好的生产工艺以使存储阵列工作在 3 V 下, 则在同样的功耗等级下, 使用同样技术能够实现的最大存储阵列为多大?
- 11.20 一块由 Samsung 制造的 1 Gb 动态存储器 (DRAM) 使用 $0.16 \mu\text{m}$ 和 2 V 的工艺, 存储单元阵列占用了 $21 \text{ mm} \times 31 \text{ mm}$ 芯片面积的 50%。试估算存储单元的面积。如果两个存储单元形成一个正方形, 试估算单元的尺寸。
- 11.21 一块由 Hitachi 制造的 1.5 V 的 1 Gb 试验动态 RAM (DRAM) 采用 $0.16 \mu\text{m}$ 的工艺, 单元尺寸为 $0.38 \times 0.76 \mu\text{m}^2$, 芯片面积为 $19 \times 38 \text{ mm}^2$ 。I/O 连接、外围电路以及互联电路占用了多大的芯片面积?
- 11.22 一块 256 Mb RAM 芯片的读出位有 16 位, 采用 16 个正方形单元阵列块的设计。块译码器、行译码器和列译码器的数据线各为多少条?

11.4 节: 随机存储器 (RAM) 单元

- D11.23 考虑图 11.18 中 SRAM 单元的写操作。相关电路部分如图 11.20 所示。设制造工艺参数为 $\mu_n/\mu_p = 2.5$, $\gamma = 0.5 \text{ V}^{1/2}$, $|V_{D0}| = 0.8 \text{ V}$, $2\phi_f = 0.6 \text{ V}$, $V_{DD} = 5 \text{ V}$ 。两个反相器都是匹配的, 有 $(W/L)_1 = (W/L)_3 = n$, 这里 n 表示器件尺寸最小时的 W/L 比。
- (a) 利用图 11.20 (a) 中的电路, 求出 Q_5 可能的最小 (W/L) (用 n 表示), 使得节点 \bar{Q} 被拉至 $V_{DD}/2$, 即当 $v_{\bar{Q}} = 2.5 \text{ V}$ 时, $I_5 = I_1$ 。
- (b) 利用图 11.20 (b) 中的电路, 求出 Q_6 可能的最小 (W/L) 比 (用 n 表示), 使得节点 Q 被拉至 $V_{DD}/2$, 即当 $v_Q = V_{DD}/2$ 时, $I_6 = I_4$ 。
- (c) 因为 Q_5 和 Q_6 需要设计成具有相同的 W/L 比, 在 (a) 和 (b) 得到的两个值中, 若进行较为保守的设计, 你会选哪个值?
- (d) 对于 (c) 中得到的值, 以及 $n = 2$, $\mu_n C_{ox} = 50 \mu\text{A}/\text{V}^2$, 求 v_Q 变为 $V_{DD}/2$ 时所需的时间。设 $C_Q = 50 \text{ fF}$ 。
- 11.24 考虑图 11.20 (a) 中的电路, 假定器件的尺寸和制造工艺参数与例题 11.2 给出的相同。我们希望求出 $C_{\bar{Q}}$ 进行充电时电压从 0 升高到 $V_{DD}/2$ 所需的时间间隔 Δt_c 。
- (a) 求 Δt 开始时, I_5 , I_1 和 $I_{C_{\bar{Q}}}$ 的值。
- (b) 求 Δt 结束时, I_5 , I_1 和 $I_{C_{\bar{Q}}}$ 的值。
- (c) 估算在时间间隔 Δt 内 $I_{C_{\bar{Q}}}$ 的平均值。

- (d) 若 $C_{\bar{Q}} = 50 \text{ fF}$, 估算 Δt 的值。将这个结果与练习 11.9 中 v_Q 变为 $V_{DD}/2$ 所需的时间做一个比较。当 v_Q 或 $v_{\bar{Q}}$ 到达 $V_{DD}/2$ 后, 正反馈过程才开始, 由此估算延时是多大?
- 11.25 重新考虑例题 11.2 中对 SRAM 单元进行读操作的分析。这里, 假定位和 \bar{B} 线都预充电至 $V_{DD}/2$ 。同时考虑当字线电压达到 $V_{DD}/2$ 时 $C_{\bar{B}}$ [参见图 11.19 (a)] 开始的放电过程。(字线的电阻和电容使其电压较缓地向 V_{DD} 增加。) 使用类似于例题 11.2 的方法求出读延时。读延时定义为 \bar{B} 线电压下降 0.2 V 所需的时间。假定所有工艺和器件参数与例题 11.2 中给出的相同。
- 11.26 对于一个 DRAM 设计, 单元电容 $C_S = 50 \text{ fF}$, $V_{DD} = 5 \text{ V}$, V_t (包括衬底效应) $= 1.4 \text{ V}$ 。每个单元对于位线而言都是一个 2 fF 的容性负载。若保证位线信号最小为 0.1 V , 则一根位线上可以接入的单元最多为多少? 要用到多少位行地址? 如果读放大器的增益提高 5 倍, 可以容纳的字线地址为多少位?
- 11.27 一个在 98% 情况下可以使用的 DRAM, 行列比为 2 比 1, 周期时间为 20 ns , 刷新周期为 8 ms , 试估计其总存储容量。
- 11.28 一块动态存储器芯片的 $C_S = 25 \text{ fF}$, 每个单元在位线上产生的电容为 1 fF , 位线控制电路产生的电容为 12 fF 。对于一个 1 Mb 的方形阵列, 读存储值 1 时产生的位线信号为多少? 读存储值 0 时呢? 假定 $V_{DD} = 5 \text{ V}$, V_t (包括衬底效应) $= 1.5 \text{ V}$ 。注意, 位线会被预充电至 $V_{DD}/2$ 。
- 11.29 对于一个电容为 20 fF 的 DRAM 单元, 10 ms 内需要进行一次刷新。如果可以忍受电容上的信号损失 1 V , 单元能够接受的最大漏电流为多大?

11.5 节: 读放大器与地址译码器

- D11.30 考虑图 11.23 中差分读放大器在读控制信号 ϕ , 升高后的工作情况。假设位线上各产生一个 0.1 V 的平衡差分信号, 每根位线的电容为 1 pF 。设 $V_{DD} = 3 \text{ V}$, 要使输出在 2 ns 内达到 $0.1V_{DD}$ 和 $0.9V_{DD}$ (初始值分别为 $0.5V_{DD} + (0.1/2) \text{ V}$ 和 $0.5V_{DD} - (0.1/2) \text{ V}$), 放大器中每个反相器的 G_m 应为多大? 如果反相器匹配, 且 $|V_t| = 0.8 \text{ V}$, $k'_n = 3k'_p = 75 \mu\text{A}/\text{V}^2$, 器件的宽度应为多少? 如果输入信号为 0.2 V , 放大器的响应时间为多大?
- 11.31 一个如图 11.23 所示的正反馈读放大器采用 $0.5 \mu\text{m}$ 工艺制造, 其中晶体管的 $|V_t| = 0.8 \text{ V}$, $k'_n = 2.5k'_p = 100 \mu\text{A}/\text{V}^2$, $V_{DD} = 3.3 \text{ V}$, $(W/L)_n = 6 \mu\text{m}/1.5 \mu\text{m}$, $(W/L)_p = 15 \mu\text{m}/1.5 \mu\text{m}$ 。求每个反相器的 G_m 。若一根位线的电容为 0.8 pF , 输出端达到 $0.9V_{DD}$ 所需时延为 2 ns , 试求两根位线间所需的差分电压值。如果延时增加 1 ns , 可以处理什么输入信号? 在延时增加和输入信号保持初始电平的情况下, 位线电容以及相应的位线长度可以增加百分之多少? 如果存储单元产生一个恒定电流对位线电容进行充电, 从而建立起读放大器所需的差分电压信号需要的时间是 5 ns , 增长位线时这个时间将增大到多少?
- D11.32 (a) 对于图 11.23 中的读放大器, 证明位线达到 $0.9V_{DD}$ 和 $0.1V_{DD}$ 时所需时间为 $t_d = (C_B/G_m) \ln(0.8V_{DD}/\Delta V)$, 其中 ΔV 是两根位线间的初始差分电压。
 (b) 如果要把读放大器的响应时间减少一半, 所有晶体管的宽度必须增大多少倍?
 (c) 对于某一具体设计, $V_{DD} = 5 \text{ V}$, $\Delta V = 0.2 \text{ V}$, 要使 ΔV 减小 4 倍而 t_d 保持不变, 所有晶体管的宽度必须增大多少倍?

- D11.33 要求设计一个如图11.23所示的读放大器,使其能够和采用图11.25中虚设单元技术的DRAM一同工作。存储0时DRAM提供的读出电压为 -100 mV ,存储1时为 $+40\text{ mV}$ 。读放大器需要最多在 5 ns 内提供 2 V 的差分输出电压。试求反相放大器中晶体管的 W/L 比,假定制工艺参数为 $k'_n = 2.5k'_p = 100\text{ }\mu\text{A/V}^2$, $|V_t| = 1\text{ V}$, $V_{DD} = 5\text{ V}$ 。每根位线的电容为 1 pF 。当读0时放大器的响应时间是多少?读1时呢?
- 11.34 考虑一个512行的或非译码器。这个译码器对应了多少位地址?它有多少根输出线?或非阵列需要多少根输入线?这样一个电路需要多少个NMOS和PMOS晶体管?
- 11.35 对于图11.27中的列译码器,256 Kb的方形阵列需要多少位列地址?多路开关中需要多少个NMOS传输晶体管?或非译码器中需要多少个NMOS晶体管?多少个PMOS晶体管?总共需要多少个NMOS和PMOS晶体管?
- 11.36 考虑图11.28所示的用于一个256 Kb方形阵列的树状列译码器。这里需要有多少位地址?用到的传输门要有多少层?总共需要多少个传输晶体管?

11.6节:只读存储器(ROM)

- 11.37 写出图11.29中ROM存储的8个字。
- D11.38 设计一个 (16×4) ROM的位图,存储两个2 b变量相乘得到的4 b结果。仿照图11.29的形式,给出实现ROM阵列的电路。
- 11.39 考虑图11.29中的动态ROM,其中PMOS器件的栅极连接到预充电控制信号 ϕ 。设所有NMOS器件的 $W/L = 3\text{ }\mu\text{m}/1.2\text{ }\mu\text{m}$,所有PMOS器件的 $W/L = 12\text{ }\mu\text{m}/1.2\text{ }\mu\text{m}$ 。假定 $k'_n = 3k'_p = 90\text{ }\mu\text{A/V}^2$, $V_m = -V_{tp} = 1\text{ V}$, $V_{DD} = 5\text{ V}$ 。
- (a) 在预充电过程中, ϕ 降为 0 V 。试估算将一根位线从 0 V 充电至 5 V 所需的时间。将位线电压从 0 V 上升到 5 V 的过程进行一半(即 2.5 V)时由PMOS晶体管提供的电流作为平均充电电流。位线的电容为 1 pF 。注意,此时所有的NMOS管晶体都处于截止状态。
- (b) 在预充电结束且 ϕ 恢复为 V_{DD} 后,行译码器升高选定字线的电压。考虑到字线的电压、电容均为有限值,电压按指数规律升高至 V_{DD} 。如果每条多晶硅字线的电阻为 $5\text{ k}\Omega$,字线与地之间的电容为 2 pF ,则字线电压从10%上升到90%所需的时间为多少?经过一个时间常数后的电压为多少?
- (c) 我们将字线电压按指数规律上升的过程近似为字线电压从0上升到经过一个时间常数后电压的阶跃变化过程。试求一个NMOS晶体管对位线放电时电压下降 1 V 所需的时间 Δt 。

11.7节:射极耦合逻辑(ECL)

- D11.40 考虑图P11.40中的ECL电路,所有晶体管在发射极电流为 I 时的 V_{BE} 均为 0.75 V ,而且 β 值很大。
- (a) 求 V_{OH} 和 V_{OL} 。
- (b) 当输入 B 足够低且使得 Q_B 截止时, A 处的电压为多少时可使 $I/2$ 流过 Q_R ?
- (c) 若流过 Q_R 的电流为 $0.99I$,重复(b)。
- (d) 若流过 Q_R 的电流为 $0.01I$,重复(c)。

- (e) 利用 (c) 和 (d) 的结果确定 V_{IH} 和 V_{IL} 。
- (f) 求 NM_H 和 NM_L 。
- (g) 求使得噪声容限等于过渡区域宽度 ($V_{IH} - V_{IL}$) 的 IR 的值。
- (h) 利用 (g) 中求得的 IR ，求出该 ECL 门的 V_{OH} ， V_{OL} ， V_{IH} ， V_{IL} 和 V_R 的数值。

*11.41 三个逻辑反相器连接成环。这类门电路的参数是：高电平到低电平输出转换的传播延时为 3 ns，低电平到高电平的转换为 7 ns。假设一个门的输入端因某种原因从低电平变为高电平。试画出三个门输出端的波形，并根据它们的相对位置说明这个电路的工作类似于振荡器。这个环形振荡器的振荡频率是多少？在每个周期中输出高电平和低电平的时间各有多长？

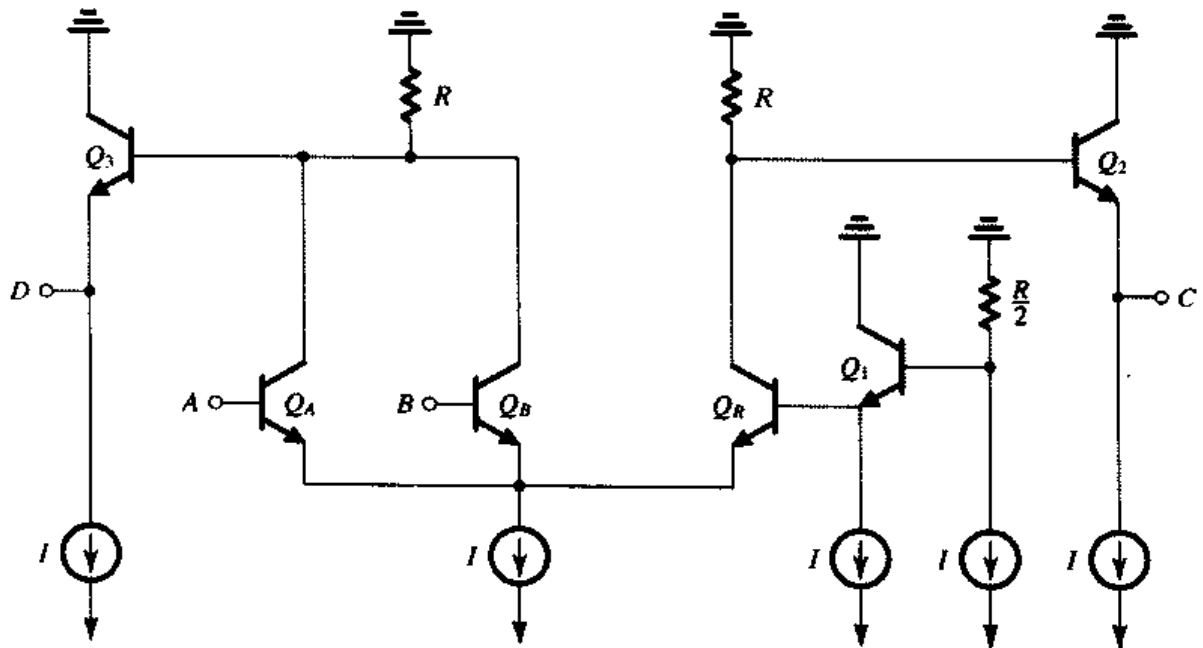


图 P11.40

- *11.42 利用习题 11.41 中环形振荡器的思想考虑由 5 个 ECL 100K 反相器组成的环路。假定反相器的上升和下降沿都为直线（因此波形为梯形）。设 0 到 100% 的上升和下降时间均为 1 ns。同时，设传输延时（两种转换情况下）都等于 1 ns。试画出 5 个输出信号的波形并提供相对相位信息。振荡频率是多少？
- *11.43 利用图 11.34 和图 11.44 中说明的 ECL 组成逻辑和电路的灵活性，画出一个 ECL 逻辑电路以实现异或逻辑功能 $Y = \overline{AB} + A\overline{B}$ 。
- *11.44 图 11.36 中电路的传输特性如图 11.37 所示。求传输特性曲线上 x ， m 和 y 点处从输入到或输出的增量电压增益。假定 $\beta = 100$ 。利用练习 11.20 的结果，设 x 点处的输出为 -1.77 V， y 点处为 -0.88 V。提示： x 和 y 处的电流按 1% 和 99% 分流。
- 11.45 图 11.36 中电路的传输特性如图 11.37 所示。试求 V_{IH} 和 V_{IL} ， x 和 y 分别被定义为发生两种情况的点：
 - (a) 电流 I_E 的 90% 被切换。
 - (b) 电流 I_E 的 99.9% 被切换。

- 11.46 对于图 11.36 中的对称负载电路, 取典型输出信号电平 ($V_{OH} = -0.88 \text{ V}$ 和 $V_{OL} = -1.77 \text{ V}$), 求全部负载电阻 R_T 和全部输出跟随器的功率损耗。单个 ECL 输出接上对称终端时的总功耗是多少?
- 11.47 考虑图 11.38 中的电路, 要使噪声容限 NM_H 降低 50%, Q_2 的 β 值应为多大?
- *11.48 一个 ECL 门的反向输出端通过一个 50Ω 的电阻接到 -2 V 的电源。将总负载电容记为 C 。当门的输入端电压升高时, 输出射极跟随器截止, 负载电容 C 通过 50Ω 的负载放电 (直到射极跟随器重新导通为止)。试求使放电时间为 1 ns 的 C 的值。假设两个输出电平为 -0.88 V 和 -1.77 V 。
- 11.49 对于上升和下降时间为 3.5 ns 的信号, 当要求上升时间与返回时间之比为 5 比 1 时, 未接终端的门和门之间的连接导线有多长? 假设导线的周围环境决定信号以三分之二的光速传播 (也就是 30 cm/ns)。
- *11.50 对于图 P11.50 中的电路, 设输入 A, B, C 和 D 的电平为 0 或 $+5 \text{ V}$ 。当所有输入为 0 V 时, E 处的电压为多少? 当 A 和 C 升高到 $+5 \text{ V}$ 时, E 处的电压为多少? 假定 $|V_{BE}| = 0.7 \text{ V}$, $\beta = 50$ 。将 E 表示为 A, B, C 和 D 的逻辑函数。

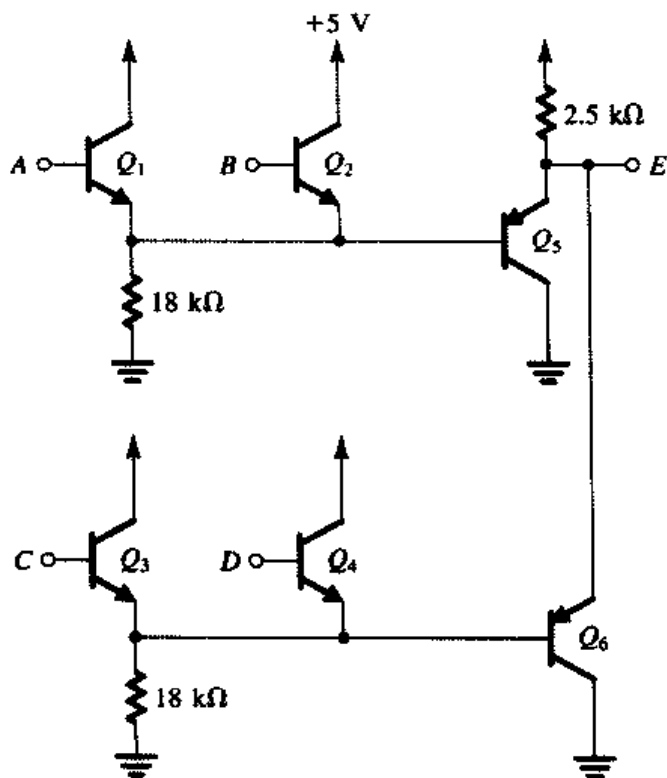


图 P11.50

11.8 节: BiCMOS 数字电路

- 11.51 考虑图 11.45 (a) 中的 BiCMOS 电路, 设 $V_{DD} = 5 \text{ V}$, $|V_t| = 1 \text{ V}$, $V_{BE} = 0.7 \text{ V}$, $\beta = 100$, $k'_n = 2.5k'_p = 100 \mu\text{A/V}^2$, $(W/L)_n = 2 \mu\text{m}/1 \mu\text{m}$ 。若 $v_I = v_O = V_{DD}/2$, 求使 $I_{EQ1} = I_{EQ2}$ 的 $(W/L)_p$ 。该图腾柱电路的静态电流是多少?
- 11.52 考虑图 11.45 (a) 中的 BiCMOS 电路, 条件同习题 11.51。如果 Q_N 和 Q_P 的 $W/L = 2 \mu\text{m}/1 \mu\text{m}$, 反相器的开启电压是多少? 当 v_I 等于开启电压时图腾柱电路流过的电流为多少?

- D11.53 考虑图 11.45 (c) 电路中 R_1 和 R_2 的选择。在选择时最重要的考虑因素是要使基极驱动电流的损失尽可能小。当流过 Q_N 和 Q_P 的电流较小时, 这个损失就显得尤为重要。同样, 在相关 MOS 晶体管工作在变阻区 (比如当 $|v_{DS}| = |V_t|/3$ 时) 的情况下, 当处于输出信号摆幅最低值时, 这种情况也会发生。试确定 R_1 和 R_2 的值, 使得基极电流的损失不超过 50%。比值 R_1/R_2 是多少? 如果损失不超过 20%, 重新进行上述计算。
- 11.54 对于图 11.45 (a) 中的电路, 参数值同习题 11.51 中给出的值, 且 $(W/L)_n = (W/L)_p$, 试估算负载电容为 2 pF 时的传播延时 t_{PLH} , t_{PHL} 和 t_P 。假设内部节点的电容对结果影响不大。使用电容充电和放电电流的均值来求解。
- 11.55 对于图 11.45 (e) 中的电路, 假定 $R_1 = R_2 = 5 \text{ k}\Omega$, 重做习题 11.54。
- D11.56 考虑图 11.46 中一个与非门的动态响应, 设外部负载电容较大。如果最差情况下的响应与图 11.45 (e) 中的反相器相同, 则 Q_{NA} , Q_{NB} 和 Q_N 与 Q_{PA} , Q_{PB} 和 Q_P 之间 (W/L) 比的相互关系是什么?
- D11.57 画出一个二输入 BiCMOS 或非门的电路。如果负载接一个较大的电容, 门电路最差情况下的延时等于图 11.45 (e) 中反相器的值, 求每个晶体管的 W/L , 用 $(W/L)_n$ 和 $(W/L)_p$ 表示。

第 12 章 滤波器与调谐放大器

引言

这一章将介绍通信和仪表系统中很重要的一类模块电路：电子滤波器。滤波器的设计是仅有的从性能规范开始到电路实现为止都具备完整设计理论的工程设计之一。滤波器设计的详细内容可以写一本书，事实上这样的教材已经有了。由于篇幅有限，我们将有选择地集中讨论几个主题，给读者提供关于滤波器设计的概述以及常用的滤波器电路和设计方法。

最早的滤波器实现技术采用的是电感和电容，相应的电路也称为无源 LC 滤波器。这种电路在高频工作时性能较好，而在低频（直流~100 kHz）工作时性能却很不理想，原因是此时需要的电感量相当大，体积也很大。更严重的是，大电感是不可能单片集成的，因此也无法和现代技术相结合以构造电子系统，所以人们对不采用电感来实现滤波器的做法产生了兴趣。在有很多种无电感滤波器中，我们要介绍的是 RC 滤波器和开关电容滤波器。

有源 RC 滤波器使用运算放大器并结合电阻和电容，制作时采用分立的、混合厚膜或者混合薄膜技术。但对大批量生产而言，这种技术所产生的经济效益不如单片集成工艺大。现在最可行的单片集成滤波器电路的实现采用的是开关电容技术。

本章的最后将介绍收音机和电视机中广泛使用的调谐放大器。虽然调谐放大器也属于带通滤波器，然而对其进行单独的介绍是因为它的设计方法有些不同。

12.1 滤波器传输、分类和规范

12.1.1 滤波器传输

我们要介绍的滤波器是一个线性电路，可以用通用的二端口网络来表示，如图 12.1 所示。滤波器传输函数是指输出电压 $V_o(s)$ 对输入电压 $V_i(s)$ 的比值：

$$T(s) \equiv \frac{V_o(s)}{V_i(s)} \quad (12.1)$$

要了解滤波器的传输特性，需要将物理频率 $s = j\omega$ 代入，并用幅度和相位来表示传递函数：

$$T(j\omega) = |T(j\omega)| e^{j\phi(\omega)} \quad (12.2)$$

幅度特性通常用分贝（dB）表示，称为增益函数：

$$G(\omega) \equiv 20 \log |T(j\omega)|, \text{dB} \quad (12.3)$$

或者表示为衰减函数：

$$A(\omega) \equiv -20 \log |T(j\omega)|, \text{dB} \quad (12.4)$$

滤波器将输入信号的频谱 $|V_i(j\omega)|$ 根据传输函数的幅度特性 $|T(j\omega)|$ 成形为输出电压的频谱 $V_o(j\omega)$ ：

$$|V_o(j\omega)| = |T(j\omega)| |V_i(j\omega)| \quad (12.5)$$

同样，当信号经过滤波器后，它的相位特性也会根据相位函数 $\phi(\omega)$ 进行调整。



12.1.2 滤波器分类

这里我们特别要关注一下滤波器的选频特性：能通过的信号的频谱只存在于特定的一个区域内，而不能通过的信号的频谱则存在于特定区域之外。这样的滤波器有一个理想的频段特性，传输函数的幅度特性为 1（对应滤波器的通带）和 0（对应滤波器的阻带）。参见图 12.2，4 种理想滤波器的传输特性均在图中表示出来：低通（LP）如图 12.2（a）所示，高通（HP）如图 12.2（b）所示，带通（BP）如图 12.2（c）所示，带阻（BS）如图 12.2（d）所示。由垂直边界表示的理想传输特性也称为砖墙响应。

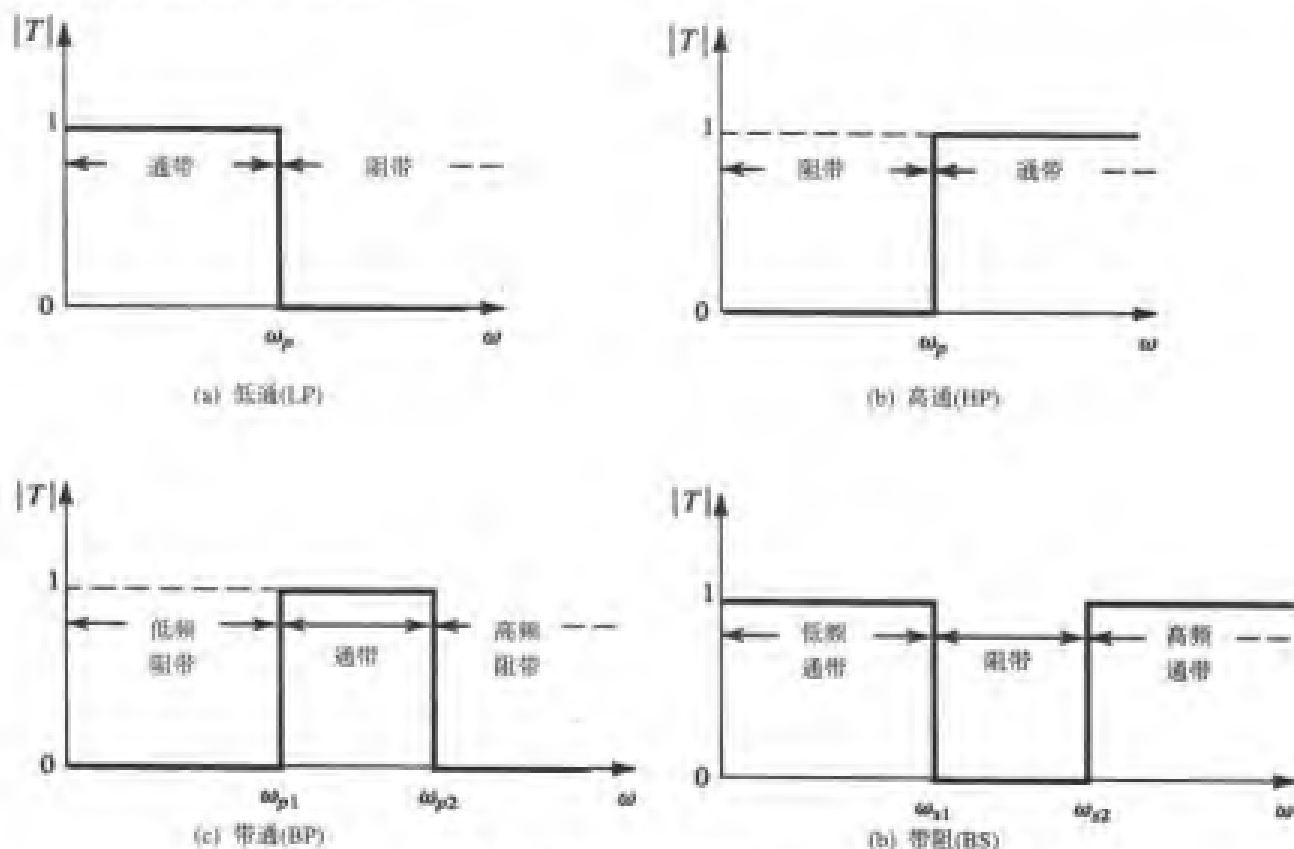


图 12.2 4 种主要滤波器的理想传输特性：（a）低通（LP）；
（b）高通（HP）；（c）带通（BP）；（d）带阻（BS）

12.1.3 滤波器规范

滤波器设计的第一步是由设计者根据所设计滤波器的性能要求来规范传输函数。实际的传输函数不具备图 12.2 所示的性能，因为实际的物理电路不可能实现理想特性。图 12.3 所示的是一个实际低通滤波器的传输特性。观察发现，实际电路不能实现在通带范围内的常数传输，所以允许在理想 0 dB 附近有波动传输，但波动的上限是 A_{max} (dB)。根据不同的应用， A_{max} 的典型值是

0.05 dB 到 3 dB。同样, 实际电路也不可能提供阻带内所有频率点上的零传输, 规范允许阻带内可以有信号传输, 但要求阻带内的信号与通带信号相比其衰减至少是 A_{\min} (dB)。根据不同的应用, A_{\min} 的典型值在 20 dB 到 100 dB 之间。

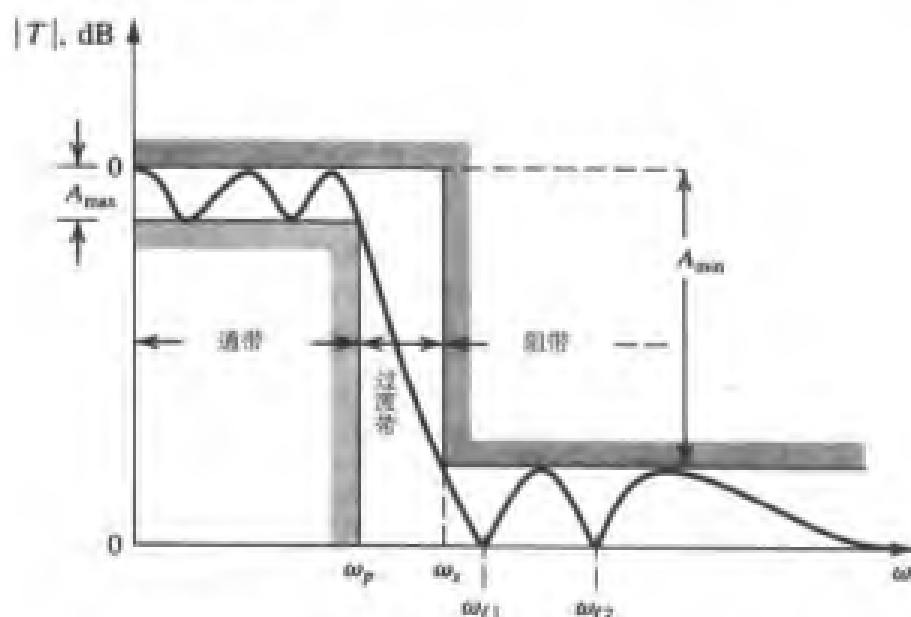


图 12.3 低通滤波器传输特性的规范。图中给出了满足规范要求滤波器幅频特性

由于实际电路的传输特性在通带的边界处不可能急剧变化, 因此图 12.3 所示的传输特性提供了一段频率区间。在这段区间内, 信号的衰减从 0 dB 开始增加到 A_{\min} 。过渡段的起始频率是通带的边界 ω_p , 终止频率是阻带边界 ω_s 。比值 ω_s/ω_p 代表低通滤波器响应的尖锐性, 也称为选择性。为方便起见, 通带传输特性的幅度规定为 0 dB, 最终的实际电路一般都有通带增益, 但不改变选择性。

总之, 低通滤波器的参数规范需要确定以下 4 个参数:

1. 通带边界频率 ω_p
2. 通带内传输的最大变化值 A_{\max}
3. 阻带边界频率 ω_s
4. 阻带内衰减的最小值 A_{\min}

A_{\max} 设计得越小, A_{\min} 设计得越大且比值 ω_s/ω_p 越接近于 1, 设计得到的滤波器传输特性就越接近于理想滤波器。但是这样的实际滤波器必定阶数很高, 电路很复杂, 价格也很贵。

除了要对滤波器传输的幅度特性加以规范外, 很多应用也需要对相位特性进行规范, 同时考虑幅度和相位将使滤波器的设计变得很复杂。

以上讨论了滤波器的规范问题, 接下来的设计就是寻找传输函数, 它的幅度特性能够满足规范的要求。为此, 幅频响应曲线只能位于图 12.3 的非阴影区内。图中的曲线是正好满足规范要求的滤波器特性曲线, 对这个特定的滤波器, 观察发现通带内的波纹具有等幅度值, 即都等于 A_{\max} 。 A_{\max} 也称为通带波纹, ω_p 也称为波纹带宽。特定滤波器的响应在阻带内也同样存在这样的波纹, 而且峰值均相等, 因此阻带衰减取得相同的规范值 A_{\min} , 因而这个特定滤波器的响应在通带和阻带内均具有等波纹特性。

获取满足规范要求的滤波器传输函数的过程也称为滤波器近似。滤波器近似通常借助于计算

机软件 (Snelgrove, 1982; Ouslis and Sedra, 1995) 或滤波器设计表 (Zverev, 1967) 来完成。我们可以利用闭合形式的表达式进行简单分析, 这部分内容将在 12.3 节阐述。

最后, 图 12.4 所示的是带通滤波器的设计规范以及满足此规范的一个实际电路的传输特性曲线。该例子的逼近函数在通带内没有出现波纹, 在中心频率的两边信号是单调下降的, 在通带的两个边界处取得最大允许偏差。

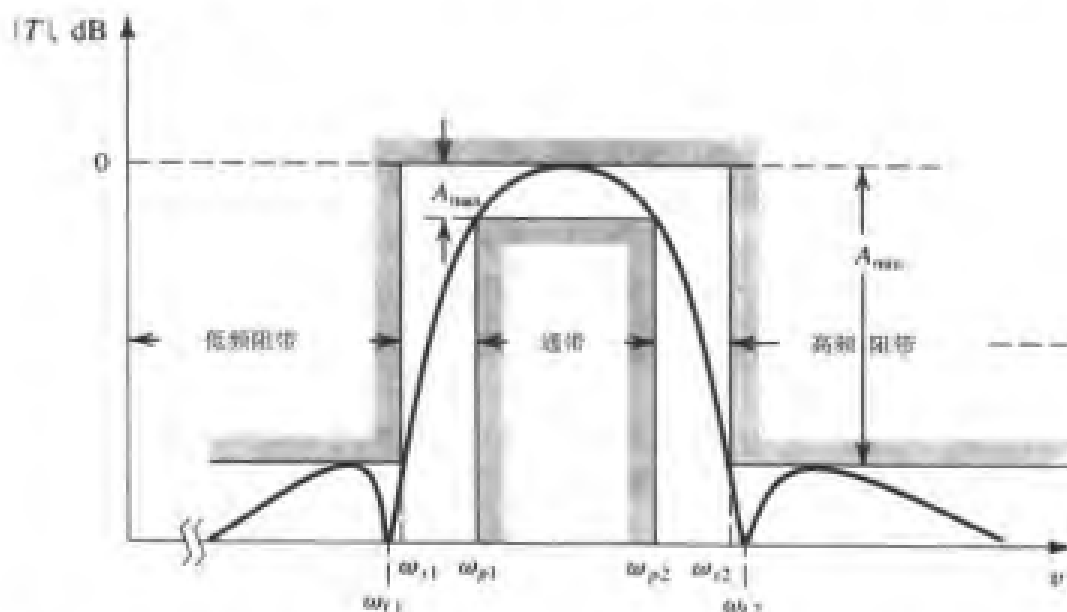


图 12.4 带通滤波器传输特性的规范。图中给出了满足规范要求滤波器的幅频特性。注意这个特别的滤波器, 它的幅频特性在通带峰值频率两边的传输是单调下降的

练习 12.1 求用分贝 (dB) 表示的衰减值, 对应的滤波器传输值是: 1, 0.99, 0.9, 0.8, 0.7, 0.5, 0.1, 0。

答案: 0, 0.1, 1, 2, 3, 6, 20, ∞ (dB)

练习 12.2 如果通带内的传输保持在常数值值的 $\pm 5\%$ 以内, 阻带内的传输不超过通带的 1%, 求 A_{\max} 和 A_{\min} 。

答案: 0.9 dB; 40 dB

12.2 滤波器传输函数

滤波器传输函数可以写成两个多项式的比值:

$$T(s) = \frac{a_M s^M + a_{M-1} s^{M-1} + \cdots + a_0}{s^N + b_{N-1} s^{N-1} + \cdots + b_0} \quad (12.6)$$

分母多项式的次数 N 也叫做滤波器的阶数。为使滤波器电路稳定, 分子多项式的次数必须小于等于分母多项式的次数, 即: $M \leq N$ 。分子和分母多项式的系数 a_0, a_1, \dots, a_M 和 b_0, b_1, \dots, b_{N-1} 都是实数。我们可以对分子和分母多项式进行因式分解, 这时 $T(s)$ 可以表示为

$$T(s) = \frac{a_M (s - z_1)(s - z_2) \cdots (s - z_M)}{(s - p_1)(s - p_2) \cdots (s - p_N)} \quad (12.7)$$

分子多项式的根 z_1, z_2, \dots, z_M 是传输函数的零点, 或者称为传输零点; 分母多项式的根

p_1, p_2, \dots, p_N 是传输函数的极点, 或者称为自然模数^①。每一个传输零点和极点可以是实数, 也可以是复数。复数零极点一定是成对出现的, 即为共轭复数对。这样, 如果 $-1 + j2$ 是零点的话, $-1 - j2$ 也一定是零点。

滤波器阻带内的传输函数要求等于零或者很小, 所以滤波器在阻带频率上的传输零点通常都位于 $j\omega$ 轴上。如同图 12.3 所示的一个实际电路的传输特性, 在阻带的两个频率点 ω_{t1} 和 ω_{t2} 上, 衰减达到无穷 (零传输)。即滤波器传输函数必须要有两个零点, 它们分别位于 $s = +j\omega_{t1}$ 和 $s = +j\omega_{t2}$ 。然而复数零点必须是成对出现的, 所以传输函数应该还有另外两个零点: $s = -j\omega_{t1}$ 和 $s = -j\omega_{t2}$ 。那么分子多项式就有这四个因子的乘积项 $(s + j\omega_{t1})(s - j\omega_{t1})(s + j\omega_{t2})(s - j\omega_{t2})$, 也可以写成 $(s^2 + \omega_{t1}^2)(s^2 + \omega_{t2}^2)$ 。当 $s = j\omega$ (物理频率) 时, 分子多项式成为 $(-\omega^2 + \omega_{t1}^2)(-\omega^2 + \omega_{t2}^2)$, 它有位于 $\omega = \omega_{t1}$ 和 $\omega = \omega_{t2}$ 的零点。

继续看图 12.3 所示的例子。我们发现当 ω 趋近于 ∞ 时, 传输特性的幅度将下降至 $-\infty$, 即滤波器含有一个或多个位于 $s = \infty$ 的零点。通常, 传输零点的个数是由分母和分子多项式的最高次数 N 和 M 的差决定的。这是因为当 s 趋近于 ∞ 时, $T(s)$ 趋近于 a_M / s^{N-M} , 也就是说有 $N - M$ 个 $s = \infty$ 的零点。

为了使滤波器电路稳定, 所有的极点都必须位于 s 平面的左半部, 即 p_1, p_2, \dots, p_N 都具有负的实部。图 12.5 所示的是低通滤波器的典型零极点图, 它的传输函数具有图 12.3 所示的传输特性。我们假设滤波器是 5 阶的 ($N = 5$)。它有两对共轭复数极点和一个实数极点, 共 5 个极点。所有的极点都位于通带频率附近, 从而保证通带内的传输最大。5 个零点是 $s = \pm j\omega_{t1}$, $s = \pm j\omega_{t2}$ 和 $s = \infty$ 。这样该滤波器的传输函数为

$$T(s) = \frac{a_4(s^2 + \omega_{t1}^2)(s^2 + \omega_{t2}^2)}{s^5 + b_4s^4 + b_3s^3 + b_2s^2 + b_1s + b_0} \quad (12.8)$$

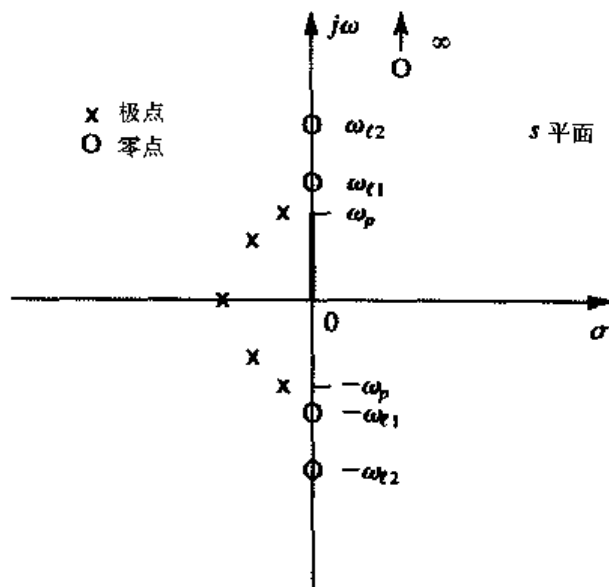


图 12.5 传输特性如图 12.3 所示的低通滤波器的零极点图。这是一个 5 阶滤波器 ($N = 5$)

我们再来看另一个例子, 考虑具有图 12.4 所示的带通滤波器的幅频响应。滤波器的传输零点位于 $s = \pm j\omega_{t1}$ 和 $s = \pm j\omega_{t2}$, 此外还有一个或多个位于 $s = 0$ 和 $s = \infty$ (因为当 ω 趋近于 0 和 ∞ 时,

① 本章中极点和自然模式这两个名词可交换使用。

传输特性的幅度降至 0) 的零点。假设 $s=0$ 和 $s=\infty$ 的地方各有一个零点, 则滤波器必定是 6 阶的, 传输函数具有以下的形式:

$$T(s) = \frac{a_5 s(s^2 + \omega_{i1}^2)(s^2 + \omega_{i2}^2)}{s^6 + b_5 s^5 + \dots + b_0} \quad (12.9)$$

该滤波器的零极点图如图 12.6 所示。

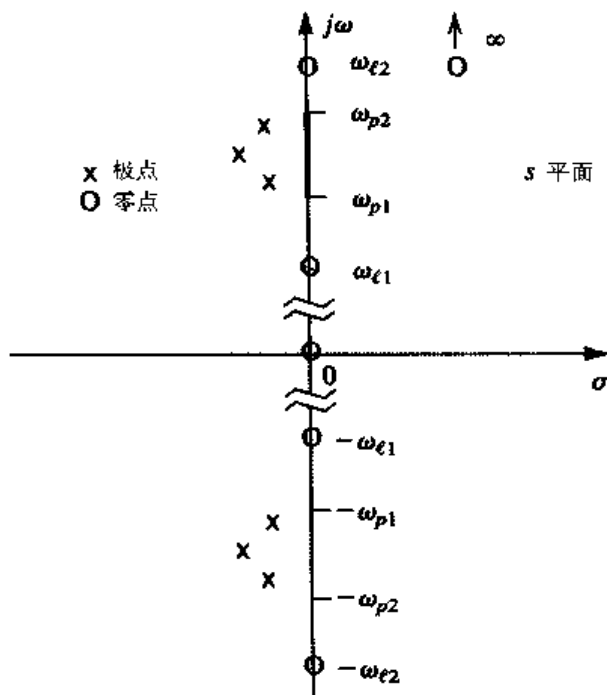


图 12.6 传输特性如图 12.4 所示的带通滤波器的零极点图。这是一个 6 阶滤波器 ($N=6$)

第三个也是最后一个例子考虑的是低通滤波器, 它的传输特性如图 12.7 (a) 所示。该例中不存在有限频率点上衰减为无限值 (传输为零) 的情况, 所以传输函数可能的零点均位于 $s=\infty$ 处。如果是这样的话, 传输函数就具有如下的形式:

$$T(s) = \frac{a_0}{s^N + b_{N-1}s^{N-1} + \dots + b_0} \quad (12.10)$$

这样的滤波器又称为全极点滤波器。典型的 5 阶全极点低通滤波器的零极点图如图 12.7 (b) 所示。

本章所涉及的大多数滤波器的传输零点几乎全部位于 $j\omega$ 轴上, 包括 $\omega=0$ 和 $\omega=\infty$ ^①。为了得到高选择性的滤波器电路, 要求所有的极点都是共轭复数 (除了奇次阶数的滤波器, 它必有一个极点位于实轴上)。最后我们注意到, 滤波器响应的选择性越高, 要求它的阶数就越高, 极点就越靠近 $j\omega$ 轴。

练习 12.3 两阶滤波器的极点为 $s = -(1/2) \pm j(\sqrt{3}/2)$ 。在 $\omega = 2$ rad/s 时实现零传输, 直流 ($\omega = 0$) 时传输为 1。求传输函数。

答案: $T(s) = \frac{1}{4} \frac{s^2 + 4}{s^2 + s + 1}$

① 很明显, 低通滤波器不可能有 $\omega=0$ 的传输零点。同样, 高通滤波器不可能有 $\omega=\infty$ 的传输零点。

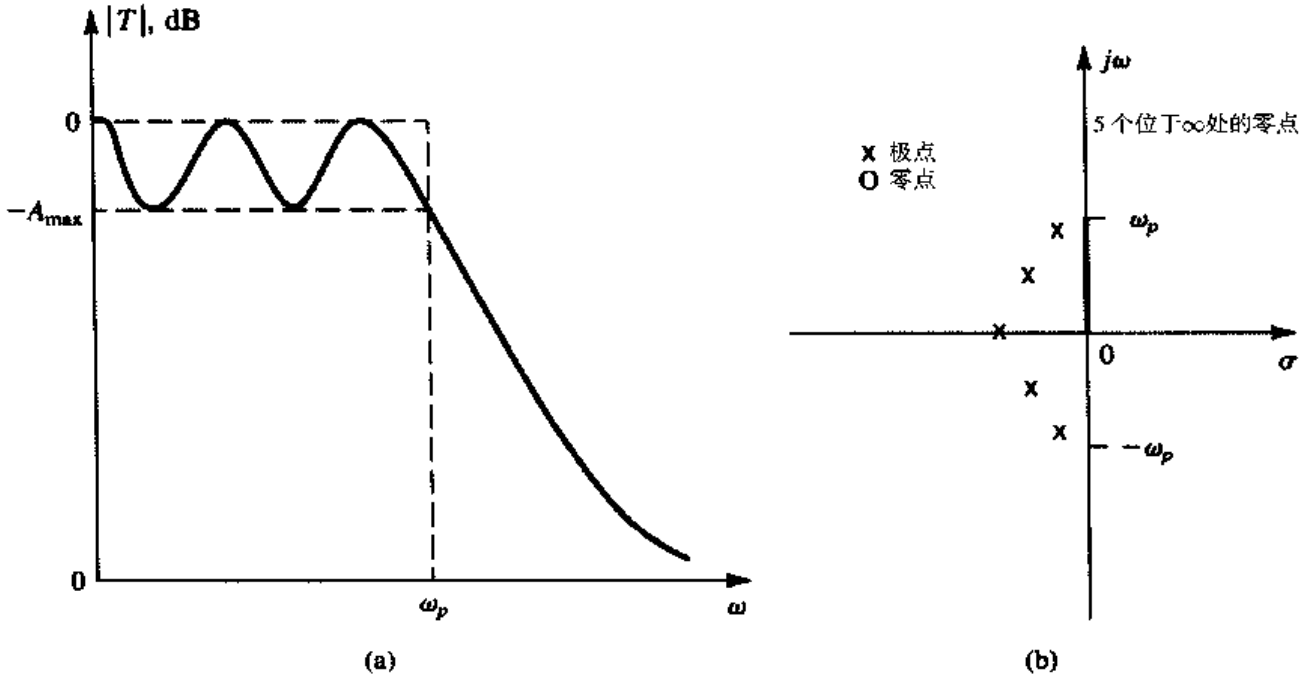


图 12.7 (a) 5 阶低通滤波器的传输特性, 所有传输零点均位于无限远处; (b) (a) 中所示滤波器的零极点图

练习 12.4 一个 4 阶滤波器在 $\omega=0$, $\omega=2 \text{ rad/s}$ 和 $\omega=\infty$ 时实现零传输。极点是 $-0.1 \pm j0.8$ 和 $-0.1 \pm j1.2$ 。求 $T(s)$ 。

$$\text{答案: } T(s) = \frac{a_3 s(s^2 + 4)}{(s^2 + 0.2s + 0.65)(s^2 + 0.2s + 1.45)}$$

练习 12.5 求三阶全极点低通滤波器的传输函数。它的极点位于原点为圆心、半径为 1 rad/s 的圆上, 复数极点和 $j\omega$ 轴的夹角为 30° , 直流增益为 1, 证明 $|T(j\omega)| = 1/\sqrt{1+\omega^6}$; 求 $\omega_{3\text{dB}}$ 频率; 当 $\omega = 3 \text{ rad/s}$ 时, 衰减为多少?

$$\text{答案: } T(s) = 1/(s+1)(s^2+s+1); 1 \text{ rad/s}; 28.6 \text{ dB}$$

12.3 巴特沃斯与切比雪夫滤波器

本节将介绍两种用于逼近低通滤波器传输特性的函数。一旦确定闭合形式的传输函数表达式中的参数, 就可以完成逼近, 而且设计时不再需要借助于计算机或滤波器设计表。但是这种方法只适用于简单应用。

尽管我们的讨论只是针对低通滤波器的, 但是所提供的逼近函数也可以应用于其他类型的滤波器设计中, 只是要利用一下频率变换 [参见 Sedra 和 Brackett (1978)]。

12.3.1 巴特沃斯滤波器

图 12.8 所示的是巴特沃斯^①滤波器的幅频响应特性。在 $\omega=\infty$ 的地方, 所有零点都呈现单调下降的传输特性, 表明滤波器是一个全极点系统。设通带边界为 ω_p , N 阶巴特沃斯滤波器的幅频响应函数为

① 巴特沃斯滤波器逼近用英国工程师 S. Butterworth 的名字命名, 他在 1930 年首先使用了该电路。

$$|T(j\omega)| = \frac{1}{\sqrt{1 + \epsilon^2 \left(\frac{\omega}{\omega_p}\right)^{2N}}} \quad (12.11)$$

在 $\omega = \omega_p$ 处,

$$|T(j\omega_p)| = \frac{1}{\sqrt{1 + \epsilon^2}} \quad (12.12)$$

其中, 参数 ϵ 根据下式决定了通带传输时的最大变化值 A_{\max} :

$$A_{\max} = 20 \log \sqrt{1 + \epsilon^2} \quad (12.13)$$

同样, 给定 A_{\max} , ϵ 由下式确定:

$$\epsilon = \sqrt{10^{A_{\max}/10} - 1} \quad (12.14)$$

我们观察到巴特沃斯滤波器在通带内传输的最大偏差(与理想单位值相比)只出现在通带边界处, 而且前面的 $2N - 1$ 个导数在 $\omega = 0$ 时也等于 0 [参见 Van Valkenburg(1980)]。这个特性表明巴特沃斯滤波器在 $\omega = 0$ 附近的响应非常平坦, 因此也称为最大平坦响应。随着阶数 N 的增加, 响应的平坦程度也增加, 如图 12.9 所示。该曲线反映了我们所预期的结论: 随着阶数 N 的增加, 滤波器的响应更接近于理想的砖墙响应。

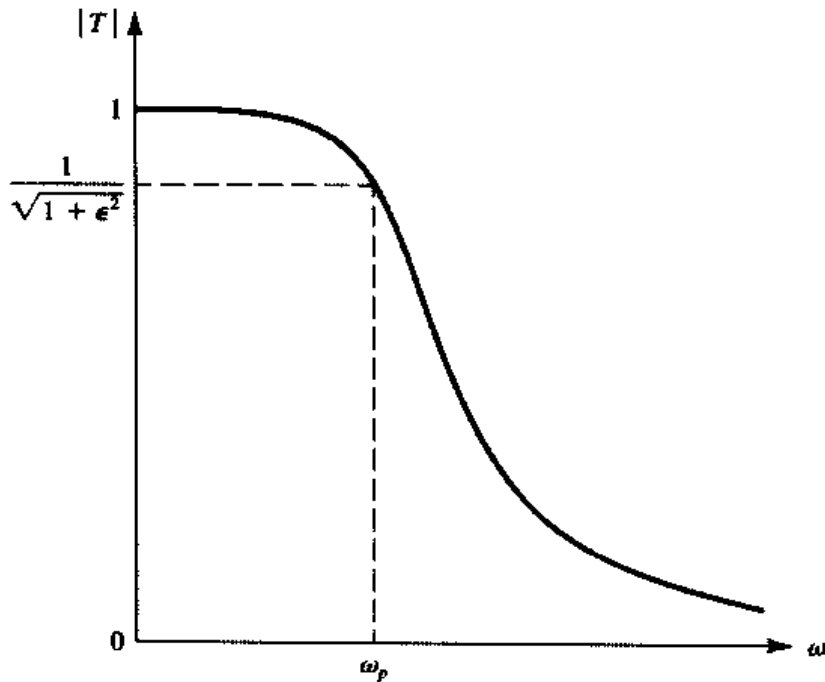


图 12.8 巴特沃斯滤波器的幅频特性

在阻带边界, 即 $\omega = \omega_s$ 处, 巴特沃斯滤波器的衰减函数为

$$\begin{aligned} A(\omega_s) &= -20 \log [1 / \sqrt{1 + \epsilon^2 (\omega_s / \omega_p)^{2N}}] \\ &= 10 \log [1 + \epsilon^2 (\omega_s / \omega_p)^{2N}] \end{aligned} \quad (12.15)$$

上式可以用来确定滤波器的阶数, 即满足 $A(\omega_s) \geq A_{\min}$ 时的最小整数 N 。

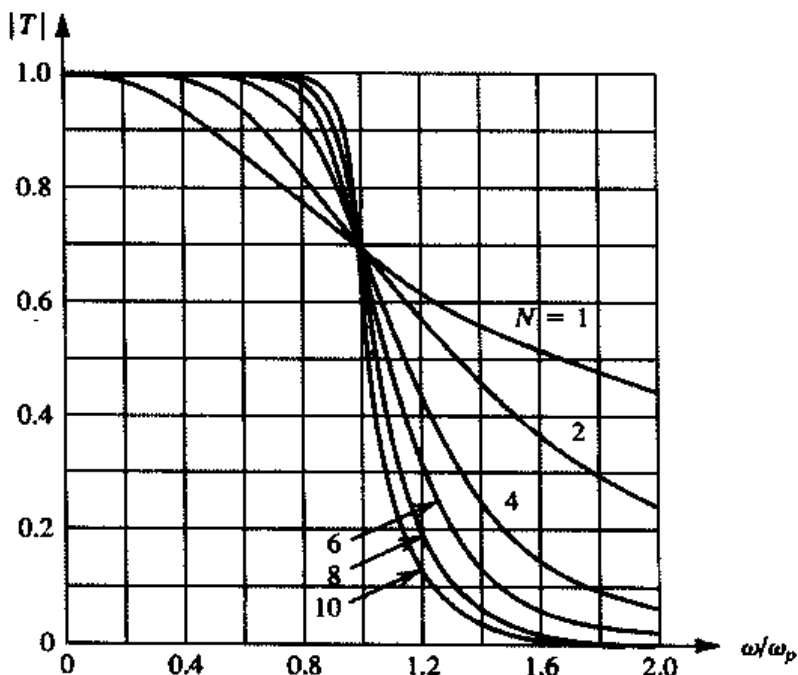


图 12.9 不同阶数的巴特沃斯滤波器幅频响应, $\epsilon = 1$ 。注意, 阶数越高, 传输特性越接近于理想砖墙特性

N 阶巴特沃斯滤波器的极点由图 12.10 (a) 所示的结构来确定。极点位于半径为 $\omega_p(1/\epsilon)^{1/N}$ 的圆上, 极点之间具有等夹角 π/N , 第一个极点与 $+j\omega$ 的夹角为 $\pi/2N$ 。由于所有极点到原点的距离相等, 因此它们的频率都为 $\omega_0 = \omega_p(1/\epsilon)^{1/N}$, 图 12.10 (b), (c) 和 (d) 分别是 $N=2, 3$ 和 4 的巴特沃斯滤波器的极点图。一旦得到了 N 个极点, 传输函数即可表示为

$$T(s) = \frac{K\omega_0^N}{(s-p_1)(s-p_2)\cdots(s-p_N)} \quad (12.16)$$

其中, K 是常数且等于滤波器的直流增益。

现将满足图 12.3 所示传输特性的巴特沃斯滤波器传输函数的求解过程总结如下:

1. 由式 (12.14) 确定 ϵ 。
2. 利用式 (12.15) 确定滤波器的阶数 N , 它是满足 $A(\omega_s) \geq A_{\min}$ 时的最小整数。
3. 根据图 12.10 (a) 确定 N 个极点。
4. 利用式 (12.16) 写出 $T(s)$ 。

例题 12.1 求巴特沃斯滤波器的传输函数, 要求具有以下低通滤波器的传输特性: $f_p = 10$ kHz, $A_{\max} = 1$ dB, $f_s = 15$ kHz, $A_{\min} = 25$ dB, 直流增益等于 1。

解: 将 $A_{\max} = 1$ dB 代入式 (12.14), 得到 $\epsilon = 0.5088$ 。然后利用式 (12.15) 确定滤波器的阶数 N 。通过多次对 N 的测试, 我们发现 $N=8$ 时, $A(\omega_s) = 22.3$ dB; $N=9$ 时, $A(\omega_s) = 25.8$ dB。所以选择 $N=9$ 。

图 12.11 给出了确定极点的极坐标图, 所有极点的频率均为 $\omega_0 = \omega_p(1/\epsilon)^{1/N} = 2\pi \times 10 \times 10^3 (1/0.5088)^{1/9} = 6.773 \times 10^4$ rad/s, 第一个极点 p_1 为

$$p_1 = \omega_0(-\cos 80^\circ + j \sin 80^\circ) = \omega_0(-0.1736 + j0.9848)$$

结合 p_1 及其共轭复数极点 p_9 , 在传输函数的分母多项式中将产生因子 $(s^2 + s0.3472\omega_0 + \omega_0^2)$, 对

其他共轭复数极点对进行同样的处理，并利用式 (12.16)，可以得到传输函数的完整表达式：

$$T(s) = \frac{\omega_0^9}{(s + \omega_0)(s^2 + s1.8794\omega_0 + \omega_0^2)(s^2 + s1.5321\omega_0 + \omega_0^2)} \times \frac{1}{(s^2 + s\omega_0 + \omega_0^2)(s^2 + s0.3472\omega_0 + \omega_0^2)} \quad (12.17)$$

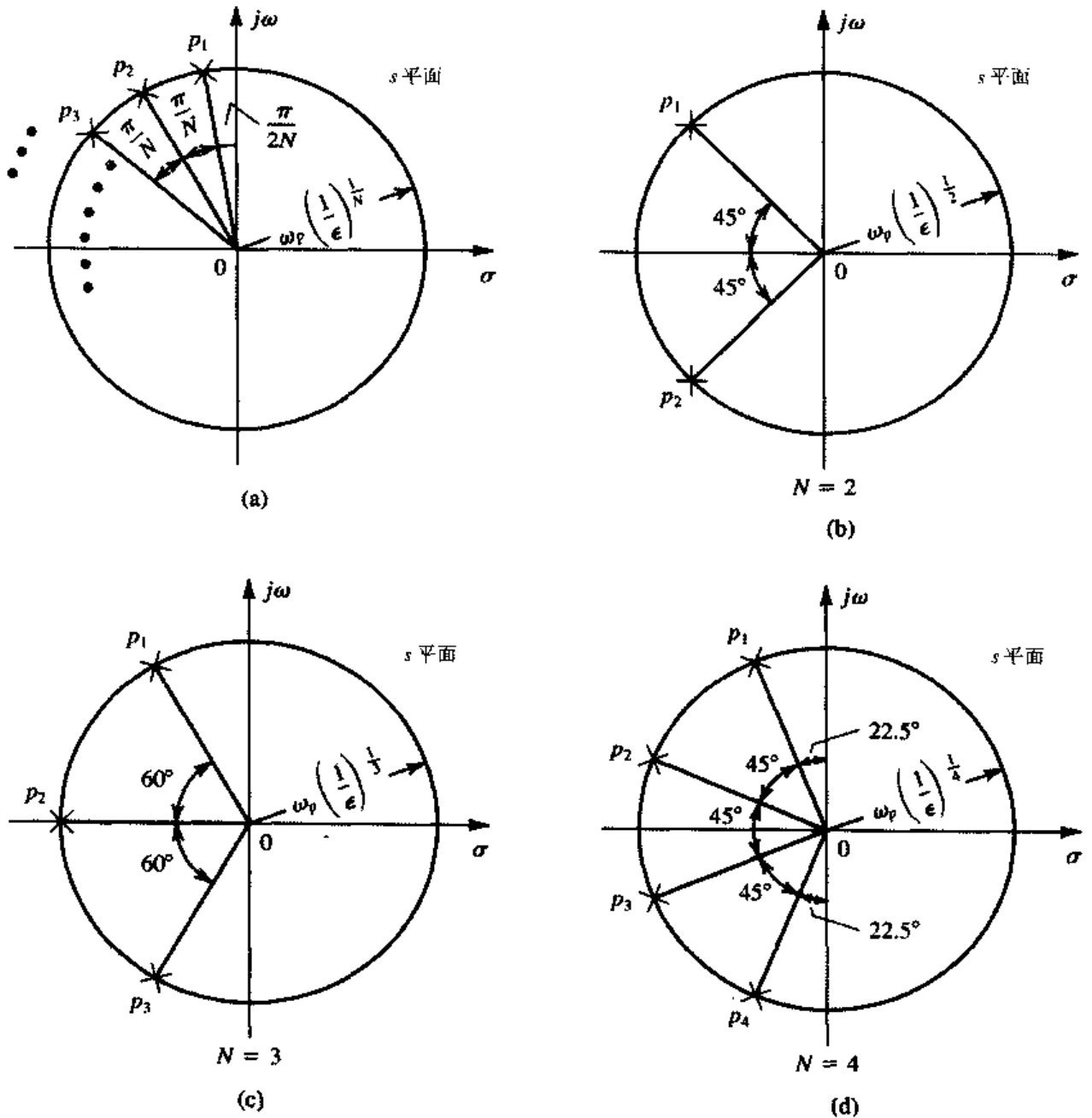


图 12.10 N 阶巴特沃斯滤波器极点频率的构造图。所有极点均位于 s 平面左半部半径为 $(\omega_0 = \omega_p(1/\epsilon)^{1/N})$ 的圆上，其中 ϵ 是通带波动参数 ($\epsilon = \sqrt{10^{A_{\max}/10} - 1}$)：
(a) 通用情况；(b) $N=2$ ；(c) $N=3$ ；(d) $N=4$

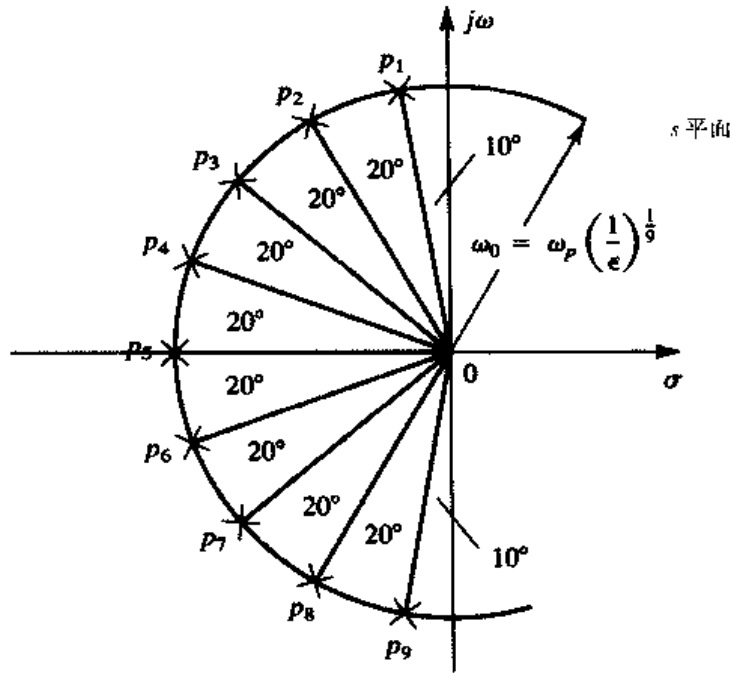


图 12.11 例题 12.1 中 9 阶巴特沃斯滤波器的极点

12.3.2 切比雪夫滤波器

图 12.12 所示的是偶数阶和奇数阶切比雪夫滤波器^①的传输特性曲线。切比雪夫滤波器在通带内呈现等波纹响应，在阻带内呈现单调下降的特性。在 $\omega = 0$ 时，奇数阶滤波器的 $|T(0)| = 1$ ，而偶数阶滤波器却具有最大的幅度偏差。两种滤波器在通带内最大点和最小点的个数等于滤波器的阶数 N 。切比雪夫滤波器的所有零点均位于 $\omega = \infty$ 处，使其成为全极点滤波器。

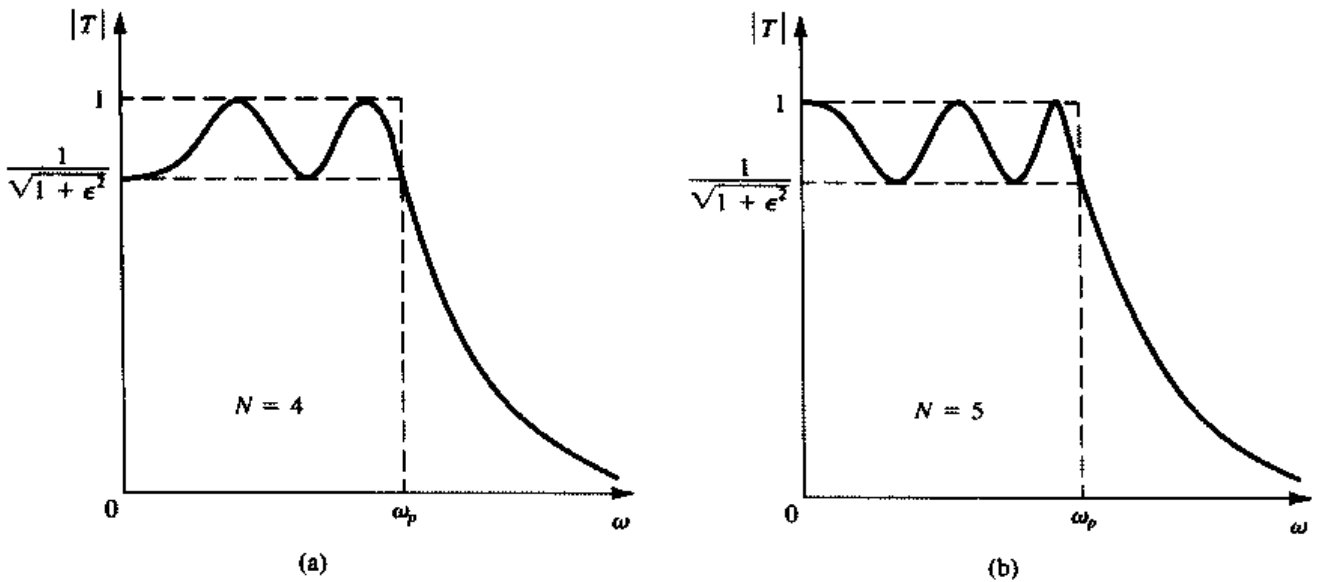


图 12.12 切比雪夫滤波器的传输特性：(a) 偶数阶；(b) 奇数阶

① 以俄国数学家 P. L. Chebyshev 的名字命名，他在 1899 年研究蒸汽机构造时用到了这些函数。

ω_p 是 N 阶切比雪夫滤波器通带的边界 (波纹带宽), 其幅频特性由下式给出:

$$|T(j\omega)| = \frac{1}{\sqrt{1 + \epsilon^2 \cos^2[N \cos^{-1}(\omega/\omega_p)]}}, \text{ 这里 } \omega \leq \omega_p \quad (12.18)$$

和

$$|T(j\omega)| = \frac{1}{\sqrt{1 + \epsilon^2 \cosh^2[N \cosh^{-1}(\omega/\omega_p)]}}, \text{ 这里 } \omega \geq \omega_p \quad (12.19)$$

在 $\omega = \omega_p$ 时, 幅频特性为

$$|T(j\omega_p)| = \frac{1}{\sqrt{1 + \epsilon^2}}$$

因此, 参数 ϵ 可以根据下式确定波纹的幅度:

$$A_{\max} = 10 \log(1 + \epsilon^2) \quad (12.20)$$

反过来, 给定 A_{\max} , ϵ 则由下式求出:

$$\epsilon = \sqrt{10^{A_{\max}/10} - 1} \quad (12.21)$$

切比雪夫滤波器在阻带边界 $\omega = \omega_s$ 处的衰减可利用式 (12.19) 得到:

$$A(\omega_s) = 10 \log[1 + \epsilon^2 \cosh^2(N \cosh^{-1}(\omega_s/\omega_p))] \quad (12.22)$$

借助于计算器, 上式可以用来确定滤波器阶数 N , 它是满足 $A(\omega_s) \geq A_{\min}$ 时的最小整数, A_{\min} 是滤波器的设计规范参数。如同巴特沃斯滤波器, 当切比雪夫滤波器的阶数 N 增加时, 其幅频响应更接近于理想的低通砖墙响应。

切比雪夫滤波器的极点由下式给出:

$$p_k = -\omega_p \sin\left(\frac{2k-1}{N} \frac{\pi}{2}\right) \sinh\left(\frac{1}{N} \sinh^{-1} \frac{1}{\epsilon}\right) + j\omega_p \cos\left(\frac{2k-1}{N} \frac{\pi}{2}\right) \cosh\left(\frac{1}{N} \sinh^{-1} \frac{1}{\epsilon}\right) \quad k = 1, 2, \dots, N \quad (12.23)$$

最后, 可以写出切比雪夫滤波器的传输函数如下:

$$T(s) = \frac{K\omega_p^N}{\epsilon 2^{N-1} (s-p_1)(s-p_2)\cdots(s-p_N)} \quad (12.24)$$

其中, K 代表滤波器的直流增益。

当给定的低通滤波器的传输特性如图 12.3 所示并且采用切比雪夫滤波器来逼近该传输特性时, 其步骤总结如下:

1. 由式 (12.21) 确定 ϵ 。
2. 利用式 (12.22) 确定滤波器的阶数 N 。
3. 利用式 (12.23) 得到滤波器的极点频率。
4. 最后由式 (12.24) 得到传输函数。

切比雪夫提供了比巴特沃斯更为有效的逼近过程, 即对相同阶数和 A_{\max} 值的滤波器, 切比雪夫滤波器在阻带内的衰减要优于巴特沃斯。或者说, 为了满足相同的设计规范参数, 切比雪夫滤波器的阶数要低于巴特沃斯滤波器。以下的例题可以说明这一点。

例题 12.2 低通滤波器性能满足例题 12.1 中的要求, 即, $f_p = 10 \text{ kHz}$, $A_{\max} = 1 \text{ dB}$, $f_s = 15 \text{ kHz}$, $A_{\min} = 25 \text{ dB}$, 直流增益等于 1。采用切比雪夫滤波器逼近求出滤波器的传输函数。

解: 将 $A_{\max} = 1 \text{ dB}$ 代入式 (12.21), 求解得到 $c = 0.5088$ 。通过多次测试式 (12.22) 中的 N 值, 我们发现当 $N = 4$ 时, $A(\omega_s) = 21.6 \text{ dB}$; $N = 5$ 时, $A(\omega_s) = 29.9 \text{ dB}$, 所以我们选择 $N = 5$ 。而在例题 12.1 中, 满足性能要求的巴特沃斯滤波器的 N 必须等于 9。

将 N 代入式 (12.23), 可得到极点频率如下:

$$p_1, p_5 = \omega_p(-0.0895 \pm j0.9901)$$

$$p_2, p_4 = \omega_p(-0.2342 \pm j0.6119)$$

$$p_3 = \omega_p(-0.2895)$$

将极点频率代入式 (12.24), 得到传输函数如下:

$$T(s) = \frac{\omega_p^5}{8.1408(s + 0.2895\omega_p)(s^2 + s0.4684\omega_p + 0.4293\omega_p^2)} \times \frac{1}{s^2 + s0.1789\omega_p + 0.9883\omega_p^2} \quad (12.25)$$

其中, $\omega_p = 2\pi \times 10^4 \text{ rad/s}$ 。

练习 D12.6 确定巴特沃斯滤波器的阶数, 规范设计参数为: $A_{\max} = 1 \text{ dB}$, $\omega_s/\omega_p = 1.5$, $A_{\min} = 30 \text{ dB}$ 。电路在阻带边界的实际衰减是多少? 假如 A_{\min} 正好等于 30 dB , 那么 A_{\max} 可以降低多少?

答案: $N = 11$; $A_{\min} = 32.87 \text{ dB}$; 0.54 dB

练习 12.7 求巴特沃斯滤波器的传输函数和极点频率, 已知 $\omega_p = 1 \text{ rad/s}$, $A_{\max} = 3 \text{ dB}$ ($\epsilon = 1$), $N = 3$ 。

答案: $-0.5 \pm j\sqrt{3}/2$ 和 -1 ; $T(s) = 1/(s+1)(s^2+s+1)$

练习 12.8 观察式 (12.18), $|T|$ 在通带的峰值和谷值处的频率就是滤波器的极点频率。(当 $\cos^2[\]$ 项等于 0 时为峰值, 当 $\cos^2[\]$ 项等于 1 时为谷值。) 求 5 阶滤波器的极点频率。

答案: 峰值在 $\omega = 0, 0.59\omega_p$ 和 $0.95\omega_p$ 处; 谷值在 $\omega = 0.31\omega_p$ 和 $0.81\omega_p$ 处。

练习 D12.9 7 阶切比雪夫滤波器的通带波纹为 0.5 dB , 求 $\omega = 2\omega_p$ 时的衰减。如果通带波纹允许增加到 1 dB , 那么阻带衰减增加多少?

答案: 64.9 dB ; 3.3 dB

练习 D12.10 要求设计一个低通滤波器, 其参数为: $f_p = 1 \text{ kHz}$, $A_{\max} = 1 \text{ dB}$, $f_s = 1.5 \text{ kHz}$, $A_{\min} = 50 \text{ dB}$ 。

(a) 求满足要求的切比雪夫滤波器的阶数。超出阻带衰减的部分是多少?

(b) 如果是设计巴特沃斯滤波器, 重复 (a)。

答案: (a) $N = 8$, 5 dB ; (b) $N = 16$, 0.5 dB

12.4 一阶和二阶滤波器函数

这一节将介绍最简单的一阶和二阶滤波器传输函数。在设计简单滤波器时, 这些传输函数非常有用。一阶和二阶滤波器还可以通过级联构成一个高阶滤波器。事实上, 级联设计是有源滤波器 (采用运算放大器和 RC 电路) 设计时最流行的方法之一。因为滤波器的复数极点必定是成对出现的, 所以传输函数 $T(s)$ 的分母在因式分解后变为若干个二阶函数的乘积。如果 $T(s)$ 是奇数阶的, 因式分解后就会有一阶函数。每一个二阶函数 [当 $T(s)$ 为奇数阶时有一阶函数] 都可以用本章

介绍的运算放大器 RC 电路来实现, 它们作为模块电路被级联在一起, 从而构成整个滤波器电路。如果每一个模块电路的输出端都取自运算放大器的输出端, 而运算放大器的输出阻抗很低 (理想情况下等于 0), 那么级联不会改变各自模块电路的传输函数, 因此级联后的总传输函数就是各模块传输函数的乘积, 也就是原先的 $T(s)$ 。

12.4.1 一阶滤波器

一阶滤波器传输函数的通用表达式如下:

$$T(s) = \frac{a_1 s + a_0}{s + \omega_0} \quad (12.26)$$

双线性特性的滤波器函数表明一阶滤波器具有一个极点 $s = -\omega_0$ 和一个零点 $s = -a_0/a_1$, 高频增益趋近于 a_1 。分子多项式的系数 a_0 和 a_1 决定滤波器的类型 (比如低通、高通等)。采用无源 (RC) 和有源 (运算放大器 RC) 实现的滤波器电路如图 12.13 所示。注意, 有源实现较无源实现来说通用性更强, 很多情况下增益可以设置成需要的值, 而且传输函数的某些参数调整时不会影响其他的参数。有源电路的输出阻抗非常低, 易于级联。但运算放大器将限制有源电路的高频性能。

一阶滤波器有一个非常重要的特殊电路——全通滤波器, 如图 12.14 所示。滤波器传输函数的零点和极点相对于 $j\omega$ 轴对称 (它们也称为相对于 $j\omega$ 轴镜像对称)。尽管全通滤波器 (理想的) 在所有频率点上为常数传输, 但它的相频具有选择性。全通滤波器常用做移相器或者应用在需要相位整形的系统中 (比如延迟均衡器电路设计就要求传输系统的总延迟时间相对于频率而言是常数)。

练习 D12.11 设计图 12.13 (b) 所示的运算放大器 RC 电路, 使之具有高通滤波器的性能: 角频率是 10^4 rad/s, 高频增益等于 10, 电阻 $R_1 = 10$ k Ω 。

答案: $R_2 = 100$ k Ω ; $C = 0.01$ μ F

练习 D12.12 设计如图 12.14 所示的运算放大器 RC 电路, 使之实现全通滤波器的特性。要求在 10^3 rad/s 处的相移为 90° 。选择合适的元件参数。

答案: 可能的选择为: $R = R_1 = R_2 = 10$ k Ω ; $C = 0.1$ μ F

12.4.2 二阶滤波器函数

通用的二阶 (或称双二次) 滤波器传输函数的标准形式如下:

$$T(s) = \frac{a_2 s^2 + a_1 s + a_0}{s^2 + (\omega_0 / Q) s + \omega_0^2} \quad (12.27)$$

其中, ω_0 和 Q 将根据下式决定根点频率:

$$p_1, p_2 = -\frac{\omega_0}{2Q} \pm j\omega_0 \sqrt{1 - (1/4Q^2)} \quad (12.28)$$

我们感兴趣的是极点为复数的情况, 即 $Q > 0.5$ 的情况。图 12.15 所示的是共轭复数对极点在 s 平面上的位置。观察发现, 根点半径 (从原点算起) 都等于 ω_0 , 它被称为极点频率。参数 Q 决定了极点距 $j\omega$ 轴的距离, Q 值越大, 极点离 $j\omega$ 轴越近, 滤波器频响的选择性越好。当 Q 为无限时, 极点将位于 $j\omega$ 轴上, 电路实现时将产生持续的振荡。如果 Q 为负值, 表明极点位于 s 平面右半部, 电路一定会产生振荡。参数 Q 也称为极点品质因数, 或简称为极点 Q 。

分子多项式的系数 a_0 , a_1 和 a_2 将决定二阶滤波器传输函数的零点, 同时也决定了二阶滤波器传输函数的类型 (比如低通、高通等)。图 12.16 所示的是我们感兴趣的 7 种典型情况, 每一种类

滤波器类型和 $T(s)$	平面零极点图	$ T $ 的波特图	无源网络实现	运算放大器+RC 实现
(a) 低通 (LP) $T(s) = \frac{\omega_0}{s + \omega_0}$			$CR_2 = \frac{1}{\omega_0}$ <p>直流增益 = $-\frac{R_2}{R_1}$</p>	$CR = \frac{1}{\omega_0}$ <p>直流增益 = 1</p>
(b) 高通 (HP) $T(s) = \frac{\omega_1 s}{s + \omega_0}$			$CR_1 = \frac{1}{\omega_0}$ <p>高频增益 = $-\frac{R_2}{R_1}$</p>	$CR = \frac{1}{\omega_0}$ <p>高频增益 = 1</p>
(c) 带通 (BP) $T(s) = \frac{\omega_1 s + \omega_0}{s + \omega_0}$			$C_2 R_2 = \frac{\omega_1}{\omega_0}$ $C_1 R_1 = \frac{\omega_1}{\omega_0}$ <p>直流增益 = $-\frac{R_2}{R_1}$</p> <p>高频增益 = $-\frac{C_1}{C_2}$</p>	$(C_1 + C_2)(R_1 // R_2) = \frac{1}{\omega_0}$ $C_1 R_1 = \frac{\omega_1}{\omega_0}$ <p>直流增益 = $\frac{R_2}{R_1 + R_2}$</p> <p>高频增益 = $\frac{C_1}{C_1 + C_2}$</p>

图 12.13 一阶滤波器

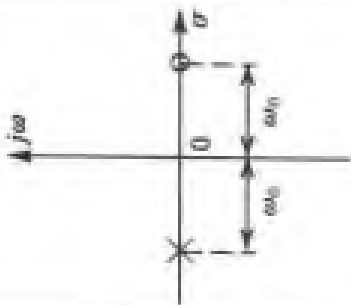
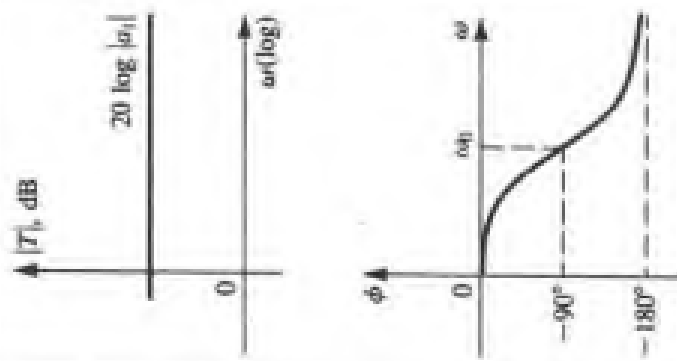
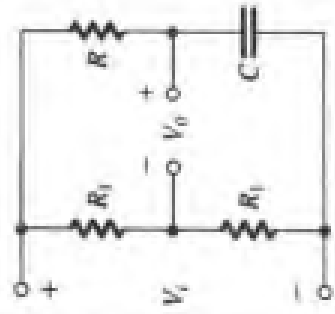
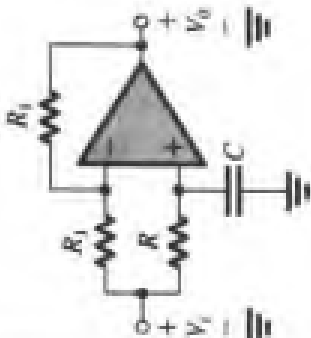
$T(s)$ 全通 (AP)	零极点图	$ T $ 和 ϕ	无源网络实现	运算放大器-RC 实现
$T(s) = -a_1 \frac{s - \omega_0}{s + \omega_0}$ $a_1 > 0$			 <p style="text-align: right;"> $CR = 1/\omega_0$ 平坦增益 (a_1) = 0.5 </p>	 <p style="text-align: right;"> $CR = 1/\omega_0$ 平坦增益 (a_1) = 1 </p>

图 12.14 一阶全通滤波器

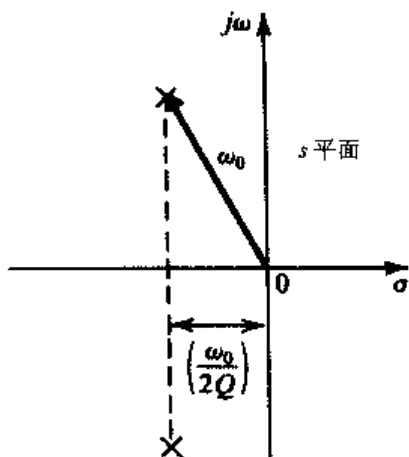


图 12.15 定义一对共轭复数极点的 ω_0 参数和 Q 参数

型都同时给出了传输函数、 s 平面零极点图和幅频响应。不同类型的二阶滤波器函数的电路实现将在下面几节阐述。

所有 7 种二阶滤波器都有一对共轭复数极点, 由频率 ω_0 和品质因数 Q 确定。

图 12.16 (a) 所示的是低通滤波器 (LP) 的例子, 两个零点均位于 $s = \infty$ 处。幅频特性的峰值在图中已标出。可以看到峰值只出现在 $Q > 1/\sqrt{2}$ 的情况下。 $Q = 1/\sqrt{2}$ 是巴特沃斯响应, 或称为最大平坦响应。

图 12.16 (b) 所示的是高通滤波器 (HP) 的例子, 两个零点均位于 $s = 0$ (直流)。当 $Q > 1/\sqrt{2}$ 时幅频特性出现峰值, 细节请见图示。观察发现低通和高通之间具有对偶特性。

接下来看图 12.16 (c) 所示的带通滤波器 (BP) 的例子。一个零点位于 $s = 0$ (直流), 另一个零点位于 $s = \infty$ 。在 $\omega = \omega_0$ 处幅频特性出现峰值, 因此带通滤波器的中心频率等于极点频率 ω_0 。二阶滤波器的选择性通常由 3 dB 带宽来表示, 即幅度值较最大值 ($\omega = \omega_0$) 下降 3 dB 时的两个频率 ω_1 和 ω_2 之间的差, 可证明:

$$\omega_1, \omega_2 = \omega_0 \sqrt{1 + (1/4Q^2)} \pm \frac{\omega_0}{2Q} \quad (12.29)$$

即

$$BW \equiv \omega_2 - \omega_1 = \omega_0 / Q \quad (12.30)$$

可见, 当 Q 增加时, 带宽减少, 带通滤波器的选择性增加。

如果传输零点位于 $j\omega$ 轴上, 而且是共轭复数对, 频率为 $\pm j\omega_n$, 那么幅频特性在 $\omega = \omega_n$ 处将产生零传输, 即在 $\omega = \omega_n$ 处幅频特性出现陷波, ω_n 称为陷波频率。以下三种情况下二阶滤波器具有陷波特性和: 普通陷波, 出现在 $\omega_n = \omega_0$ 处 [如图 12.16 (d) 所示]; 低通陷波, 出现在 $\omega_n > \omega_0$ 处 [如图 12.16 (e) 所示]; 高通陷波, 出现在 $\omega_n < \omega_0$ [如图 12.16 (f) 所示]。读者有必要对这些图的频响做出详细的证明 (尽管这是很单调的工作)。观察所有陷波滤波器的例子, 我们发现在直流和 $s = \infty$ 处的传输均为无限, 也就是在 $s = 0$ 和 $s = \infty$ 处没有传输零点。

最后一个例子是全通 (AP) 滤波器, 幅频特性如图 12.16 (g) 所示。这里有两个位于 s 平面右半部的零点, 它们与极点镜像对称。(任何阶数的全通滤波器函数都如此。) 在所有的频率点上, 幅频特性始终是常数, 所谓的平坦增益在本例中等于 $|a_2|$ 。全通函数的选频特性在相频响应中体现。

练习 12.13 对最大平坦的二阶低通滤波器 ($Q = 1/\sqrt{2}$), 证明在 $\omega = \omega_0$ 处的幅度比直流时的幅度低 3 dB。

练习 12.14 写出二阶带通滤波器的传输函数, 要求带通滤波器的中心频率为 10^5 rad/s, 中心频率点上的增益是 10, 3 dB 带宽是 10^3 rad/s。

答案:
$$T(s) = \frac{10^4 s}{s^2 + 10^3 s + 10^{10}}$$

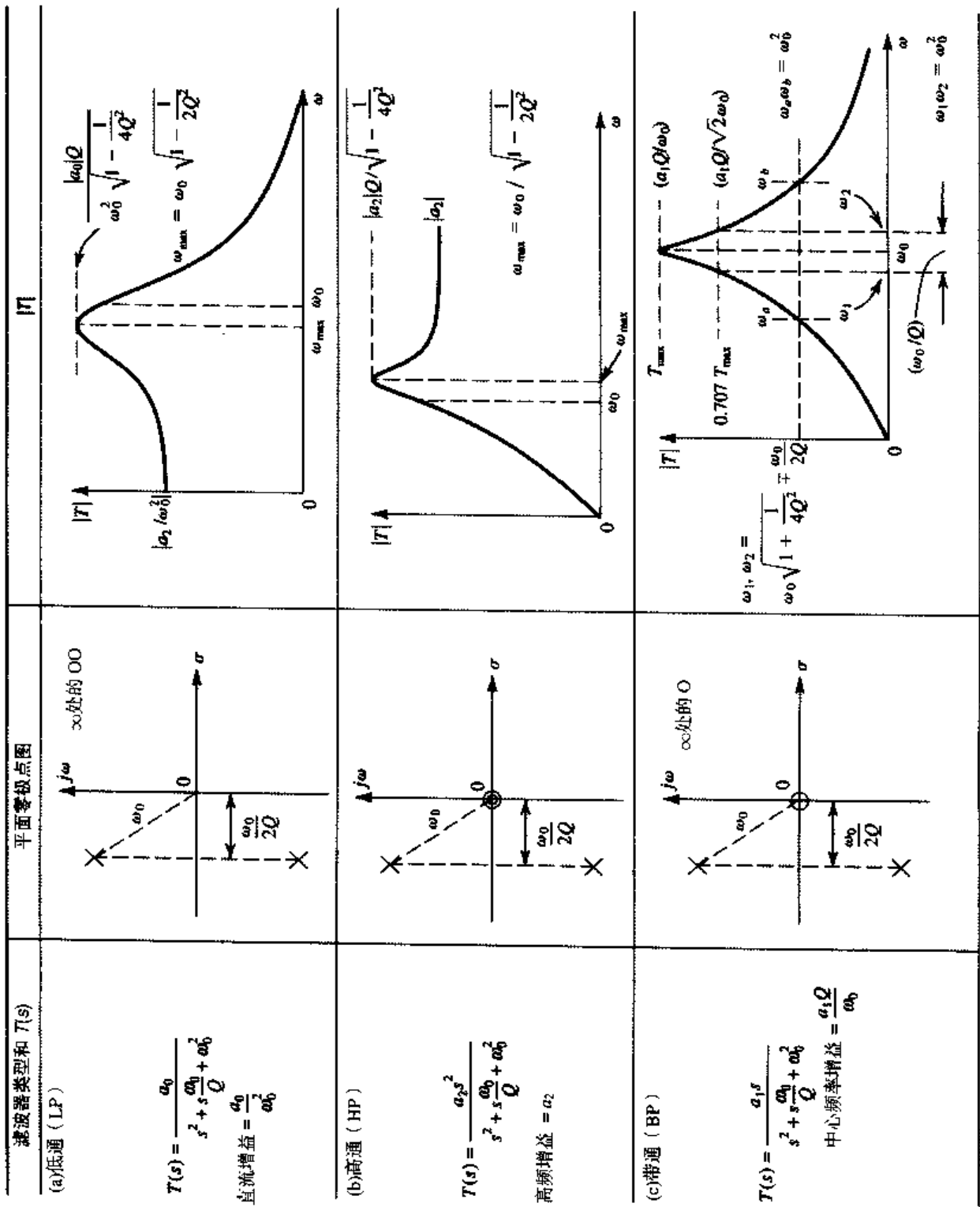


图 12.16 二阶滤波器函数