

其中, V_i 是源极与衬底之间的反向电压等于 V_{OH} 时的开启电压。利用式(10.47)可得

$$\begin{aligned} V_i &= V_{i0} + \gamma(\sqrt{V_{OH} + 2\phi_f} - \sqrt{2\phi_f}) \\ &= V_{i0} + \gamma(\sqrt{V_{DD} - V_i + 2\phi_f} - \sqrt{2\phi_f}) \end{aligned}$$

将 $V_{i0}=1$, $\gamma=0.5$, $V_{DD}=5$ 和 $2\phi_f=0.6$ 代入, 可得到关于 V_i 的二次方程。方程的解为

$$V_i = 1.6 \text{ V}$$

故

$$V_{OH} = 3.4 \text{ V}$$

可以看到, 信号幅度有了很大衰减。

(b) 负载反相器的输入信号为 3.4 V, 因此, 流过 Q_P 的电流为

$$i_{DP} = \frac{1}{2} \times 20 \times \frac{10}{2} (5 - 3.4 - 1)^2 = 18 \mu\text{A}$$

故反相器的静态功耗为

$$P_D = V_{DD} i_{DP} = 5 \times 18 = 90 \mu\text{W}$$

我们注意到 Q_N 工作在变阻区, 由此可以求出反相器的输出电压。令流过 Q_N 和 Q_P 的电流(即 $18 \mu\text{A}$)相等, 可以求出输出电压为 0.08 V。

(c) 要计算 t_{PLH} , 需要求出 $t=0$ 时(此时 $v_O=0$, $V_i=V_{i0}=1 \text{ V}$)和 $t=t_{PLH}$ 时(此时 $v_O=2.5 \text{ V}$, V_i 待求)的 i_D :

$$\begin{aligned} i_D(0) &= \frac{1}{2} \times 50 \times \frac{4}{2} \times (5 - 1)^2 = 800 \mu\text{A} \\ V_i(v_O = 2.5 \text{ V 时}) &= 1 + 0.5(\sqrt{2.5 + 0.6} - \sqrt{0.6}) = 1.49 \text{ V} \\ i_D(t_{PLH}) &= \frac{1}{2} \times 50 \times \frac{4}{2} (5 - 2.5 - 1.49)^2 = 50 \mu\text{A} \end{aligned}$$

现在可以求得平均放电电流为

$$i_D|_{\text{平均}} = \frac{800 + 50}{2} = 425 \mu\text{A}$$

可求得 t_{PLH} 为

$$\begin{aligned} t_{PLH} &= \frac{C(V_{DD}/2)}{i_D|_{\text{平均}}} \\ &= \frac{50 \times 10^{-15} \times 2.5}{425 \times 10^{-6}} = 0.29 \text{ ns} \end{aligned}$$

(d) 参见图 10.27 所示的电路。可以看到, V_i 保持为 $V_{i0}=1 \text{ V}$ 。 $t=0$ 时的漏极电流为

$$i_D(0) = \frac{1}{2} \times 50 \times \frac{4}{2} (5 - 1)^2 = 800 \mu\text{A}$$

在 $t=t_{PHL}$ 时, Q 工作在变阻区, 故

$$\begin{aligned} i_D(t_{PHL}) &= 50 \times \frac{4}{2} \left[(5 - 1) \times 2.5 - \frac{1}{2} \times 2.5^2 \right] \\ &= 690 \mu\text{A} \end{aligned}$$

因此, 平均放电电流为

$$i_D|_{avg} = \frac{1}{2}(800 + 690) = 740 \mu\text{A}$$

可求得 t_{PM} 为

$$t_{PM} = \frac{50 \times 10^{-15} \times 2.5}{740 \times 10^{-6}} = 0.17 \text{ ns}$$

$$(e) t_P = \frac{1}{2}(t_{PM} + t_{PM}) = \frac{1}{2}(0.29 + 0.17) = 0.23 \text{ ns} \quad \blacksquare$$

例题 10.4 清楚地说明了信号电平损失的问题以及对后级 CMOS 反相器产生的信号删除作用。一些经过巧妙设计的方法可以将输出电平恢复到 V_{DD} 。我们简要讨论其中的两种方法: 一种方法基于电路, 另一种方法基于制造工艺。

基于电路的方法如图 10.28 所示, 其中 Q_1 是受输入 B 控制的一个传输晶体管。PTL 网络的输出节点连接到一个由 Q_N 和 Q_P 组成的互补反相器的输入端。电路中还加入了一个 PMOS 晶体管 Q_R , 其栅极受反相器输出电压 v_{O2} 的控制。可以看到, 当 PTL 门的输出 v_{O1} 为低电平(地电平)时, v_{O2} 为高电平(V_{DD}), Q_R 将截止。反过来, 当 v_{O1} 为高电平但不等于 V_{DD} 时, 反相器的输出将为低电平(显然应当如此), Q_R 将导通, 并提供一个电流将 C 充电至 V_{DD} 。这一过程在 $v_{O1} = V_{DD}$ 时停止, 即当输出电压恢复到应有电平后停止。 Q_R 提供的“电平恢复”功能经常用在 MOS 数字电路设计中。需要注意的是, 尽管对这一过程的描述比较简单, 但是 Q_R 的接入与 CMOS 反相器形成了“正反馈”, 因而工作情况比看上去要复杂得多, 尤其是瞬态工作情况。对 Q_R 的 W/L 比的选择也是一个复杂的过程, 尽管通常选择比 k_n 小得多的 k_r (比如 $1/3$ 或 $1/5$)。直观上看这是合适的, 因为这样的话 Q_R 在电路工作中不会起主要作用, 它只是将 V_{O1} 恢复到 V_{DD} [见 Rabacay (1996)]。晶体管 Q_R 称为“弱 PMOS 晶体管”。

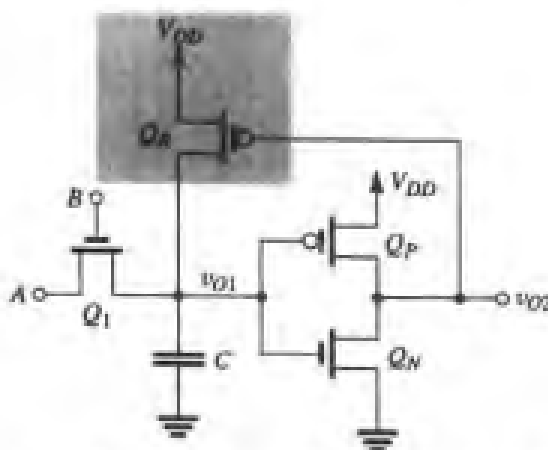


图 10.28 在 CMOS 反相器两端并接晶体管 Q_R 形成反馈环路, 将 Q_1 输出的 V_{O1} 电平恢复到 V_{DD}

另一种对输出高电平信号(V_{O1})损失进行纠正的方法基于制造工艺。具体而言, 由于 V_{O1} 的损失值等于 V_{tn} , 我们可以为 NMOS 开关选择较低的 V_{tn} 以减少损失, 也可以使用 $V_{tn} = 0$ 的器件以彻底消除损失。制造这类零开启电压的器件时利用了离子植入工艺来控制 V_{tn} 的值。这类器件被称为自然器件。

10.5.3 作为开关的 CMOS 传输门

用 CMOS 传输门实现开关可以显著改善电路的静态和动态性能。传输门使用一对并联的互补

晶体管, 它表现出良好的开关特性, 可以提供双向电流, 同时它还表现为一个在输入电压很宽的范围内基本保持不变的电阻。这些特点使得传输门不仅在数字应用中是一个良好的数字开关, 而且在数据转换器 (见第 9 章) 和开关电容滤波器 (见第 12 章) 等应用中也可作为一个良好的模拟开关使用。

图 10.29 (a) 所示的是处于“开”状态的传输门开关, 输入 v_i 在 $t=0$ 时升高为 V_{DD} 。与前面一样, 假设输出电压的初始值为零, 则 Q_N 工作在饱和区, 提供的充电电流为

$$i_{DN} = \frac{1}{2} k_n (V_{DD} - v_o - V_m)^2 \quad (10.49)$$

其中, 与单个 NMOS 开关的情况类似, V_m 取决于衬底效应:

$$V_m = V_{t0} + \gamma (\sqrt{v_o + 2\phi_f} - \sqrt{2\phi_f}) \quad (10.50)$$

Q_N 导通的电流将逐渐变小, 直到 $v_o = V_{DD} - V_m$ 时减少为零。但是需要注意, 由于 $V_{SG} = V_{DD}$, 因此 Q_P 开始时处于饱和区:

$$i_{DP} = \frac{1}{2} k_p (V_{DD} - |V_{tp}|)^2 \quad (10.51)$$

其中, 由于 Q_P 的衬底与 V_{DD} 相连, $|V_{tp}|$ 保持 V_{t0} 不变, 并假定这个值与 n 沟道器件相等。对电容充电的总电流为 i_{DN} 与 i_{DP} 之和。当 $v_o = |V_{tp}|$ 时, Q_P 进入变阻区, 但是一直处于导通状态, 直到 C 充电结束, $v_o = V_{OH} = V_{DD}$ 。因此, p 沟道器件为门提供了一个“强高电平”。 t_{PLH} 可以通过常用的方法得到, 我们能够预计由于 PMOS 器件提供了额外的电流, 因此对于相同的 C , t_{PLH} 比单个 NMOS 开关要小。但是需要注意, 增加的 PMOS 晶体管使得 C 的值也变大了。

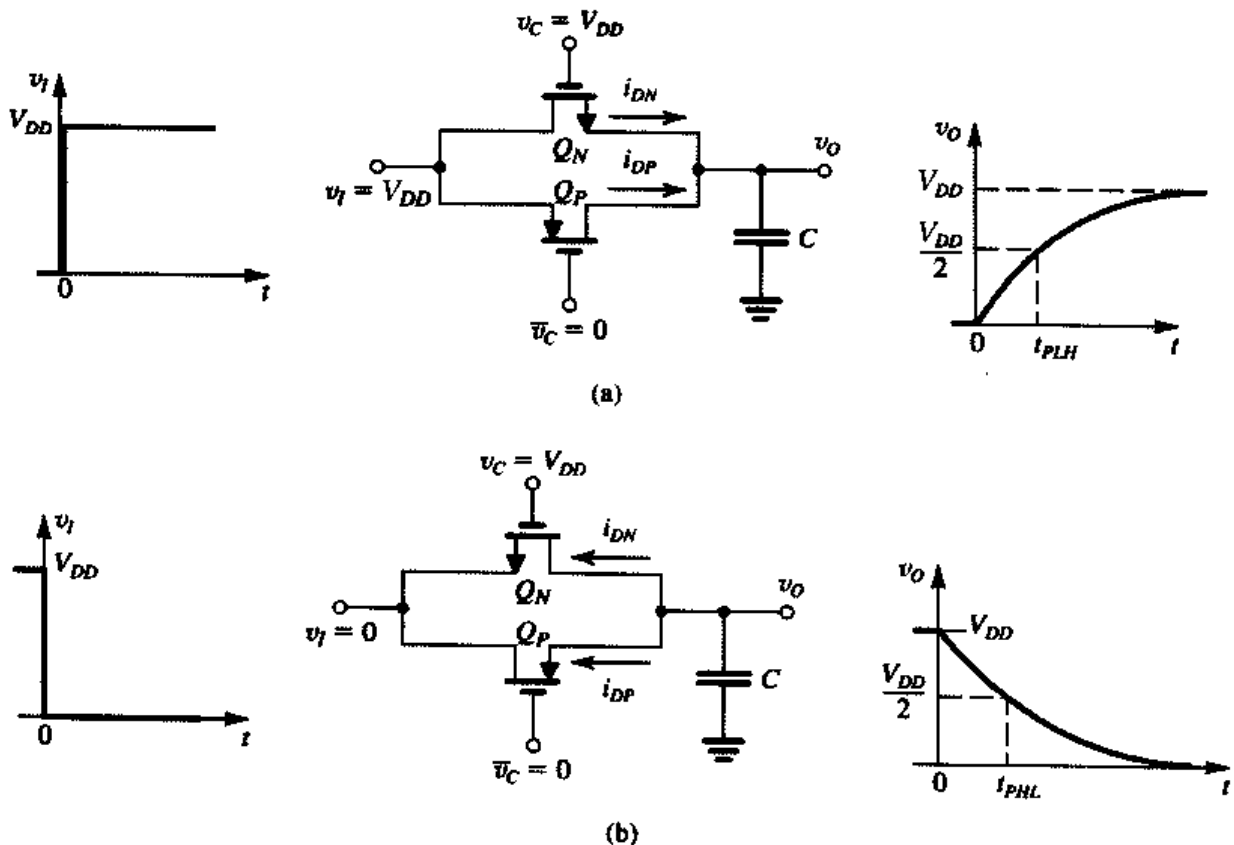


图 10.29 传输门用做 PTL 电路中开关时的工作情况: (a) v_i 为高电平; (b) v_i 为低电平

当 v_i 下降时, Q_N 与 Q_P 产生作用交换, 如图 10.29 (b) 所示。对图 10.29 (b) 进行分析可以看出, 当 v_O 下降到 $|V_{tp}|$ 后, Q_P 将停止导通。其中 $|V_{tp}|$ 为

$$|V_{tp}| = V_{t0} + \gamma[\sqrt{V_{DD} - v_O + 2\phi_f} - \sqrt{2\phi_f}] \quad (10.52)$$

但是 Q_N 会一直导通, 直到 C 放电结束, $v_O = V_{OL} = 0V$, 得到的是“强零电平”。

与单个 NMOS 开关相比, 传输门的静态和动态性能都要好得多, 然而付出的代价是电路复杂度、面积和电容的增加。

练习 10.8 图 10.29(a) 和图 10.29(b) 所示的传输门由 CMOS 工艺制造, 相关参数为 $k'_n = 50 \mu A/V^2$, $k'_p = 20 \mu A/V^2$, $V_m = |V_{tp}|$, $V_{t0} = 1V$, $\gamma = 0.5 V^{1/2}$, $2\phi_f = 0.6V$, $V_{DD} = 5V$ 。设晶体管 Q_N 和 Q_P 的尺寸是这种工艺下最小的, 即 $(W/L)_n = (W/L)_p = 4 \mu m/2 \mu m$ 。输出节点处的总电容为 $70 fF$ 。尽可能利用例题 10.4 的结果。

(a) 对于图 10.29 (a) 中的情况, 求 $i_{DN}(0)$, $i_{DP}(0)$, $i_{DN}(t_{PLH})$, $i_{DP}(t_{PLH})$ 和 t_{PLH} 。

(b) 对于图 10.29 (b) 中的情况, 求 $i_{DN}(0)$, $i_{DP}(0)$, $i_{DN}(t_{PHL})$, $i_{DP}(t_{PHL})$ 和 t_{PHL} 。当 v_O 多大时 Q_P 会关闭?

(c) 求 t_{p0} 。

答案: (a) $800 \mu A$, $320 \mu A$, $50 \mu A$, $275 \mu A$, $0.24 ns$; (b) $800 \mu A$, $320 \mu A$, $688 \mu A$, $20 \mu A$, $0.19 ns$, $1.6 V$; (c) $0.22 ns$

10.5.4 传输晶体管逻辑电路举例

在本节的最后, 我们给出一些 PTL 逻辑电路的例子。图 10.30 所示的是一个用 PTL 实现的二选一多路开关: 根据 C 的不同逻辑值, 输出 Y 将与 A 或 B 相连。这个电路实现的布尔函数是

$$Y = CA + \bar{C}B$$

第二个例子是一个高效实现异或 (XOR) 逻辑功能的电路。如图 10.31 所示, 该电路使用了 4 个晶体管做传输门, 另外 4 个晶体管用于生成两个反相器需要的反变量 \bar{A} 和 \bar{B} , 因此总共使用了 8 个晶体管。而互补 CMOS 实现方案中需要使用 12 个晶体管。

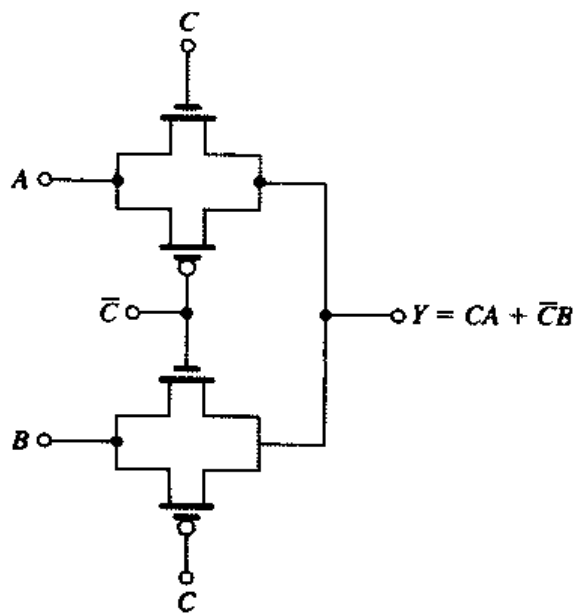


图 10.30 一个用传输晶体管逻辑实现的二选一多路开关

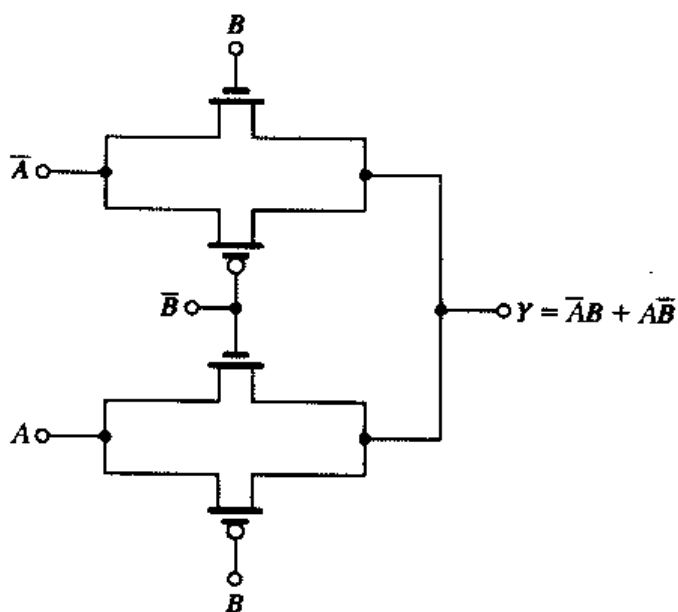


图 10.31 利用传输晶体管逻辑实现的 XOR 逻辑功能

最后一个 PTL 的例子是图 10.32 所示的电路, 其中使用了开启电压较低或为零的 NMOS 开关。输入端使用了输入原变量及其反变量, 而电路的输出也同时包含布尔函数值及其互补值。因而这种形式的电路被称为互补传输晶体管逻辑 (CPL)。这种电路由两个相同的传输晶体管网络组成, 且对应的晶体管门由相同的信号 (B 和 \bar{B}) 控制。而 PTL 的输入是互补的: A 和 B 输入第一个网络, \bar{A} 和 \bar{B} 输入第二个网络。图中所示的电路实现了与和与非逻辑功能。

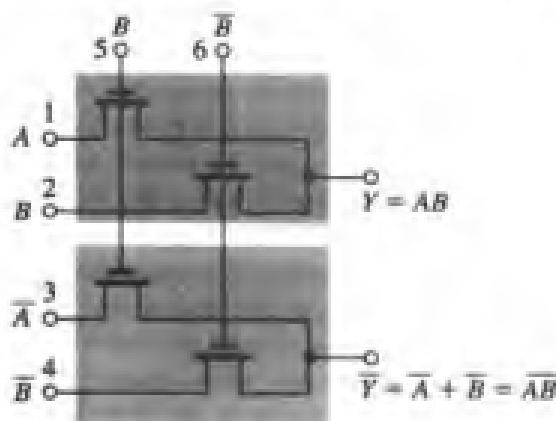


图 10.32 一个同时使用输入原变量及其反变量的传输晶体管逻辑门。这种类型的电路因此被称为互补传输晶体管逻辑或 CPL。电路的输出同时提供输出函数及其互补值

练习 10.9 考虑图 10.32 所示的电路, 输入信号发生如下一些变动。求出每种情况下的 Y 和 \bar{Y} 。
 (a) 5 端和 6 端的信号交换 (\bar{B} 连到 5 端, B 连到 6 端)。其余不变。
 (b) 5 端和 6 端的信号交换同 (a), 2 端和 4 端的信号分别改为 \bar{A} 和 A 。其余不变。

答案: (a) $Y = A + B$, $\bar{Y} = \overline{AB} = \bar{A} + \bar{B}$ (即或-或非); (b) $Y = A\bar{B} + \bar{A}B$, $\bar{Y} = \overline{A\bar{B} + \bar{A}B}$ (即异或-同或)。

10.5.5 最后的说明

尽管使用零开启电压值的器件可以解决使用 NMOS 开关时的信号电平损失问题, 然而这种电路很容易受到噪声及其他因素的影响, 比如亚阈值导通状态下的漏电流等。

10.6 动态逻辑电路

之前我们介绍的逻辑电路都属于静态类型。在静态逻辑电路中, 每个节点任何时刻都有一条通向 V_{DD} 或地的低阻通路。同样, 任何时刻每个节点的电压都是确定的, 不存在浮动的节点。静态电路不需要时钟 (即周期性定时信号) 就可以工作, 尽管可能出于其他原因采用了时钟。与此相反, 我们将要讨论的动态逻辑电路的工作却需要依靠特定电路节点处寄生电容上存储的信号电压。由于电荷会随着时间的增长而发生泄漏, 这类电路需要进行周期性的刷新, 因此需要一个满足某种最低频率要求的时钟。

在介绍动态逻辑电路技术之前, 我们先对已讲过的各种逻辑电路类型做一个总结。互补 CMOS 电路所有方面的性能几乎都很优异: 它易于设计, 逻辑摆幅最大, 抗噪声能力强, 无静态功耗, 通过适当设计可以提供相等的低电平到高电平与高电平到低电平的传播延迟。但它最大的缺点是增加一个门的输入时需要增加两个晶体管, 因此对于高扇入门而言会增大芯片面积和总电容, 从而增加传播延迟和动态功耗。伪 NMOS 电路减少了需要的晶体管个数, 但却以牺牲静态功耗为代价。传输晶体管逻辑能够得到简单而且面积小的电路, 但是通常只用于某些特殊应用中。

特别当开关是单个 NMOS 管时, 需要使用互补反相器恢复信号电平。本节将要介绍的动态逻辑电路技术与伪 NMOS 电路一样使用较少的器件个数, 同时将静态功耗减少为零。稍后将会讲到, 这是以增加电路的复杂性和牺牲抗干扰性能为代价的。

10.6.1 基本原理

图 10.33 (a) 所示的是基本动态逻辑门。电路中包含一个实现逻辑功能的下拉网络 (PDN), 它与互补 CMOS 门或伪 NMOS 门的 PDN 完全相同。但是, 电路中还有两个串联的开关, 它们受时钟信号 ϕ 的控制周期性地工作, 时钟信号 ϕ 的波形如图 10.33 (b) 所示。当 ϕ 为低电平时, Q_p 开启, 此时电路处于建立或预充电阶段。当 ϕ 为高电平时, Q_p 关闭, Q_n 开启, 电路进入赋值阶段。还要注意的, C_L 表示输出节点与地之间的总电容。

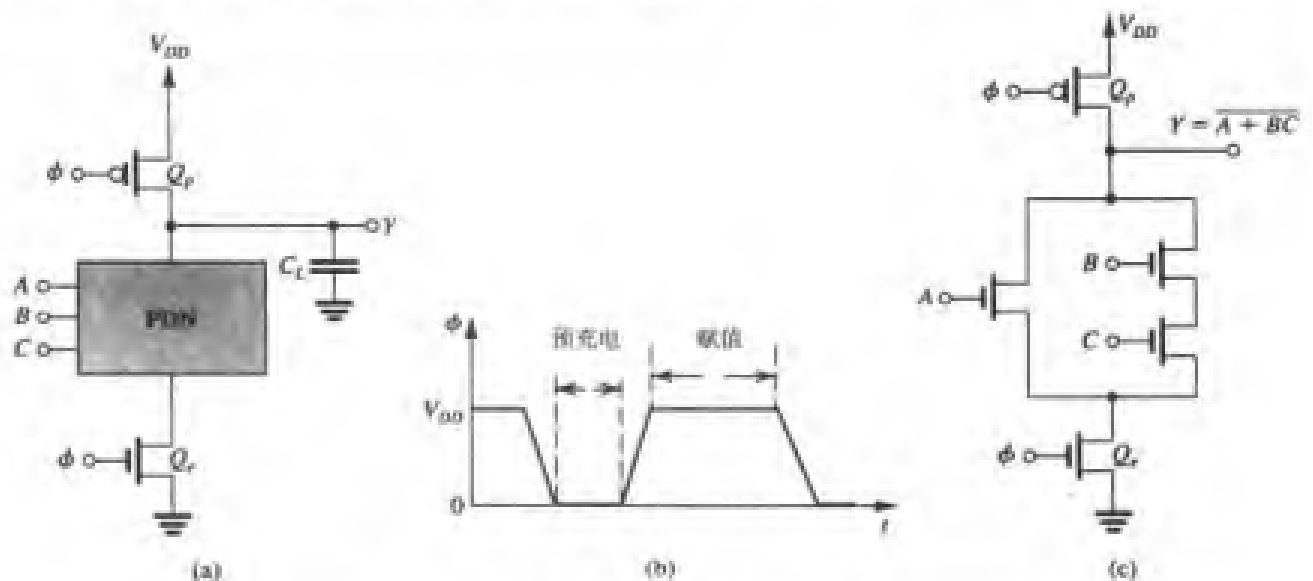


图 10.33 (a) 动态 MOS 逻辑电路的基本结构; (b) 动态逻辑电路工作时需要的时钟的波形; (c) 一个实际电路的例子

在预充电阶段, Q_p 导通, 对 C_L 充电, 因此在预充电结束时, Y 点的电压等于 V_{DD} 。同样, 在预充电时, 允许输入 A , B 和 C 改变为合适的值。注意, 由于 Q_n 关闭, 因此不存在通往地的通路。

在赋值阶段, Q_p 关闭, Q_n 开启。此时如果输入组合对应于高输出电平, 则 PDN 不导通 (与互补 CMOS 门中的情况一样), 输出保持在高电平 V_{DD} , 因此 $V_{OH} = V_{DD}$ 。这里没有低电平到高电平的传播延迟, 因此 $t_{PLH} = 0$ 。反之, 如果输入组合对应的输出为低电平, PDN 中某些 NMOS 晶体管就会导通, 通过晶体管 Q_n 在输出节点和地之间形成一条通路。从而 C_L 通过 PDN 放电, 输出节点电压会下降到 $V_{OL} = 0$ V。高电平到低电平的传播延迟 t_{PHL} 可以利用与互补 CMOS 电路采用的相同方法求得, 但要注意一个例外, 本电路对地的通路中包括一个串联的晶体管 Q_n 。尽管延迟会稍有增加, 但由于不存在 PUN, 因此输出节点处的电容减少了, 从而弥补了延迟的增加。

作为例子, 图 10.33 (c) 给出了实现函数 $Y = \overline{A + BC}$ 的电路。PDN 中确定晶体管尺寸的过程通常遵循静态 CMOS 设计时采用的原则。对于 Q_p , 应选择足够大的 W/L 比, 以保证在预充电阶段 C_L 能够完全充电。但是 Q_n 的尺寸应较小, 因为不能使电容 C_L 增加太多。本电路属于无比 (ratioless) MOS 逻辑, 输出电平与晶体管的 W/L 的比值无关。

考虑一个用动态逻辑形式实现的四输入与非门, 该与非门由 CMOS 工艺制造, 参数为 $\mu_n C_{ox} = 50 \mu A/V^2$, $\mu_p C_{ox} = 20 \mu A/V^2$, $V_{tn} = |V_{tp}| = 1$ V, $V_{DD} = 5$ V。为了使得 C_L 较小, NMOS 晶体管的尺

寸应取这种工艺下的最小值,即 $W/L=4\ \mu\text{m}/2\ \mu\text{m}$ (包括 Q_c)。PMOS 预充电晶体管 Q_p 的 $W/L=6\ \mu\text{m}/2\ \mu\text{m}$ 。总的电容 C_L 为 30 fF。

练习 10.10 考虑 Q_p 栅极降为 0 V 时的预充电过程。假设在 $t=0$ 时 C_L 已被完全放电。我们希望求出输出电压的上升时间,该时间定义为 v_Y 从最终值 5 V 的 10% 上升到 90% 时所需的时间。求出 $v_Y=0.5\ \text{V}$ 和 $v_Y=4.5\ \text{V}$ 时的电流,并计算 t_r 的近似值,其中 $t_r=C_L(4.5-0.5)/I_{av}$, I_{av} 是两个电流值的平均值。

答案: 480 μA ; 112 μA ; 0.4 ns

练习 10.11 接下来考虑高电平到低电平的传播延迟 t_{PHL} 的计算。求串联的 5 个 NMOS 晶体管的等效 W/L 值。求出 $v_Y=5\ \text{V}$ 和 $v_Y=2.5\ \text{V}$ 时的放电电流。最后,利用这两个电流值的平均值估算 t_{PHL} 。

答案: $(W/L)_{eq}=0.4$; 160 μA ; 138 μA ; 0.5 ns

10.6.2 非理想效应

下面我们对动态逻辑电路的几种非理想效应做一个简要的讨论。

噪声容限 因为在赋值阶段,当 $v_I=V_m$ 时, NMOS 晶体管开始导通:

$$V_{IL} \approx V_{IH} = V_m$$

因此噪声容限为

$$\begin{aligned} NM_L &= V_m \\ NM_H &= V_{DD} - V_m \end{aligned}$$

可见噪声容限并不相等, NM_L 要小得多。尽管 NM_H 较高,但我们很快会讲到,其他一些非理想因素会减小它的值。这里要注意的是,由于输出节点是一个高阻节点,因此容易受到噪声和其他干扰的影响。

由于泄漏效应造成的输出电压衰减 如果没有经过 PDN 通向地的通路,那么输出电压将理想地保持在高电平 V_{DD} 。然而这是基于 C_L 上电荷不变做出的假设。实际上,存在着使得 C_L 缓慢放电、 v_Y 下降的漏电流。泄漏的主要原因是晶体管的漏极与输出端相连,其与衬底之间的反偏结存在反向电流。该电流介于 $10^{-12}\ \text{A}$ 到 $10^{-15}\ \text{A}$ 之间,且随着温度的升高迅速上升(温度每升高 10°C , 电流大约增大 1 倍)。因此,如果时钟工作在一个较低的频率,输出节点没有得到周期性的“刷新”,则电路不会正常工作。我们将在第 11 章介绍动态存储器单元时得到相同的结论。

电荷共率 这是导致 C_L 上电荷损失、 v_Y 明显低于 V_{DD} 的另一个原因,通常也是更主要的原因。为了说明这一点,参见图 10.34 (a)。图中画出了 PDN 最上方的两个晶体管 Q_1 和 Q_2 , 以及预充电晶体管 Q_p 。这里, C_1 是 Q_1 和 Q_2 公共节点与地之间的电容。赋值阶段开始时,在 Q_p 关闭和 C_L 充电至 V_{DD} 之后[见图 10.34 (a)],我们假定 C_1 初始时不带电荷,输入信号使得 Q_1 的栅极为高电平,而 Q_2 的栅极为低电平。容易看出 Q_1 将开启,其漏极电流 i_{D1} 会按图中所示进行流动并对 C_L 放电,对 C_1 充电。尽管最终 i_{D1} 会下降为零, C_L 也会有一些电荷的损失,这些电荷会传递给 C_1 。这种现象称为电荷共享。

这里,我们不准备继续讨论电荷共享问题。需要指出的是,人们通常会采用一些技术减小它的影响。一种方法是增加一个 p 沟道器件,使得始终有一个较小的电流来补充 C_L 上损失的电荷,如图 10.34 (b) 所示。这种电路结构使我们想起了伪 NMOS 电路。事实上,增加这个晶体管将使门电路损耗一些静态功率。然而有利的是:增加的晶体管将降低输出节点的阻抗,使门电路不易受噪声的影响,而且解决了泄漏和电荷共享问题。另一种解决电荷共享问题的方法是对内部节点进行预充电,也就是对电容 C_1 进行预充电。这种方法付出的代价是增加了电路的复杂度和节点电容值。

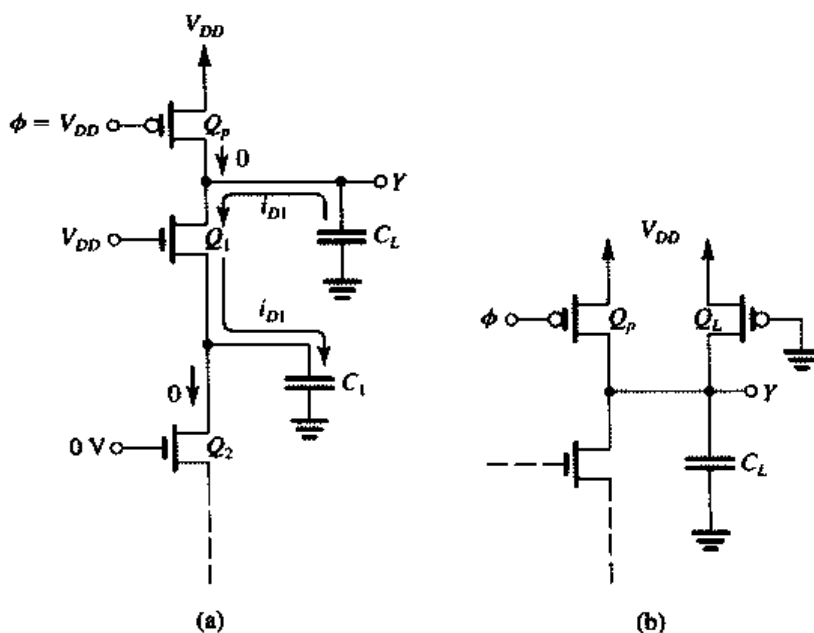


图 10.34 (a) 电荷共享; (b) 增加一个始终导通的晶体管 Q_L 来解决电荷共享问题, 付出的代价是增加静态功耗

级联动态逻辑门 级联动态逻辑门会产生一个严重的问题。考虑图 10.35 所示的情况, 图中两个单输入动态门级联连接。在预充电阶段, C_{L1} 和 C_{L2} 会分别通过 Q_{p1} 和 Q_{p2} 进行充电。因此在预充电阶段的最后, $v_{Y1} = V_{DD}$, $v_{Y2} = V_{DD}$ 。现在来看当输入 A 为高电平时赋值阶段的工作情况。显然, 正确的结果应是 Y_1 为低电平 ($v_{Y1} = 0\text{V}$), Y_2 为高电平 ($v_{Y2} = V_{DD}$)。但是, 实际情况有所不同。当赋值阶段开始时, Q_1 开启, C_{L1} 开始放电。但是, 与此同时, Q_2 开启, C_{L2} 同样开始放电。直到 v_{Y1} 比 V_m 小时 Q_2 才会关闭。遗憾的是, 届时 C_{L2} 已经损失了相当多的电荷, v_{Y2} 会小于期望值 V_{DD} 。(这里特别需要注意的是, 在动态逻辑电路中, 电荷一旦损失就永远也得不到复原。) 这个问题相当严重, 以至于简单的级联实际上是不可行的。然而与以往一样, 聪明的设计人员提出了很多方法来解决这一问题, 从而使得动态逻辑电路的级联成为可能。在练习 10.12 之后, 我们会讨论其中的一种方法。

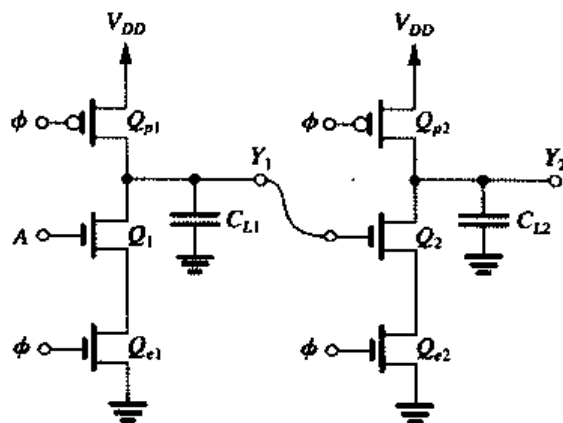


图 10.35 两个单输入动态门级联。当输入 A 为高电平时, 在赋值阶段, C_{L2} 会部分放电, 输出 Y_2 会降到 V_{DD} 以下, 使得逻辑功能异常

练习 10.12 为了进一步分析前面提到的级联问题, 我们来求图 10.35 所示电路输出电压 v_{Y2} 的衰减量。考虑赋值阶段开始时的电路: $t = 0$ 时, $v_{Y1} = v_{Y2} = V_{DD}$, $v_\phi = v_A = V_{DD}$ 。晶体管 Q_{p1} 和 Q_{p2} 关闭, 可以从等效电路中除去。另外, 为了进行近似分析, 可以将 Q_1 和 Q_{e1} 的串联组合用一个等效 W/L 值的器件代替, Q_2 和 Q_{e2} 的组合也是如此, 从而得到图 E10.12 所示的近似等效电路。

我们感兴趣的是, v_{Y1} 从 V_{DD} 开始下降到 V_t 时 (此时 Q_{eq2} 关闭且 C_{L2} 放电结束) 的时间段 Δt 内电路的工作情况。假设制造工艺参数的值同例题 10.4。对于图 10.35 所示电路中的所有 NMOS 晶体管, $W/L = 4 \mu\text{m}/2 \mu\text{m}$, $C_{L1} = C_{L2} = 40 \text{ fF}$ 。

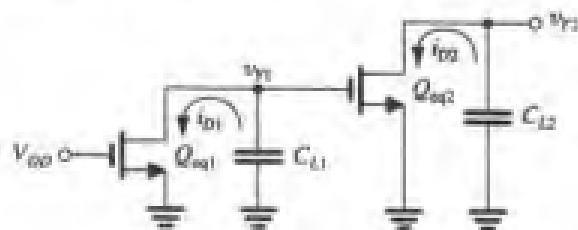


图 E10.12

- 求 $(W/L)_{eq1}$ 和 $(W/L)_{eq2}$ 。
- 求 $v_{Y1} = V_{DD}$ 和 $v_{Y1} = V_t$ 时 i_{D1} 的值, 并由此确定 i_{D1} 的平均值。
- 利用 (b) 中求出的 i_{D1} 的平均值估算 Δt 。
- 求 Δt 内 i_{D2} 的平均值。为了简化起见, 将栅极电压 v_{Y1} 取为变化过程的中间值 (即 $v_{Y1} = 3 \text{ V}$) 时 i_{D2} 的值作为平均值。(提示: Q_{eq2} 始终处于饱和区。)
- 利用 (c) 中求得的 Δt 和 (d) 中求得的 i_{D2} 的平均值, 估算 Δt 内 v_{Y2} 的衰减量, 进而求出 v_{Y2} 的终值。

答案: (a) 1, 1; (b) $400 \mu\text{A}$ 和 $175 \mu\text{A}$, 平均值为 $288 \mu\text{A}$; (c) 0.56 ns ; (d) $100 \mu\text{A}$; (e) $\Delta v_{Y2} = 1.4 \text{ V}$, 故 v_{Y2} 降低为 3.6 V 。

10.6.3 多米诺 CMOS 逻辑

多米诺 CMOS 逻辑是一种能够级联的动态逻辑电路。图 10.36 给出了多米诺 CMOS 逻辑门的结构。我们注意到, 它就是一个图 10.33 (a) 所示的基本动态逻辑门, 只是在输出端连接了一个静态 CMOS 反相器。这个门的工作情况比较简单。当预充电时, X 升高到 V_{DD} , 门的输出 Y 为 0 V 。在赋值阶段, 根据输入变量的相互组合, X 可能保持高电平, 输出 Y 因此保持低电平 ($i_{PM} = 0$), 或者 X 降为 0 V , 输出 Y 升高为 V_{DD} (i_{PM} 为有限值)。因此, 在赋值阶段, 输出要么保持低电平, 要么经过一次由低变高的转换。

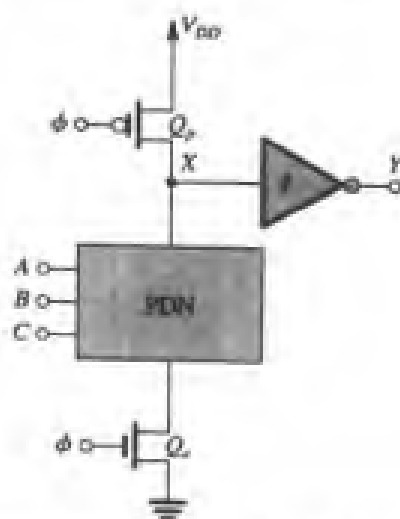


图 10.36 多米诺 CMOS 逻辑门。电路由一个动态 MOS 逻辑门和与其输出端相连的一个静态 CMOS 反相器组成。在赋值阶段, Y 可能保持低电平 (0 V), 也可能完成一次从 0 到 1 的转换 (最终变为 V_{DD})

为了说明多米诺 CMOS 门能够级联的原因，参见图 10.37 (a) 所示的情况。图中画出了相互级联的两个多米诺门。为简单起见，我们只画出了单输入门。在预充电结束时， X_1 处的电压为 V_{DD} ， Y_1 为 0 V， X_2 为 V_{DD} ， Y_2 为 0 V。与前面一样，假设赋值阶段开始时 A 为高电平因此随着 ϕ 的升高，电容 C_{L1} 开始放电，将 X_1 拉低。同时， Q_2 栅极的低输入电压使得 Q_2 保持关闭， C_{L2} 也保持完全充电状态。当 v_{X1} 下降到低于反相器 I_1 的门限电压时， Y_1 会升高，将 Q_2 开启，从而开始对 C_{L2} 放电，将 X_2 拉低。最后， Y_2 升高到 V_{DD} 。

由以上叙述可以看出，由于在赋值阶段开始时多米诺门的输出为低电平，因此级联的下一级门不会过早出现电容放电现象。如图 10.37 (b) 所示，输出 Y_1 在时钟上升沿后的 t_{PRE} 内会经历从 0 到 1 的转换。随后，输出 Y_2 在另一个 t_{PRE} 内也会经历从 0 到 1 的转换。这种由于门的级联产生的上升沿的传播现象与多米诺骨牌一个接一个倒下的情形类似，这也就是多米诺 CMOS 逻辑电路这个名称的由来。例如，多米诺 CMOS 逻辑在存储器芯片的地址译码器中得到应用。

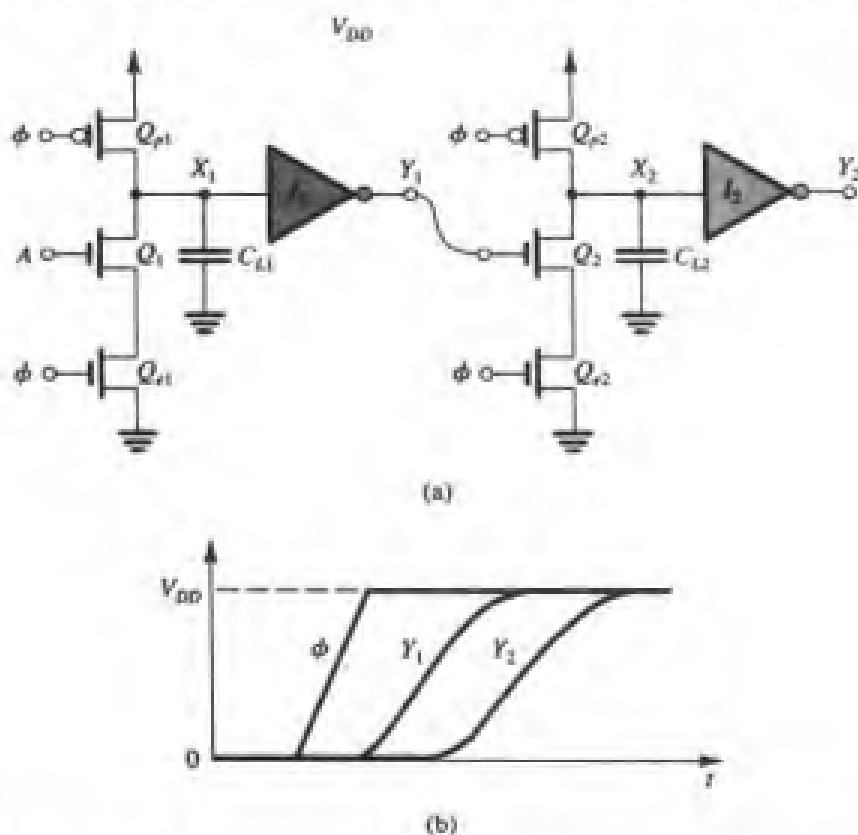


图 10.37 (a) 两个单输入多米诺 CMOS 逻辑级联；(b) 赋值阶段的波形

10.6.4 最后的说明

动态逻辑电路对电路设计人员提出了许多挑战。尽管能够显著减小芯片面积，提供高速操作能力和零（或很小的）静态功耗，然而这些电路却容易受到非理想因素的影响。本节对其中一些因素进行了讨论。需要记住的是，动态功耗在动态逻辑中是一个重要的问题。另一个需要考虑的问题是在预充电时间内电路的输出尚未准备好，这段时间称为“寂静时间”（dead time）。

10.7 SPICE 仿真实例

最后，我们用一个例子来说明 SPICE 在分析 CMOS 数字电路时的作用。为了说明 SPICE 的重要性，我们在本章中进行了很多简化问题的假设，从而使手工运算成为可能，并且使结果简单

到该直线，如图 10.40 所示) 的交点。可以看到， $m_p/m_n = 4$ 的反相器的 $V_{th} = V_{DD}/2$ 。另外，当 m_p/m_n 减小时， V_{th} 也减小 (参见练习 4.44)。图 10.40 还给出了反相器供电电流与 v_{IN} 的关系曲线。可以看到，供电电流曲线峰值的位置随着门限电压的变化而移动。

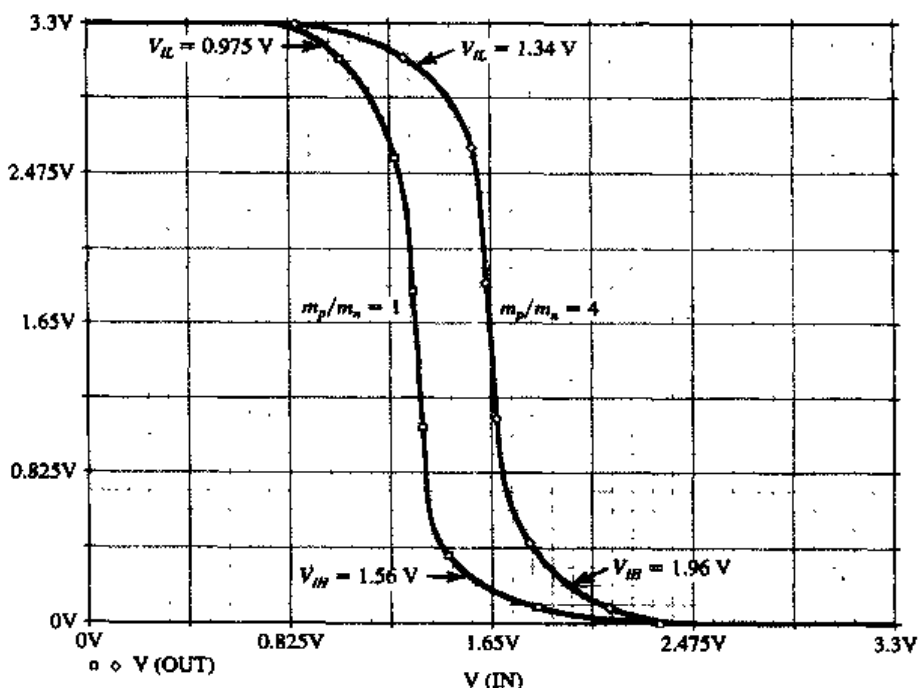


图 10.39 $m_p/m_n = 1$ 和 $m_p/m_n = 4$ 时例题 10.5 中 CMOS 反相器的输入-输出电压传输特性 (VTC)

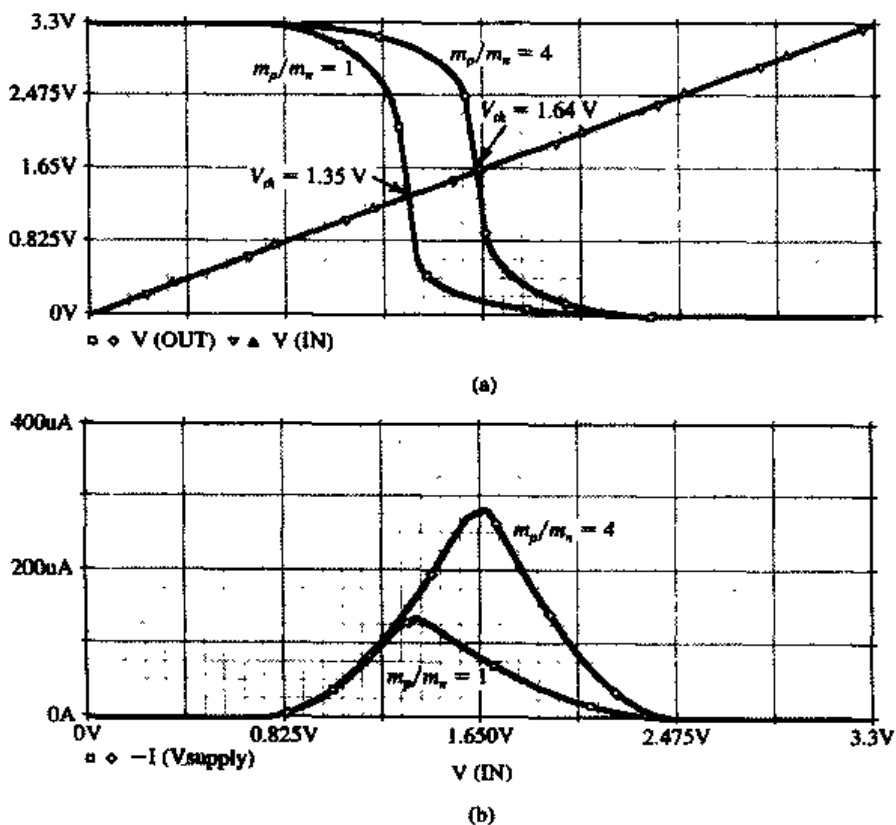


图 10.40 $m_p/m_n = 1$ 和 $m_p/m_n = 4$ 时例题 10.5 中 CMOS 反相器的关系曲线: (a) 输出电压与输入电压的关系曲线; (b) 供电电流与输入电压的关系曲线

为了利用 PSpice 分析反相器的动态特性, 我们在输入端 (见图 10.38) 加上一个脉冲信号以进行瞬态分析, 并绘出输入与输出波形, 如图 10.41 所示。脉冲源的上升和下降时间都选得很短。注意, 当 m_p/m_n 从 1 增加到 4 时, t_{PLH} 减小 (从 1.13 ns 减小为 0.29 ns), 这是因为对 C_L 进行充电的电流增大了。而这时 t_{PHL} 的增幅很小 (从 0.33 ns 增加到 0.34 ns)。在 $m_p/m_n=4$ 的情况下, 两个传播延迟 t_{PLH} 与 t_{PHL} 不等, 因为此时 NMOS 和 PMOS 晶体管仍然不是完全匹配的 (即 $V_{tn} \neq |V_{tp}|$)。

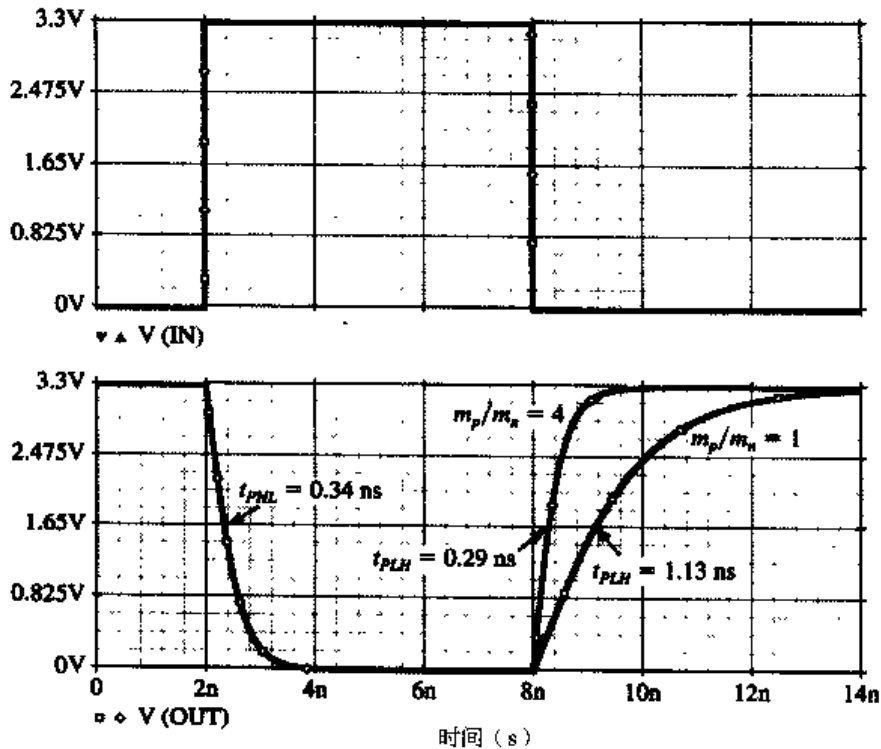


图 10.41 $m_p/m_n = 1$ 和 $m_p/m_n = 4$ 时例题 10.5 中 CMOS 反相器的瞬态响应

小结

- 尽管 CMOS 只是目前采用的四种数字 IC 技术之一 (其他三种是双极型、BiCMOS 和 GaAs), 然而却是最流行的技术。这是因为它的静态功耗为零而且具有出色的静态和动态特性。此外, CMOS 工艺技术的进步使得制造沟道长度小到 $0.06 \mu\text{m}$ 的 MOS 晶体管成为可能。MOS 晶体管的高输入阻抗使得可以在电容上存储电荷, 这种技术是实现存储器的一种方法, 而且被成功地应用于动态逻辑电路和动态存储器中。
- CMOS 反相器通常设计成使用最短沟道长度的 NMOS 晶体管和 PMOS 晶体管。NMOS 晶体管的宽度通常是 L 的 1.5~2 倍, PMOS 晶体管的宽度还要扩大 μ_n/μ_p 倍。这种 (匹配) 条件保证倒相器在 $V_{DD}/2$ 时发生状态切换, 使两个方向的电流驱动能力相等, 进而得到对称的传播延迟。
- 计算逻辑门传播延迟的一个简便方法是: 确定对负载电容 C 进行充电 (或放电) 的平均电流 I_{av} 。这样, t_{PLH} (或 t_{PHL}) 可以通过 $C(V_{DD}/2)/I_{av}$ 确定。
- 互补 CMOS 逻辑门由一个 NMOS 下拉网络 (PDN) 和一个 PMOS 上拉网络 (PUN) 组成。输入组合对应的输出为低电平时 PDN 导通。由于 NMOS 在输入为高电平时导通, 因此 PDN 最直接的组成方式是利用输入原变量来表示低电平输出 (\bar{Y}) 的表达式。与之相反, 当输入组合对应的输出为高电平时, PUN 导通。由于 PMOS 在输入为低电平时导通, 因此 PUN 最

直接的组成方式是利用输入反变量来表示高电平输出 (Y) 的表达式。

- CMOS 逻辑电路通常设计成双向电流驱动能力相等。此外,通常使上拉和下拉电流的最差值与基本(匹配)反相器相等。晶体管的尺寸基于这一原则确定,通常用串联和并联器件的等效 W/L 比来表示 [见式 (10.27) 和式 (10.28)]。
- 对于每个输入变量,互补 CMOS 逻辑电路使用了两个晶体管:一个 NMOS 和一个 PMOS。因此增大了电路的复杂度、芯片面积、寄生电容以及扇入。
- 为了减少器件个数,在某些特殊应用场合下,通常使用另外两种形式的静态 CMOS [即伪 NMOS 和传输晶体管逻辑 (PTL)] 作为互补 CMOS 的补充。
- 伪 NMOS 使用与互补 CMOS 逻辑相同的 PDN,但是将 PUN 替换为栅极接地的单个 PMOS 晶体管。与互补 CMOS 不同,伪 NMOS 是一种有比逻辑电路,其中, V_{OL} 由 k_p 与 k_n 之比 r 决定。通常选择介于 4 到 10 之间的 r ,它的值决定了噪声容限的大小。
- 伪 NMOS 的缺点是当逻辑门的输出为低电平时导致静态功率的消耗。要消除静态功率,可以只在一段很短的时间内令负载管 PMOS 导通,并将输出节点的电压充至 V_{DD} 。这段时间称为预充电时间。然后加上输入,根据输入组合,输出节点或者保持高电平,或者通过 PDN 进行放电。这就是动态逻辑电路的实质。
- 传输晶体管逻辑使用单个 NMOS 晶体管或 CMOS 传输门实现由输入逻辑变量控制的开关网络。由单个 NMOS 晶体管实现的开关尽管简单,但是 V_{OH} 会从 V_{DD} 下降为 $V_{DD} - V_{t0}$ 。
- 多米诺逻辑是一类特殊的动态逻辑电路,允许动态逻辑门之间的级联。

习题

10.1 节: 数字电路设计: 概述

- 10.1 对于采用 3 V 供电的逻辑电路,给出一组 V_{th} , V_{IL} , V_{IH} , V_{OL} , V_{OH} , NM_L 和 NM_H 的理想值,并且画出 VTC。根据给出的理想值,计算转换区域内的电压增益是多少?
- 10.2 一类逻辑电路使用的工艺限制了低频小信号电压增益不能超过 50 V/V。如果采用 3.3 V 供电时,假设 V_{OL} 和 V_{OH} 为理想值, $V_{th} = 0.4 V_{DD}$,那么 V_{IL} 与 V_{IH} 最佳的可能值是多少? 噪声容限最佳的可能值是多少? 如果实际的噪声容限只有这些值的 7/10,那么 V_{IL} 和 V_{IH} 各是多少? 大信号电压增益 [定义为 $(V_{OH} - V_{OL}) / (V_{IH} - V_{IL})$] 又是多少? (提示:采用直线近似表示 VTC。)
- *10.3 考虑一类专用于新型助听设备中数字信号处理的逻辑电路,其单个单元的供电电压可以低至 1.2 V。如果其中反相器的输出信号在 0 和 V_{DD} 之间,“单位增益”点至少相距 $1/3 V_{DD}$,两个噪声容限都不超过对方的 30%,当采用最低电压电池供电时, V_{IL} , V_{IH} , V_{OL} , V_{OH} , NM_L 和 NM_H 的取值范围将为多少?
- 10.4 考虑一类逻辑电路标准反相器,当负载是类似电路时,传播延迟为 1.2 ns:
- (a) 如果负载电容的充电电流是放电电流的一半, t_{PLH} 和 t_{PHL} 将是多少?
 - (b) 如果在反相器输出端再接上 1 pF 的外部负载电容,传播延迟增加了 70%,估计通常情况下反相器输入输出端的总电容是多少?
 - (c) 如果没有接额外的 1 pF 负载电容,同时除去负载反相器,则传播延迟减小了 40%。试估计 (b) 中求得电容中的以下两个分量的值:由反相器输出和其他寄生电容产生的分量;由负载反相器的输入端产生的分量。
- 10.5 一类逻辑电路采用 3.3 V 供电。基本反相器在某状态时需要(从电源)吸收 $40 \mu\text{A}$ 的电流,在另一种状态时需要的电流为 $0 \mu\text{A}$ 。当反相器以 100 MHz 的速率切换时,平均供电电流为

150 μA 。试估算反相器输出端的等效电容。

10.6 一类逻辑门工作在 50 MHz, 采用 5 V 电压供电, 其静态功耗为零, 而根据式 (10.4) 计算得出动态功耗为 10 mW。当这类逻辑门能够工作在 3.3 V 时, 功耗可以降低多少? 如果工作频率也降低相等的比例 (即 3.3/5), 可以额外节省多少功率?

D10.7 一类逻辑电路的静态功耗为零, 通常工作在 $V_{DD} = 5\text{ V}$ 。为了降低其动态功耗 [由式 (10.4) 决定], 考虑使其工作在 3.3 V 下。然而却发现用来对负载电容进行充放电的电流也随之减小。如果电流 (a) 正比于 V_{DD} ; (b) 正比于 V_{DD}^2 , 试预计最高工作频率将分别下降多少? 延迟-功率积分别变化了多少?

D*10.8 重新考虑习题 10.7 中的情况。这里, 电流取决于 $(V_{DD} - V_t)$, 而不直接与 V_{DD} 相关。当把 V_{DD} 从 5 V 降低到 3.3 V 时, 试求电流、传播延迟、工作频率、动态功率和延迟-功率积的改变量。假设电流正比于: (a) $(V_{DD} - V_t)$; (b) $(V_{DD} - V_t)^2$, 且 V_t 等于 (i) 1 V 或 (ii) 0.5 V。

D*10.9 假设在硅数字 CMOS 工艺中将所有尺寸 (包括氧化层厚度) 都减小 10%。我们注意到 MOS 器件的电流满足以下关系:

$$i = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{DD} - V_t)^2$$

其中 $C_{ox} = \epsilon_{ox}/t_{ox}$ 。同时假设决定传播延迟的总有效电容平均地分为正比于面积、反比于氧化层厚度的 MOS 电容和正比于面积的反偏结电容。求以下参数变化的比例: 芯片面积, 电流, 有效电容, 传播延迟, 最高工作频率, 动态功耗, 延迟-功率积以及性能 (用单位面积每秒进行的操作数表示)。如果供电电压也降低 10% (但是 V_t 不变), 又会产生什么变化?

10.10 考虑一个反相器, 其 t_{PLH} , t_{PHL} , t_{TLH} 和 t_{THL} 分别为 20 ns, 10 ns, 30 ns 和 15 ns。反相器输出的上升沿和下降沿可以近似为斜线。两个这样的反相器一前一后相连, 并且由一个上升和下降时间为零的理想输入驱动。对于以下两种情况: (a) 升高的输入信号; (b) 下降的输入信号, 计算输出电压完成 90% 变化时所需要的时间。反相器的传播延迟是多少?

10.11 一个实际逻辑门的 t_{PLH} 和 t_{PHL} 分别为 50 ns 和 70 ns。且当输出为低电平时损耗功率为 1 mW, 高电平时为 0.5 mW。计算相应的延迟-功率积 (假定信号的占空比为 50%, 并忽略动态功耗)。

10.2 节: CMOS 反相器设计与性能分析

10.12 一个 CMOS 反相器采用 3.3 V 的电源供电, 工艺参数为 $|V_t| = 0.8\text{ V}$, $k'_n = 4k'_p = 180\ \mu\text{A}/\text{V}^2$ 。当采用 $W/L = 0.75\ \mu\text{m}/0.5\ \mu\text{m}$ 的最小尺寸晶体管时, 求漏极与源极之间的电阻。当 W_p/W_n 比为多少时, 沟道长度相同的 Q_N 和 Q_P 具有相等的电阻?

10.13 一个 CMOS 反相器采用习题 10.12 中给定的工艺制造, p 沟道器件的宽度是 n 沟道器件的 4 倍。如果电源 V_{DD} 中具有很高频率的噪声, 且等效负载电阻为 1 pF, 则对于这个噪声源来说, 每个门的 3 dB 截止频率是多少?

10.14 一个 CMOS 反相器的 $k_n = 10k_p = 100\ \mu\text{A}/\text{V}^2$, $V_t = 0.5\text{ V}$, 如图 P10.14 所示与一个正弦信号源相连。信号源的戴维南等效电压峰值为 0.1 V, 等效电阻为 100 k Ω 。当 $v_i = 1.5\text{ V}$ 时, 节点 A 的信号电压为多大? $v_i = -1.5\text{ V}$ 时呢?

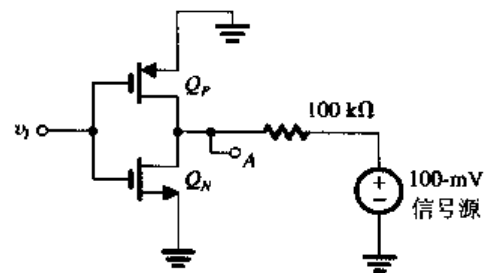


图 P10.14

10.15 对于一个特性由 V_{tn} , V_{tp} , k_n 和 k_p 描述的一般 CMOS 反相器, 试推导式 (10.8) 表示的关于 V_{th} 的关系式。

10.16 利用式 (10.8) 分析 V_{th} 的变化, 设 $r = k_n/k_p$ 。特别是当 $V_{tn} = |V_{tp}| = 0.5\text{ V}$, $V_{DD} = 2.5\text{ V}$ 时,

分别计算 $r=0.5, 1, 1.5, 2$ 和 3 时的 V_{th} 。注意, 在 $r=1$ 附近, V_{th} 与 r 没有很强的关联性。

- D10.17 设计一个“匹配”反相器, 面积为 $15 \mu\text{m}^2$, 最小长度为 $0.5 \mu\text{m}$, 且 $\mu_n/\mu_p=3$ 。其最大输出电流比采用最小尺寸反相器的输出电流大多少? 设最小尺寸的因子 $n=1.5$ 。面积比为多少? 输出电阻的比值又是多少?
- 10.18 一个 CMOS 反相器的 $k_n=k_p=300 \mu\text{A}/\text{V}^2$, $V_m=|V_{tp}|=0.8 \text{ V}$, $V_{DD}=3.3 \text{ V}$ 且 $\lambda_n=\lambda_p=0.05 \text{ V}^{-1}$ 。试求 V_{OH} , V_{IH} , V_{OL} , V_{IL} , NM_H , NM_L , V_{th} 以及门限电压点 M 处的电压增益。[提示: 小信号电压增益为 $-[(g_{mN}+g_{mP})(r_{oN}/r_{oP})]$ 。]
- 10.19 考虑一个匹配的 CMOS 反相器, $k'_n=75 \mu\text{A}/\text{V}^2$, $(W/L)_n=8 \mu\text{m}/0.8 \mu\text{m}$, $\mu_n/\mu_p=2.5$ 。电路的等效输出电容有两个主要部分: 一部分正比于每个器件的宽度, 比例因子为 $2 \text{ fF}/\mu\text{m}$; 另一部分为 50 fF 。输出端总的等效电容是多少? 当采用 3.3 V 供电时用式 (10.13) 计算 t_{pc} 。
- 10.20 用式 (10.14) 和式 (10.17) 推导 t_{PHL} 的表达式, 将其中的 V_i 表示为 αV_{DD} 。当 α 取值范围为 0.1 到 0.5 时, 求出表达式分子中乘数的值 (例如当 $\alpha=0.2$ 时, 乘数为 1.7)。
- 10.21 计算一个最小尺寸反相器的传播延迟。设 $k'_n=3k'_p=180 \mu\text{A}/\text{V}^2$, $(W/L)_n=(W/L)_p=0.75 \mu\text{m}/0.5 \mu\text{m}$, $V_{DD}=3.3 \text{ V}$, 且每个器件的电容约为 $2 \text{ fF}/\mu\text{m}$ 乘器件宽度再加上 1 fF 。如果将其改为一个匹配反相器, t_p 会变为多少?
- 10.22 一块 CMOS 微处理器芯片相当于包含 100 万个门, 并采用 5 V 电源供电。芯片工作在 120 MHz 时的功耗为 9 W , 工作在 50 MHz 时为 4.7 W 。问: 由于与时钟不相关的原因 (例如泄漏或其他静态电流等), 芯片产生的功率损失是多大? 如果任一时刻有 70% 的门处于工作状态, 那么在这样一个设计中, 栅极电容的平均值是多少?
- 10.23 考虑一个匹配的 CMOS 反相器, 工艺参数为 $C_{ox}=3.7 \text{ fF}/\mu\text{m}^2$, $\mu_n C_{ox}=180 \mu\text{A}/\text{V}^2$, $\mu_p C_{ox}=45 \mu\text{A}/\text{V}^2$, $V_m=-V_{tp}=0.7 \text{ V}$, 且 $V_{DD}=3.3 \text{ V}$, $W_n=0.75 \mu\text{m}$, $L_n=L_p=0.5 \mu\text{m}$ 。栅极与漏极的重叠电容和等效漏极-衬底电容分别为每毫米门宽度 0.4 fF 和 1.0 fF 。线电容 $C_w=2 \text{ fF}$ 。试求 t_{PLH} , t_{PHL} 和 t_p 。需要额外加上多大的负载电容才能使传播延迟增加 50% ?
- 10.24 再来考虑习题 10.23。设反相器的 $(W/L)_n=(W/L)_p=0.75 \mu\text{m}/0.5 \mu\text{m}$ 。当电路工作在 250 MHz 的频率时, 求 t_p 和动态功耗。

10.3 节: CMOS 逻辑门电路

- D10.25 画出用 CMOS 实现逻辑关系 $Y = \overline{A+B(C+D)}$ 的电路。
- D10.26 用 CMOS 逻辑门实现输出 $Y = \overline{ABC} + \overline{ABC} + \overline{ABC}$, 问需要多少个晶体管? 画出合适的 PUN 和 PDN。可先设计出每个独立项, 然后再用二端网络的原理将它们连接起来。
- D10.27 给出两种不同的实现异或函数 $Y = \overline{A}B + \overline{A}B$ 的方法, 其中的 PDN 和 PUN 是对偶网络。
- D10.28 画出一个 CMOS 逻辑电路以实现逻辑 $Y = AB + \overline{A}B$ 。这被称为同或逻辑。
- D10.29 画出一个 CMOS 逻辑电路以实现逻辑 $Y = ABC + \overline{ABC}$ 。
- D10.30 设计一个 CMOS 逻辑电路以实现对三个输入进行偶校验。具体而言, 当输入 A, B 和 C 中有偶数 (0 或 2) 个高电平时, 输出 Y 为低电平。
- 给出 \overline{Y} 的布尔函数表达式。
 - 根据 \overline{Y} 的表达式直接画出 PDN。注意, 除了用做反相器的晶体管, 还需要 12 个晶体管。
 - 观察 PDN 的电路, 将晶体管的个数降到 10 个。
 - 找出与 (c) 中 PDN 对偶的 PUN, 并完成整个电路。
- D10.31 设计一个 CMOS 逻辑电路, 实现对三个输入进行奇校验。具体而言, 当输入中有奇数 (1 或 3) 个高电平时, 输出为高电平。要求 PUN 和 PDN 各使用 10 个晶体管实现 (反相器除外)。

- D10.32 设计一个 CMOS 全加器电路。三个输入为 A 、 B 和 C ，两个输出为 S 和 C_0 ，其中当输入中有一个或三个为 1 时， S 为 1；当输入中有多于两个为 1 时， C_0 为 1。
- D10.33 考虑图 10.14 所示的 CMOS 门。用基本反相器的 n 和 p 将所有晶体管的 W/L 比表示出来，使得每个门最坏情况下的 t_{PHL} 和 t_{PLH} 等于基本反相器的相应值。
- D10.34 确定图 10.15 (b) 所示的异或电路中使用的晶体管的合适尺寸。假设基本反相器的 $(W/L)_n = 0.75 \mu\text{m}/0.5 \mu\text{m}$ ， $(W/L)_p = 3.0 \mu\text{m}/0.5 \mu\text{m}$ 。求包括所需的反相器在内的总面积。
- 10.35 考虑一个四输入 CMOS 与非门。瞬态响应取决于连接于输出节点和地之间的一个固定大小的电容。根据图 10.17 所示的尺寸求出 t_{PHL} 和 t_{PLH} 。假定所有 n 沟道器件的 $W/L = n$ ，所有 p 沟道器件的 $W/L = p$ ，求出 t_{PHL} 和 t_{PLH} ，并比较这两种情况得到的结果。
- 10.36 图 P10.36 给出了两种实现六输入或逻辑的电路。图 P10.36 (b) 虽然使用了额外的晶体管，然而实际上其总面积较小，传播延迟也较低，因为它采用了扇入较小的或非门。假设两个电路中晶体管的尺寸满足单个门的电流驱动能力与基本匹配反相器的电流驱动能力相同的条件，试求每个电路所需的晶体管个数和总面积。假设基本反相器的 $(W/L)_n$ 比为 $1.2 \mu\text{m}/0.8 \mu\text{m}$ ， $(W/L)_p$ 比为 $3.6 \mu\text{m}/0.8 \mu\text{m}$ 。

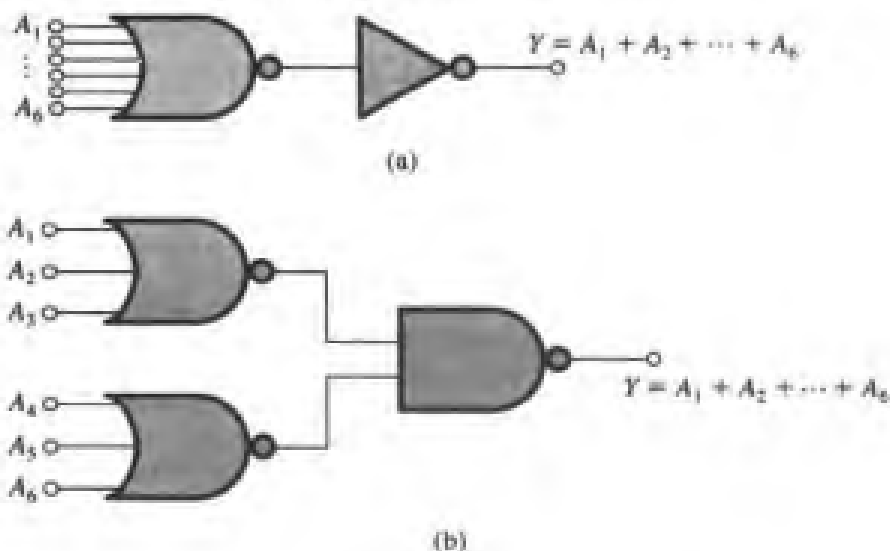


图 P10.36

- *10.37 考虑图 10.12 所示的二输入 CMOS 或非门。假设晶体管的尺寸满足以下条件：每个方向的电流驱动能力等于基本匹配反相器的电流驱动能力。已知 $|V_t| = 1 \text{ V}$ ， $V_{DD} = 5 \text{ V}$ ，分别求出以下两种情况下的电压门限：(a) 输入端 A 接地；(b) 两个输入端连接在一起。忽略 Q_{FB} 的衬底效应。

10.4 节：伪 NMOS 逻辑电路

- 10.38 本习题的目的是比较接上电阻性负载 [见图 P10.38 (a)] 和电流源负载 [见图 P10.38 (b)] 时 t_{PHL} 的值。为了进行公平的比较，设电流源 $I = V_{DD}/R_D$ ，该电流等于接电阻性负载时对电容充电的初始电流。求出两种情况下的 t_{PHL} ，进而求出采用电流源负载时 t_{PHL} 降低的百分比。

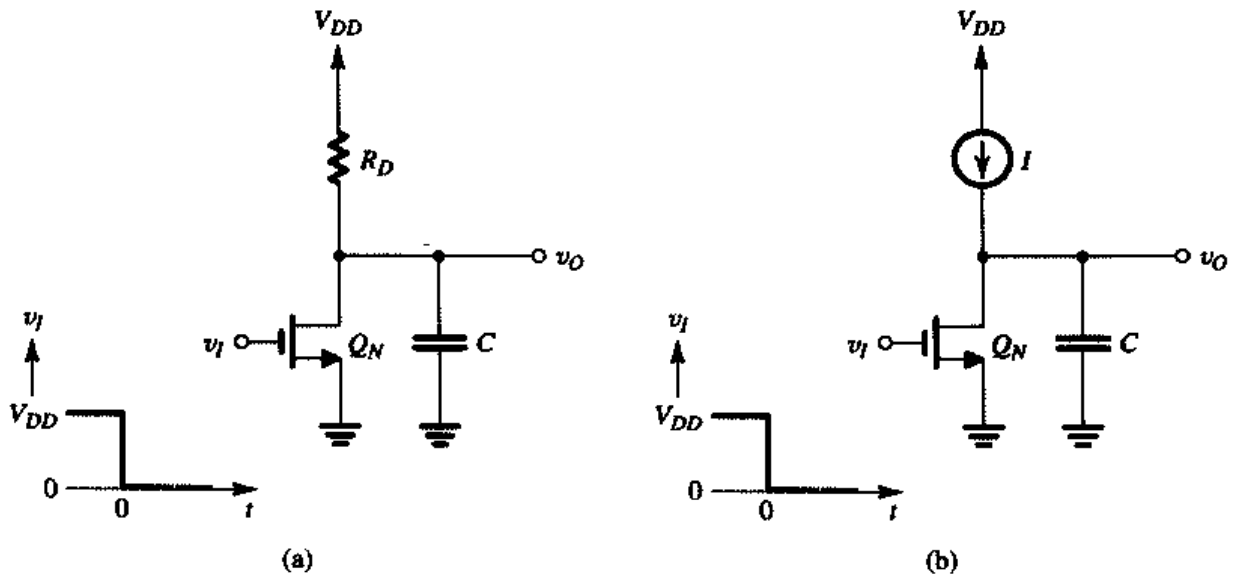


图 P10.38

- D*10.39 设计一个伪 NMOS 反相器。系统参数为 $V_{DD} = 5\text{ V}$, $|V_t| = 0.8\text{ V}$, $k'_n = 3k'_p = 75\text{ }\mu\text{A/V}^2$, $(W/L)_n = 1.2\text{ }\mu\text{m}/0.8\text{ }\mu\text{m}$ 。要求 $v_O = V_{DD}/4$ 时电容输出的正反驱动电流相等。求 $(W/L)_p$, V_{IH} , V_M , V_{OH} , V_{OL} , NM_H 和 NM_L 的值。
- 10.40 一个伪 NMOS 反相器的 $r = 2$, $(W/L)_n = 1.2\text{ }\mu\text{m}/0.8\text{ }\mu\text{m}$, $V_{DD} = 5\text{ V}$, $|V_t| = 0.8\text{ V}$, $k'_n = 3k'_p = 75\text{ }\mu\text{A/V}^2$ 。设器件每毫米宽度的电容分别为 $C_{gs} = 1.5\text{ fF}$, $C_{gd} = 0.5\text{ fF}$, $C_{db} = 2\text{ fF}$ 。当反相器驱动另一个相同的反相器时, 估算输入电容、输出电容及 t_{PLH} , t_{PHL} , t_p 的值。对于一个互补 CMOS 匹配反相器, 试求相应的值。
- *10.41 用式 (10.41) 求出使 NM_L 取最大值时的 r , 对应的 NM_L 值是多少?
- D10.42 设计一个伪 NMOS 反相器, 要求 $V_{OL} = 0.1\text{ V}$ 。已知 $V_{DD} = 2.5\text{ V}$, $|V_t| = 0.4\text{ V}$, $k'_n = 4k'_p = 120\text{ }\mu\text{A/V}^2$, $(W/L)_n = 0.375\text{ }\mu\text{m}/0.25\text{ }\mu\text{m}$ 。问 $(W/L)_p$ 的值是多少? 计算 NM_L 和静态功耗。
- 10.43 当 r 为何值时, 伪 NMOS 反相器的 NM_H 变为 0? 设 $r = 1 \sim 16$, 列出 r 与 NM_H 的对应关系表。
- 10.44 对于一个伪 NMOS 反相器, 当 r 取何值时 $NM_L = NM_H$? 已知 $V_{DD} = 5\text{ V}$, $|V_t| = 0.8\text{ V}$ 。这时的容限是多少?
- D*10.45 设计一个面积最小的伪 NMOS 反相器, 要求高低噪声容限相等。使用 $V_{DD} = 5\text{ V}$ 的电源供电, $|V_t| = 0.8\text{ V}$, $k'_n = 3k'_p = 75\text{ }\mu\text{A/V}^2$, 最小尺寸器件有 $(W/L) = 1.2\text{ }\mu\text{m}/0.8\text{ }\mu\text{m}$ 。设 $r = 2.72$, 证明 $NM_L = NM_H$ 。求出 $(W/L)_n$ 和 $(W/L)_p$ 的值。这个门的功耗是多少? 高低电平转换的传播延迟之比是多少? 对于外接的负载电容 1 pF , 忽略小得多的器件电容, 求出 t_{PLH} , t_{PHL} 和 t_p 。当工作在什么频率下时静态和动态功率相等? 就求出的 t_p 来看, 这样的工作频率可能实现吗? 在一个你认为可能的最高工作频率 [比如 $1/(2t_{PLH} + 2t_{PHL})$] 下, 求出动态功率与静态功率之比。
- D10.46 画出用伪 NMOS 实现逻辑 $Y = \overline{A + B(C + D)}$ 的电路。
- D10.47 画出用伪 NMOS 实现异或逻辑 $Y = A\bar{B} + \bar{A}B$ 的电路。
- D10.48 考虑一个四输入伪 NMOS 或非门。其中, NMOS 器件的 $(W/L)_n = (1.8\text{ }\mu\text{m}/1.2\text{ }\mu\text{m})$ 。求 $(W/L)_p$ 的值, 从而使最差情况下的 $V_{OL} = 0.2\text{ V}$ 。设 $V_{DD} = 5\text{ V}$, $|V_t| = 0.8\text{ V}$, $k'_n = 3k'_p = 75\text{ }\mu\text{A/V}^2$ 。

10.5 节: 传输晶体管逻辑电路

*10.49 一个设计者打算用传输晶体管逻辑来进行实验, 他利用了两个不错的想法:

- (a) 将最小尺寸的单个 MOS 晶体管串成一串可以实现复杂的逻辑功能, 但是
 (b) 输出端和供电端之间总是要存在一条通路

因此, 他首先考虑了两个电路(如图 P10.49 所示)。对于每个电路, 将 Y 表示成 A 和 B 的函数。每种情况的基本工作情况如何? Y 的逻辑电平如何? 节点 X 又如何? 这两个电路看起来熟悉吗? 如果将每个电路中连接到 V_{DD} 的终端改接到一个 CMOS 反相器的输出端, 反相器的输入端与信号 C 相连, 则 Y 的逻辑将怎样变化?

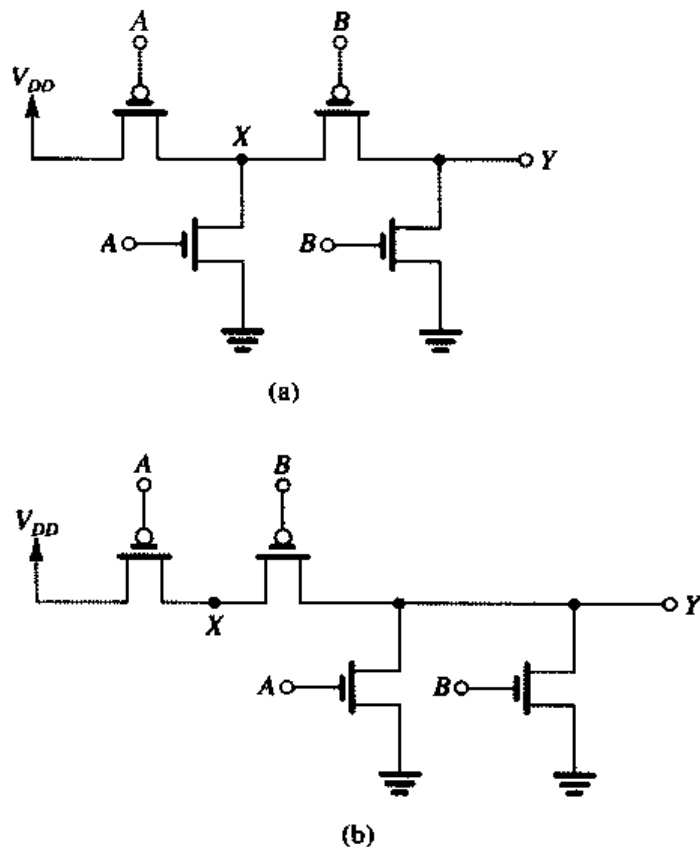


图 P10.49

- 10.50 考虑图 P10.49 所示的电路。如果用 PMOS 晶体管替换所有的 NMOS 晶体管, 用 NMOS 晶体管替换所有的 PMOS 晶体管, V_{DD} 与接地端对调, 输出 Y 的逻辑将怎样变化?
- *10.51 图 P10.51 所示的电路是令人满意的传输晶体管电路吗? 它有什么不足? 如何用 A , B , C 和 D 表示 Y ? 如果两个 V_{DD} 端由一个输入为 E 的 CMOS 反相器驱动, 整个电路的输出 Y 将如何变化?
- *10.52 一个 NMOS 传输晶体管开关的 $W/L = 1.2 \mu\text{m}/0.8 \mu\text{m}$, 采用 3.3 V 供电, $V_{t0} = 0.8 \text{ V}$, $\gamma = 0.5 \text{ V}^{1/2}$, $2\phi_f = 0.6 \text{ V}$, $\mu_n C_{ox} = 3\mu_p C_{ox} = 75 \mu\text{A}/\text{V}^2$, 驱动一个 100 pF 的负载电容。负载电容接在一个 $(W/L)_n = 1.2 \mu\text{m}/0.8 \mu\text{m}$ 的匹配静态反相器的输入端。若开关的栅极接在 V_{DD} 上, 当输入为 V_{DD} 和 0 V 时分别计算开关的 V_{OL} 和 V_{OH} 。对于这个 V_{OH} , 反相器的静态电流是多少? 估算从开关本身的输入端到输出端的 t_{PLH} 和 t_{PHL} 。

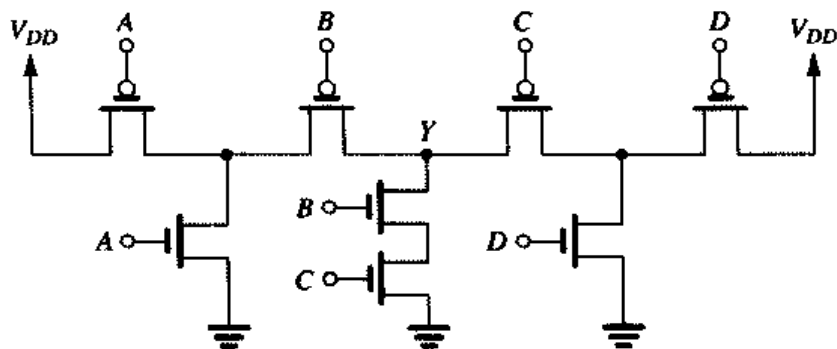


图 P10.51

D*10.53 本习题的目的是设计一个如图 10.28 所示的电平恢复电路, 从而更深入地了解其工作原理。假设 $k'_n = 3k'_p = 75 \mu\text{A}/\text{V}^2$, $V_{DD} = 3.3 \text{ V}$, $|V_{D0}| = 0.8 \text{ V}$, $\gamma = 0.5 \text{ V}^{1/2}$, $2\phi_f = 0.6 \text{ V}$, $(W/L)_1 = (W/L)_n = 1.2 \mu\text{m}/0.8 \mu\text{m}$, $(W/L)_p = 3.6 \mu\text{m}/0.8 \mu\text{m}$, $C = 20 \text{ fF}$ 。设 $v_B = V_{DD}$ 。

- (a) 首先考虑 $v_A = V_{DD}$ 的情况。试求 v_{O1} , 使得 v_{O2} 比 V_{DD} 低一个开启电压, 即 2.5 V 时使 Q_R 开启。当 v_{O1} 取这个值时, 求 Q_1 的 V_{i_c} 。此时给电容充电的电流是多大? $v_{O1} = 0$ 时又是多大? 对 C 充电的平均电流是多大? 估计从输入端到 v_{O1} 的 t_{PLH} 。
- (b) 现在, 为给 Q_R 确定一个合适的 W/L 比, 考虑以下情况。当 v_A 降到 0 V 时 Q_1 导通, 开始对 C 放电时 v_{O1} 会下降。同时, v_{O2} 保持低电平, Q_R 仍导通。流过 Q_R 的电流分流了流过 Q_1 的一部分电流, 使得对 C 进行放电的电流减小了。求出反相器开始切换时 v_{O1} 的值。也就是 $V_{IH} = \frac{1}{8}(5V_{DD} - 2V_i)$ 。然后计算 v_{O1} 取该值时流过 Q_1 的电流。选择 Q_R 的 W/L 以使流过它的电流是 Q_1 中电流的一半。你选择的 W/L 值是多少? 若 t_{PHL} 表示 v_{O1} 从 V_{DD} 降到 V_{IH} 的时间, 试估算 t_{PHL} 。

D10.54 (a) 用图 10.31 中实现异或门的原理实现 $\bar{Y} = AB + \bar{A}\bar{B}$ 。也就是找到一种用两个传输门实现 \bar{Y} 的方法。

- (b) 现在将 (a) 中得到的电路与图 10.31 所示的电路相结合, 得到实现逻辑 $Z = \bar{Y}C + Y\bar{C}$ 的电路, 其中 C 是第三个输入端。画出用 12 个晶体管实现 Z 的完整电路。注意, Z 是一个三输入的异或门。

*D10.55 用图 10.32 给出的设计思想画出一个 CPL 电路, 输出为 $Y = \bar{A}\bar{B} + \bar{A}B$ 和 $\bar{Y} = AB + \bar{A}\bar{B}$ 。

D10.56 把图 10.32 中的 CPL 电路扩展到三个变量, 实现 $Z = ABC$ 和 $\bar{Z} = \bar{A}\bar{B}\bar{C} = \bar{A} + \bar{B} + \bar{C}$ 。

10.6 节: 动态逻辑电路

D10.57 基于图 10.33 所示的动态逻辑电路, 画出非门、与非门和或非门 (后两个为二输入) 的完整电路, 并实现 $\bar{Y} = AB + CD$ 的电路。

10.58 在本题和下面一道题中, 我们将分析一个二输入与非门的动态特性。该与非门采用动态逻辑形式, 并用 CMOS 工艺制造, $k'_n = 3k'_p = 75 \mu\text{A}/\text{V}^2$, $V_m = -V_p = 0.8 \text{ V}$, $V_{DD} = 3 \text{ V}$ 。为了保证 C_L 较小, 使用最小尺寸的 NMOS 器件, 其 $W/L = 1.2 \mu\text{m}/0.8 \mu\text{m}$ (包括 Q_e 在内)。PMOS 预充电晶体管 Q_p 的 W/L 则为 $2.4 \mu\text{m}/0.8 \mu\text{m}$ 。这样, 电容 C_L 为 15 fF 。考虑 Q_p 栅极为 0 V 时的预充电过程。假设在 $t = 0$ 时电容 C_L 已被彻底放电。我们希望计算输出电压的上升时间, 该时间定义为 v_Y 由最终电压 3 V 的 10% 上升到 90% 的时间。求出 $v_Y = 0.3 \text{ V}$ 和 $v_Y = 2.7 \text{ V}$ 时的电流, 然后计算 t_r 的近似值, $t_r = C_L(2.7 - 0.3)/I_{av}$, 其中 I_{av} 是这两个电流的平均值。

- 10.59 对于习题 10.58 中讨论的门电路, 计算高电平到低电平的传播延迟 t_{PHL} 。为了得到 t_{PHL} 的近似值, 把三个串联的 NMOS 晶体管替换成一个等效器件, 并计算平均放电电流。
- *10.60 在本题中, 我们来计算一个动态逻辑门因电荷重新分布而造成的输出电压的损失量。参考图 10.34 (a) 所示电路, 假设 $t=0$ 时 $v_Y = V_{DD}$, $v_{C1} = 0$ 。在 $t=0$ 时, ϕ 升高, Q_p 关闭, 同时 Q_1 栅极的电压上升 (到 V_{DD}) 导致 Q_1 导通。晶体管 Q_1 将一直保持导通, 直到其源极电压 (v_{C1}) 达到 $V_{DD} - V_{tn}$ 或 $v_Y = v_{C1}$ 。在这两种情况下, 可以用电荷守恒计算 v_Y 的终值。设 $V_{tn} = 1\text{ V}$, $V_{DD} = 5\text{ V}$, $C_L = 30\text{ fF}$, 且忽略 Q_1 的衬底效应, 求出以下两种情况下输出端电压的下降量: (a) $C_1 = 5\text{ fF}$; (b) $C_1 = 10\text{ fF}$ (这样 Q_1 在整个导通过程中始终处于饱和状态)。
- 10.61 动态逻辑门中的漏电流导致在赋值状态时电容 C_L 发生放电 (即使 PDN 没有导通)。若 $C_L = 30\text{ pF}$, $I_{leakage} = 10^{-12}\text{ A}$, 如果输出电压的衰减不超过 0.5 V , 求出允许的最长赋值时间。如果预充电时间远小于允许的最长赋值时间, 计算所需的最低时钟频率。
- 10.62 对于练习 10.10 和练习 10.11 中分析的四输入动态逻辑与非门, 估算允许的最高时钟频率。

第 11 章 存储器与高级数字电路

引言

第 10 章介绍的逻辑电路被称为组合电路。它们的输出仅取决于当前的输入值，因此这些电路并未包含存储器。然而，存储器是数字系统中非常重要的组成部分，其在电子计算机中的应用使程序与数据的存储成为可能。此外，临时保存组合电路的输出以备后来使用的功能对于数字系统的运行也是至关重要的。

包含存储器的逻辑电路被称为时序电路，也就是说，它们的输出不仅取决于当前的输入值，同时也取决于先前的输入值。而此类电路的运行需要一个定时器（时钟）的参与。

现在主要有两种为数字电路提供存储器的方法。一种方法是使用正反馈来提供一个具有两个稳定状态的电路。这类双稳态电路可以被用来存储 1 位的信息：其中一个稳定状态对应存储数据 0 的情况，另一个对应存储数据 1。一个双稳态电路能够在其中任一状态保持任意长的时间，因此属于静态时序电路。另一种方法是利用电容上的电荷储存来实现存储器。当电容被充电时被视为存储数据 1；当电容被放电时被视为存储数据 0。由于不可避免的漏电效应会使电容放电，因此这种形式的存储器需要周期性地对电容进行重新充电，该过程称为刷新。类似于动态逻辑电路，此类基于电荷存储的存储器被称为动态存储器，而其相应的时序电路称为动态时序电路。

本章除了介绍不同的存储器种类和电路之外，我们还将学习两个重要的数字电路技术：射极耦合逻辑（ECL）——这是运用双极型晶体管实现系统的超高速运行的；BiCMOS——其中充分利用了双极型晶体管与 CMOS 相结合的优势。

11.1 锁存器与触发器

本节将介绍锁存器这种基本的存储单元，并对其在静态电路和动态电路中的应用进行举例说明。

11.1.1 锁存器

图 11.1 (a) 所示为基本的存储单元——锁存器。它由两个交叉耦合的逻辑反相器 G_1 和 G_2 构成。这两个反相器构成正反馈回路。为了分析锁存器的工作原理，我们将反馈回路在其中一个反相器 G_1 的输入端断开，并在其上施加一个输入信号 v_w ，如图 11.1 (b) 所示。假设 G_1 的输入阻抗很大，则断开反馈回路不会影响其环路电压传输特性，故我们可以通过图 11.1 (b) 所示的电路画出 v_z 与 v_w 的关系曲线。该曲线即为两个级联的反相器的电压传输特性曲线，如图 11.1 (c) 所示。注意，该曲线包括三个部分，中间部分对应的是反相器的传输区。

图 11.1 (c) 同时包含了一条单位斜率的直线。该直线代表 $v_z = v_w$ 的关系，它是通过把 Z 重新连接到 W 从而闭合反馈回路来实现的。可见，该直线与环路传输曲线相交于 A、B 和 C 三个点，因此这三个点中的任意一个都可以作为锁存器的工作点。现在，我们将证明 A 点和 C 点为稳定工作点，电路可在该状态工作任意长的时间；而 B 点为不稳定工作点，锁存器不能保持在 B 点。

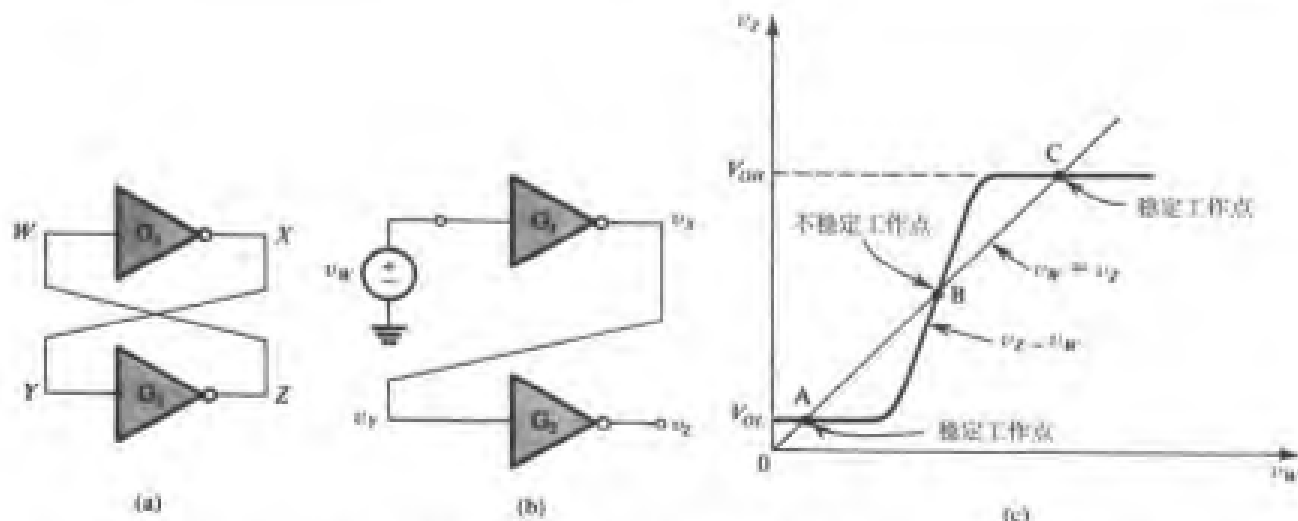


图 11.1 (a) 锁存器的基本结构; (b) 反馈回路断开的锁存器; (c) 确定锁存器的工作点

我们可由图 11.1 (a) 所示的锁存器电路来说明 B 点的不稳定。假设该电路工作于 B 点, 考虑到不可避免的干扰和噪声, 若 v_W 增大一个微小增量 v_w , X 处的电压将增大较大的增量, 其数值等于 v_w 与 B 点增量增益 G_1 的乘积。得到的信号 v_x 作用于 G_2 , 从而在 Z 处产生一个更大的信号。 v_z 与初始增量 v_w 的比值等于工作于 B 点时的环路增益, 即 v_z 与 v_w 的关系曲线上 B 点处的斜率。该增益通常远大于 1。由于 v_z 又与 G_1 的输入端耦合, 它将按环路增益被进一步放大。如此循环往复, 最终将工作点从 B 点拉升至 C 点。由于 C 点的环路增益为零 (或者接近于零), 因此不存在正反馈。

在上面的讨论中, 我们假设 W 点存在正的初始电压增量。若存在负的初始电压增量, 我们将发现工作点会由 B 点降至 A 点。同样, 由于 A 点的传输特性曲线的斜率为零 (或者接近于零), 因此不存在正反馈。事实上, 正反馈只有在环路增益大于 1 的情况下才可能发生, 而 B 点正属于这样的情况。

由上述讨论不难得出: 锁存器有两个稳定工作点——A 点和 C 点。在 C 点, v_W 为高电平, v_X 为低电平, v_Y 为低电平, v_Z 为高电平。A 点则恰好相反。若将 X 和 Z 作为锁存器的输出, 我们可以看到在其中一个稳定工作点 (比如 A 点), v_X 为高电平 (值为 V_{OH}), v_Z 为低电平 (值为 V_{OL}); 在另一个稳定工作点 (比如 C), v_X 为低电平 (值为 V_{OL}), v_Z 为高电平 (值为 V_{OH})。因此锁存器是具有两个互补输出的双稳态电路。锁存器所处的稳定状态取决于将其引入该特定状态的外部激励, 随后锁存器将在被激励形成的状态上保持任意长的时间以用来存储该外部激励。作为存储单元, 锁存器能够存储 1 位的信息。例如, 我们可以任意指定 v_X 为高电平、 v_Z 为低电平的状态表示存储逻辑值 1, 另一个互补的状态应被指定为存储逻辑值 0。最后要说明: 上述锁存器电路为静态电路。

至此, 我们尚需设计一个合适的机制用来触发锁存器的状态改变。锁存器与触发电路一同形成了触发器。接下来我们将讨论相关内容。由运用运算放大器组成的模拟双稳态电路将在第 13 章中具体介绍。

11.1.2 SR 触发器

最简单的触发器为 SR (Set/Reset) 触发器, 如图 11.2 (a) 所示。它由两个交叉耦合的或非门组成, 因此包含了一个锁存器。两个或非门的第二输入端共同构成了触发器的触发输入。这两个输入分别被标示为 S (设置) 和 R (复位)。输出分别表示为 Q 和 \bar{Q} 以强调它们的互补性。当 Q

为高电平, \bar{Q} 为低电平时触发器被认为是置位 (即储存逻辑值 1), 而触发器处于另一种状态 (Q 为低电平, \bar{Q} 为高电平) 时被认为是复位 (储存逻辑值 0)。

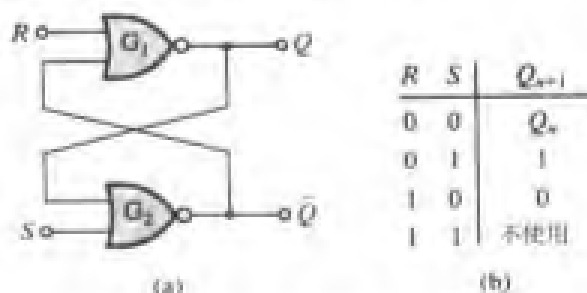


图 11.2 (a) SR (Set/Reset) 触发器; (b) SR 触发器真值表

在静止或存储状态 (即我们不想改变触发器状态时), S 与 R 输入端的输入均应为低电平。考虑当触发器存储逻辑值 0 的情况。由于输出 Q 为低电平, 或非门 G_2 的两个输入均为低电平, 因而其输出为高电平。该高电平作用于 G_1 的输入端, 导致其输出 Q 为低电平, 从而满足了初始假设。若要将触发器置位, 则必须将 S 提升至逻辑高电平 (逻辑值 1) 且同时保持 R 为逻辑低电平 (逻辑值 0)。 S 端口上的 1 将迫使 G_2 的输出 \bar{Q} 成为 0。而 G_1 的两个输入端均为 0, 故其输出 Q 成为 1。现在即使 S 返回 0, 触发器也将保持在最新得到的置位状态。很明显, 若我们将 S 再次置 1 (将 R 保持为 0), 则触发器状态不会发生改变。若要复位触发器, 我们需要将 R 置 1 同时保持 S 为 0。我们很容易看到, 这样的输入使触发器进入复位状态, 并且在 R 返回 0 的情况下继续保持该状态。应该注意的是, 触发信号的作用只在于启动锁存器正反馈回路的正反馈动作。

最后, 我们需要讨论一下当 S 端和 R 端同时置 1 时的情况。两个或非门将使输出 Q 和 \bar{Q} 成为 0 (注意, 在这种情况下这两个输出的互补标示不再成立)。然而, 若 R 和 S 同时返回静止状态 ($R=S=0$), 触发器的状态将无法确定。换句话说, 触发器的最终状态无法被预测。因此, 这种输入组合通常是不允许的 (不使用)。但应注意, 这种情况仅仅发生在 R 与 S 绝对同时返回到 0 的理想情况下。实际情况下, 两者之中有一端将会先返回到 0, 而最终状态将由保持高电平时间最长的输入端决定。

触发器的工作方式总结为如图 11.2 (b) 所示的真值表, 其中, Q_n 表示输出 Q 在 t_n 时 (即施加 R 和 S 信号之前) 的输出值, Q_{n+1} 表示输出 Q 在 t_{n+1} 时 (即施加输入信号之后) 的输出值。

除了使用两个或非门之外, 我们也可以交叉耦合两个与非门来构成 SR 触发器。在这种情况下, 置位与复位功能均为低电平有效, 并因此被称为 \bar{S} 与 \bar{R} 。

11.1.3 SR 触发器的 CMOS 实现

在图 11.2 所示的 SR 触发器中, 仅需将其中的或非门替换为相应的 CMOS 电路, 就可以直接实现 CMOS 的 SR 触发器。我们鼓励读者尝试绘制一下这个电路。尽管这样得到的 CMOS 电路的工作情况良好, 但却有些复杂。我们在此考虑一个简化的电路, 且该电路还可以实现附加的逻辑功能。具体来说就是图 11.3 所示的时钟同步的 SR 触发器。由于时钟信号与设置和复位的输入信号相“与”, 因而触发器只能在时钟信号 ϕ 为高电平时设置或复位。注意, 尽管在触发器核心部分的两个交叉耦合的反相器为互补的 CMOS 类型, 然而置位和复位电路均由 NMOS 晶体管组成。不仅如此, 由于 V_{DD} 和接地点之间无导通通路 (转换时间除外), 因此该电路不存在静态功率损耗。

如果不考虑附加的时钟同步信号, 图 11.3 所示与图 11.2 所示的 SR 触发器在逻辑上具有完全相同的工作特性。为说明该问题, 假设当前触发器处于复位状态 ($Q=0, \bar{Q}=1, v_Q=0, v_{\bar{Q}}=V_{DD}$),

并且我们要将其置位。为此,我们设法让 S 端出现高电平信号 (V_{DD}) 并使 R 端保持低电平 0V 。这样,当时钟 ϕ 上升为高电平时, Q_5 和 Q_6 就会导通,从而将 $v_{\bar{Q}}$ 的电压拉低。当 $v_{\bar{Q}}$ 降低至 (Q_3, Q_4) 反相器的门限电压时,反相器的状态就会改变(或至少开始改变),其输出 v_Q 将会上升。 v_Q 的上升又反馈到 (Q_1, Q_2) 反相器的输入端,使得其输出 $v_{\bar{Q}}$ 进一步降低。根据锁存器的正反馈特性,会发生正反馈。

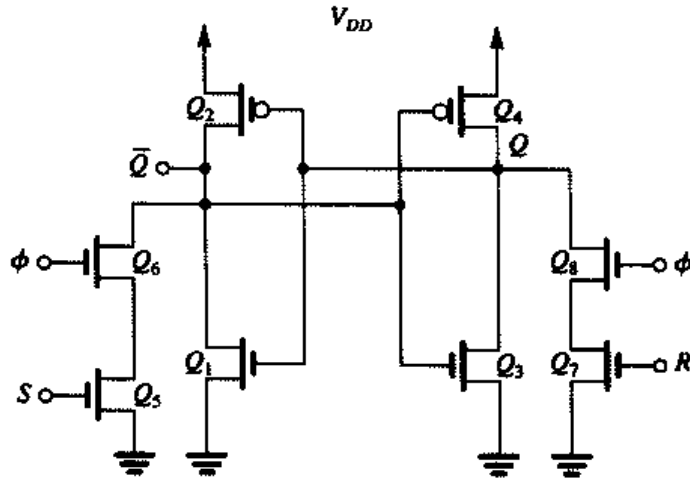


图 11.3 CMOS 实现的时钟同步的 SR 触发器。其时钟信号用 ϕ 表示

之前对于触发器状态转换的叙述基于以下两个假设:

1. 晶体管 Q_5 和 Q_6 能够提供足够的电流以将节点 \bar{Q} 处的电压至少拉低到略低于 (Q_3, Q_4) 反相器的门限电压。这是启动正反馈的必要条件。没有该初始触发,触发器状态将无法进行状态转换。在例题 11.1 中,我们将具体分析满足这个要求的 Q_5 和 Q_6 所允许的最低 W/L 比值。
2. 置位信号应在高电平持续足够长的时间以使正反馈能够进入到状态转换过程。所需的置位信号的最短宽度可通过将 $v_{\bar{Q}}$ 从 V_{DD} 降低至 $V_{DD}/2$ 的时间加上 v_Q 响应后上升至 $V_{DD}/2$ 的时间估算得到。

最后,由电路的对称性可知,上述分析将同样适用于触发器的复位流程。

例题 11.1 如图 11.3 所示的 CMOS SR 触发器,其工艺参数为: $\mu_n C_{ox} = 2.5 \mu_p C_{ox} = 50 \mu\text{A}/\text{V}^2$, $V_m = |V_{tp}| = 1\text{V}$ 和 $V_{DD} = 5\text{V}$ 。反相器的 $(W/L)_n = 4\mu\text{m}/2\mu\text{m}$, 并且 $(W/L)_p = 10\mu\text{m}/2\mu\text{m}$ 。组成置位-复位电路的 4 个 NMOS 晶体管具有相同的 W/L 比值。试确定保证触发器能够进行状态转换的最小 W/L 比。

解: 图 11.4 所示为相关部分的电路结构。注意,由于正反馈尚未开始,我们假设 $v_Q = 0$, 因此 Q_2 导通。该电路实际上等同于一个伪 NMOS 门,而我们需要为 Q_5 和 Q_6 选取合适的 W/L 使该反相器的 V_{OL} 低于 $V_{DD}/2$ (当 Q_N 和 Q_P 匹配时 Q_3 和 Q_4 反相器的门限电压)。当 Q_5 和 Q_6 提供的电流与 Q_2 在 $v_{\bar{Q}} = V_{DD}/2$ 时提供的电流相等时,即可求得 Q_5 和 Q_6 所需的 W/L 的最

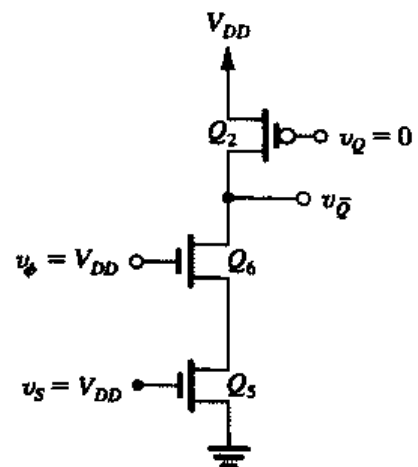


图 11.4 触发器电路(图 11.3 所示)的相关部分,用以确定触发器能够进行状态转换所要求的 Q_5 和 Q_6 的最小 (W/L) 值

小值。为简单起见，我们将 Q_5 和 Q_6 的串联结构近似为一个单独的晶体管，其 W/L 为 Q_5 和 Q_6 的 W/L 数值的一半。考虑到 $v_{\bar{Q}} = V_{DD}/2$ ，该等效晶体管和 Q_2 都将工作于变阻区，因而可以得到

$$50 \times \frac{1}{2} \times \left(\frac{W}{L}\right)_5 \left[(5-1) \times \frac{5}{2} - \frac{1}{2} \times \left(\frac{5}{2}\right)^2 \right] = 20 \times \frac{10}{2} \left[(5-1) \times \frac{5}{2} - \frac{1}{2} \times \left(\frac{5}{2}\right)^2 \right]$$

从而可求得

$$\left(\frac{W}{L}\right)_5 = 4 \quad \text{和} \quad \left(\frac{W}{L}\right)_6 = 4$$

考虑到该数值为理论上的最小值，实际制造中会将该比值选定为 5 或者 6。 ■

练习 11.1 重复例题 11.1，在输入 S 和 ϕ 均为 $V_{DD}/2$ 的情况下，试确定 $(W/L)_5 = (W/L)_6$ 的最小值以保证触发器能够进行状态转换。

答案： 24.4

练习 11.2 我们希望确定设置脉冲所需的最小宽度。为实现该目标：(a) 首先考虑图 11.4 所示电路中 $v_{\bar{Q}}$ 从 V_{DD} 降低至 $V_{DD}/2$ 所需的时间。假设 \bar{Q} 点与接地点之间的总电容为 50 fF。试通过求解从 V_{DD} 至 $V_{DD}/2$ 这段电压范围内电容放电的平均电流，确定高电平至低电平转换的传播延迟 t_{PHL} 。注意，经由 Q_2 传导的电流将会削减电容的放电电流。假定 $(W/L)_5 = (W/L)_6 = 8$ ，并沿用例题 11.1 中给出的技术参数。(b) 试确定图 11.3 所示电路中 v_Q 的 t_{PLH} ，可参考下式：

$$t_{PLH} = \frac{1.7C}{k'_p \left(\frac{W}{L}\right)_p V_{DD}}$$

假定节点 Q 的总电容为 50 fF。(c) 试确定设置脉冲所需的最小宽度。

答案： (a) 0.11 ns; (b) 0.17 ns; (c) 0.28 ns

11.1.4 时钟 SR 触发器的简单 CMOS 实现

一个更简单的时钟同步 SR 触发器的实现如图 11.5 所示。其中，传输晶体管逻辑被运用于实现置位-复位的功能。该电路在静态随机访问存储器 (SRAM) 芯片的设计中应用十分广泛，它被用做基本存储单元 (参见 11.4.1 节)。

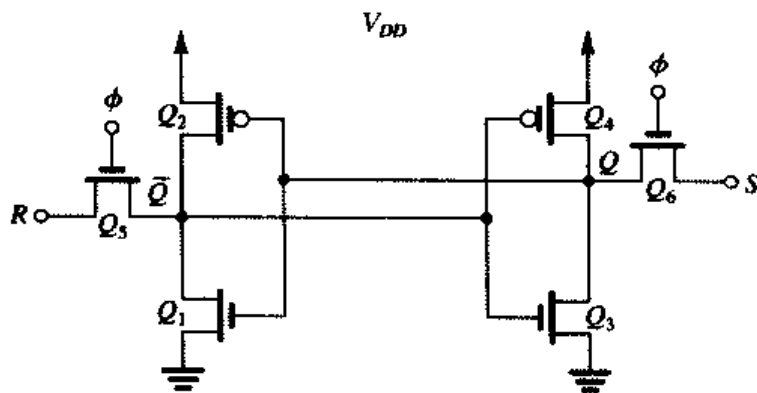


图 11.5 一个更简单的用 CMOS 实现的时钟同步 SR 触发器。该电路在静态随机访问存储器 (SRAM) 芯片的设计中被用做基本存储单元

11.1.5 D 触发器电路

通过不同逻辑门的组合可以得到许多不同类型的触发器。采用 CMOS 实现的电路则可直接通过这些逻辑门用相应的 CMOS 电路替代而得到。然而,该方法却经常产生相当复杂的电路。在很多情况下,我们可以从电路设计的角度(而非逻辑设计的观点)得到一个更为简单的电路。为

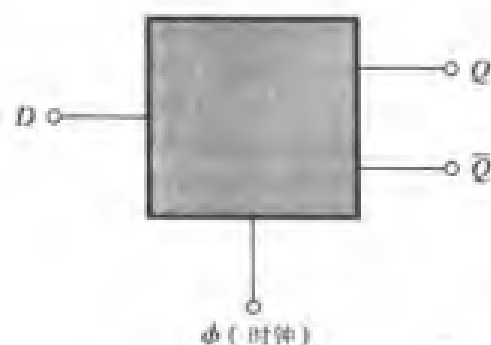


图 11.6 D 触发器的框图

说明这一点,我们将讨论一个十分重要的触发器类型,即数据触发器(D 触发器)的 CMOS 实现。

D 触发器的结构如图 11.6 所示。它包括两个输入信号——数据输入 D 和时钟输入 ϕ 。两个互补输出标示为 Q 和 \bar{Q} 。当时钟输入为低电平时,触发器处于静止或存储状态, D 输入端的信号改变对触发器的状态没有影响。当时钟上升为高电平时,触发器获取时钟上升沿之前瞬间的 D 输入端的逻辑值。这种触发器被称为是边缘触发的。部分 D 触发器的实现包含直接置位和复位输入端,它们将忽略上述时钟同步操作。

图 11.7 所示为一个 D 触发器的简单实现。该电路包含两个以正反馈回路形式连接的反相器,这同图 11.1 (a) 所示的静态锁存器是类似的,但此处的环路仅在部分时间闭合。具体来说,环路在时钟输入为低电平时($\phi = 0, \bar{\phi} = 1$)闭合。 D 输入端是通过一个在时钟输入为高电平时闭合的开关连接到触发器的。其工作原理十分明晰:当 ϕ 为高电平时,该环路断开, D 输入端直接连接到反相器 G_1 的输入端。 G_1 输入端的电容充电至输入端电压 D , 而 G_2 输入端的电容充电至 \bar{D} 。随后,当时钟输入降至低电平时,输入端与触发器断开,而反馈回路闭合,故锁存器得到了 ϕ 信号下降前输入端 D 的状态值,从而使得输出 $Q = D$ 。

由前所述,我们注意到图 11.7 所示电路结合了静态双稳态电路的正反馈技术和动态电路的电荷存储技术。值得注意的是,该电路以及很多使用时钟信号的电路的正常工作都基于一定的条件,即 ϕ 和 $\bar{\phi}$ 在任何时候都不会同时出现高电平。这个条件是由两个时钟相位无交叠来保证的。

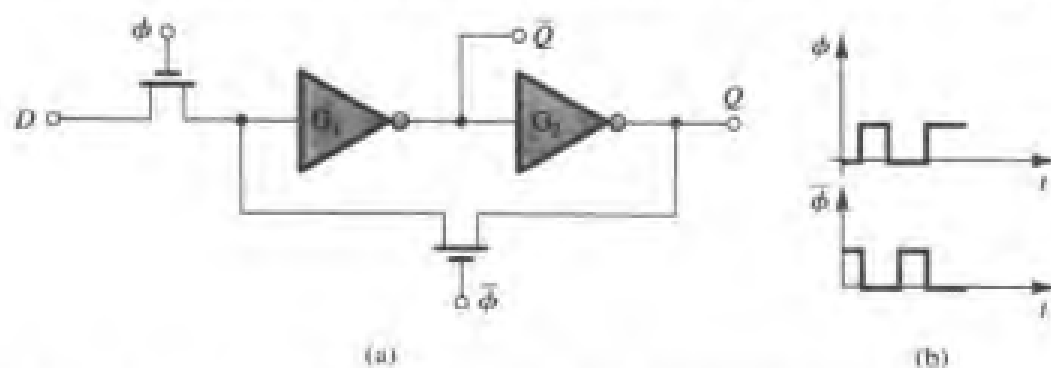


图 11.7 一个 D 触发器的简单实现:(a) 所示电路运用了双相位无交叠的时钟输入;(b) 输入信号的波形

然而,图 11.7 所示的 D 触发器的实现却存在一个不足,即当 ϕ 为高电平时,触发器的输出完全跟随输入端 D 的信号而变化。这在特定的逻辑设计情况下会造成一定的问题。事实上,我们可以通过如图 11.8 (a) 所示的主从触发器的形式来有效地解决这个问题。在讨论电路工作原理之前需要说明:尽管图中所示开关由单个 NMOS 晶体管实现,然而 CMOS 传输门也在很多实际应用中采用。我们在此处只是选用单个的 MOS 晶体管作为串联开关电路的简化符号。

该主从触发器电路包含一对如图 11.7 所示类型的电路, 采用交替的时钟相位进行工作。在此要强调的是这两个时钟的相位必须无交叠, 我们将其分别命名为 ϕ_1 和 ϕ_2 , 并在图 11.8 (b) 中明确表示了其无交叠的波形形状。电路的具体工作原理如下:

1. 当 ϕ_1 为高电平而 ϕ_2 为低电平时, 输入端连接到反馈回路开路的主锁存器, 与从锁存器断开。因此, 输出 Q 保持先前储存在从锁存器里的逻辑值并且从锁存器的环路闭合。主锁存器的节点电容将被充电, 其所得电压与 D 输入端的当前电压相对应。
2. 当 ϕ_1 降为低电平时, 主锁存器与数据输入端断开。随后, 当 ϕ_2 上升为高电平时, 主锁存器的反馈回路闭合且锁定在 D 的值上。同时, 其输出与反馈回路断开的从锁存器相连。从锁存器的节点电容被充电, 因此当 ϕ_1 重新上升为高电平时, 从锁存器锁定在新的 D 的逻辑值且输出 $Q = D$ 。

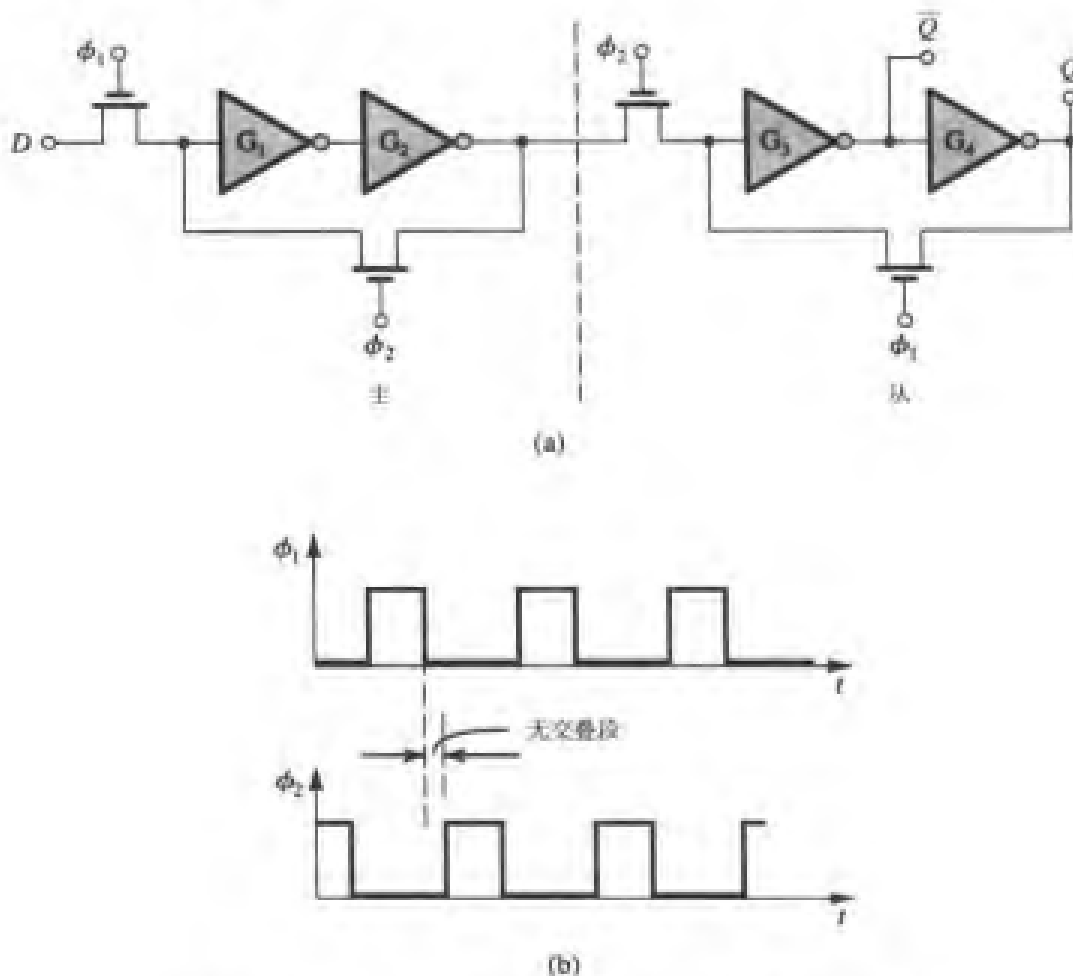


图 11.8 (a) 主从式 D 触发器, 其开关通常由 CMOS 传输门实现; (b) 系统要求的双相位无交叠的时钟波形图

通过上述讨论, 我们不难发现在时钟 ϕ_2 的上升沿, 输出 Q 更新为前一时钟相位 ϕ_1 结束时 D 输入端上的逻辑值。该输出值将稳定保持一个时钟周期。最后要注意的是: 在无交叠时间段, 两个锁存器的反馈回路均被断开, 我们仅仅依靠节点电容来储存绝大部分的电荷。因此无交叠时间段应被控制在很小的范围内(大约为时钟周期的十分之一或者更小, 实际设计中一般在 1 ns 的数量级上)。

11.2 多谐振荡器电路

如前所述, 由于触发器具有两个稳定的状态, 因此称为双稳态多谐振荡器。事实上还存在另外两种类型的多谐振荡器: 单稳态多谐振荡器和非稳态多谐振荡器。单稳态多谐振荡器具有一个稳定的状态, 系统可以在任意长的时间内保持在该状态。同时, 它还具有一个可被触发的准稳态。单稳态多谐振荡器可以在准稳态停留一个预设的时间长度 T , 随后它将自动返回稳定状态。从这个意义上来说, 单稳态多谐振荡器生成一个持续时间为 T 的输出脉冲。该输出脉冲的宽度 T 与触发脉冲的具体参数无关, 图 11.9 示意性地给予了说明。单稳态多谐振荡器因此可以被用做脉冲展宽器, 或者更精确地称为脉冲标准化器。单稳态多谐振荡器又被称为单击振荡器。

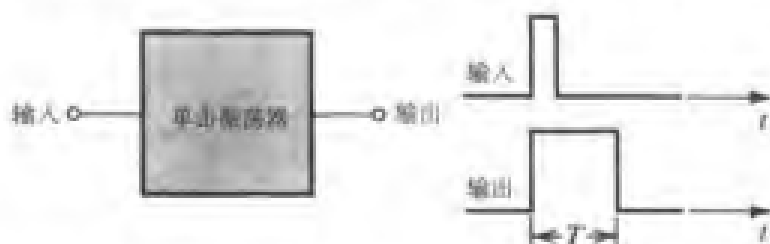


图 11.9 图示的单稳态多谐振荡器（单击振荡器）功能模块是由正脉冲触发的。除此以外, 还存在由负脉冲触发的单击振荡器

非稳态多谐振荡器不存在稳定状态, 但它却具有两个准稳态且能够在这两个状态分别停留预设的时间长度 T_1 和 T_2 。所以, 当非稳态多谐振荡器在一个准稳态停留 T_1 秒之后, 它将转换到另一个准稳态并在该状态停留 T_2 秒, 随后再次返回原先的状态, 如此周而复始。因此非稳态多谐振荡器以周期 $T = T_1 + T_2$ 或频率 $f = 1/T$ 振荡, 可用于生成周期性脉冲, 例如时钟信号。

在第 13 章中, 我们将介绍由运算放大器构成的单稳态和非稳态多谐振荡器。下面将重点讨论由逻辑门构成的单稳态和非稳态多谐振荡器。此外我们还将介绍另外一种使用非常普遍的振荡电路, 即环形振荡器。

11.2.1 CMOS 单稳态电路

图 11.10 所示为一个简单且常用的单稳态多谐振荡器电路。它由两个双输入的 CMOS 或非门 (G_1 和 G_2)、一个电容量为 C 的电容以及一个阻值为 R 的电阻组成。输入端 v_i 提供单稳态多谐振荡器的触发脉冲。

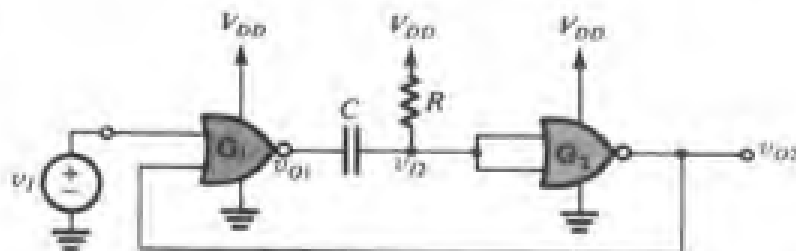


图 11.10 由 CMOS 或非门组成的单稳态电路。信号源 v_i 提供正向触发脉冲

商用的 CMOS 逻辑门在其输入端都连接着由二极管组成的特殊结构, 如图 11.11 (a) 所示。设计这些二极管的主要目的在于防止输入信号电压高于电源电压 V_{DD} (高出一个二极管的压降) 或输入信号低于接地端电压 (低出一个二极管的压降)。这些钳位二极管对于单稳态电路的工作

具有重要的作用。具体而言，我们着重分析一下这些二极管对于反相器方式连接的或非门 G_2 的实际作用。在这种情况下，每对对应的二极管都是并联连接的，参见如图 11.11 (b) 所示的等效电路。当输入电压高于系统电源电压的限制时，二极管将为输入信号的电源提供一条低阻通道，而对于中间电压，二极管的输入电流等于零。

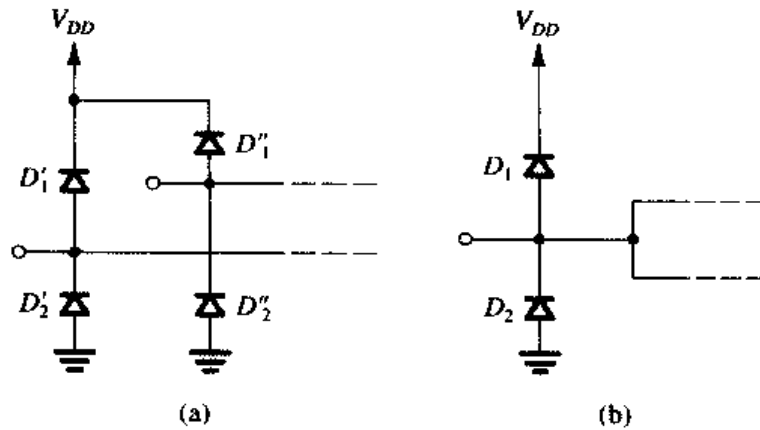


图 11.11 (a) 双输入端 CMOS 逻辑门的每个输入端的二极管结构；(b) 当两个输入端短接时的等效二极管电路。注意，添置二极管的目的在于保护逻辑门，使其免受由于静态电荷积累而造成的潜在的破坏性过电压

为简化起见，我们将使用逻辑门的近似等效输出电路，如图 11.12 所示。图 11.12 (a) 表明，当逻辑门输出为低电平时，其输出特性可以用一个接地的电阻 R_{on} 来表示，其阻值一般在几百欧姆左右。在该状态，电流可以从外部电路流入逻辑门的输出端口，此时逻辑门也被称为吸收电流。同样，图 11.12 (b) 所示的等效输出电路适用于逻辑门输出电压为高电平的情况。在该状态，电流可以从 V_{DD} 通过逻辑门的输出端口流到外电路中，此时逻辑门也被称为输出电流。

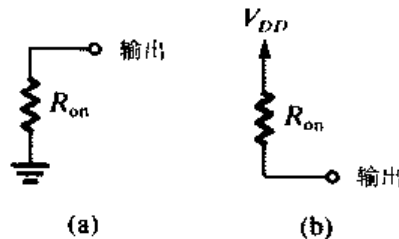


图 11.12 CMOS 逻辑门的输出等效电路：(a) 输出为低电平的情况；(b) 输出为高电平的情况

为了说明如图 11.10 所示的单稳态电路的工作原理，考虑如图 11.13 所示的时序图。图 11.13 (a) 中存在一个持续时间为 τ 的短暂触发脉冲。在下面的讨论中我们将忽略 G_1 和 G_2 的传输延迟，但在实际情况中，该延迟限定了脉冲宽度 τ 的最小值， $\tau > (t_{P1} + t_{P2})$ 。

首先考虑单稳态电路的稳定状态，即在触发脉冲到达之前的电路状态。 G_1 的输出端为 V_{DD} 高电平，电容放电， G_2 的输入端为 V_{DD} 高电平。因此 G_2 的输出端为低电平，等于接地电压。该低电平反馈到 G_1 的输入端。由于 v_I 为低电平，因此 G_1 的输出为高电平，正如最初假设的那样。

接下来考虑施加触发脉冲时的情况。 G_1 的输出电压将会降低。然而， G_1 将会吸收部分电流，同时由于其有限的输出电阻 R_{on} ，使得 G_1 的输出将不会一直为 0V 。事实上， G_1 的输出电压将降低一定的数值 ΔV_1 ，我们稍后将计算该数值。

降压 ΔV_1 通过电容 C (在转换瞬时可被视为短路) 与 G_2 的输入端相耦合，因此 G_2 的输入端电压 (初始为 V_{DD}) 也将降低同样的量，即 ΔV_1 。此处，我们注意到在该瞬间存在由 V_{DD} 通过 R

和 C 进入 G_1 输出端口后至接地端的瞬时电流。因此可以得到由电阻 R 和 R_{on} 组成的分压网络 (注意, 电容 C 的瞬时电压为零), 由此可以确定 ΔV_1 的数值为

$$\Delta V_1 = V_{DD} \frac{R}{R + R_{on}} \quad (11.1)$$

反观 G_2 , 其输入端的压降造成其输出端的电压上升 (至 V_{DD})。该输出信号将在触发脉冲结束之后仍然保持 G_1 持续输出低电平。该电路现处于准稳定状态。

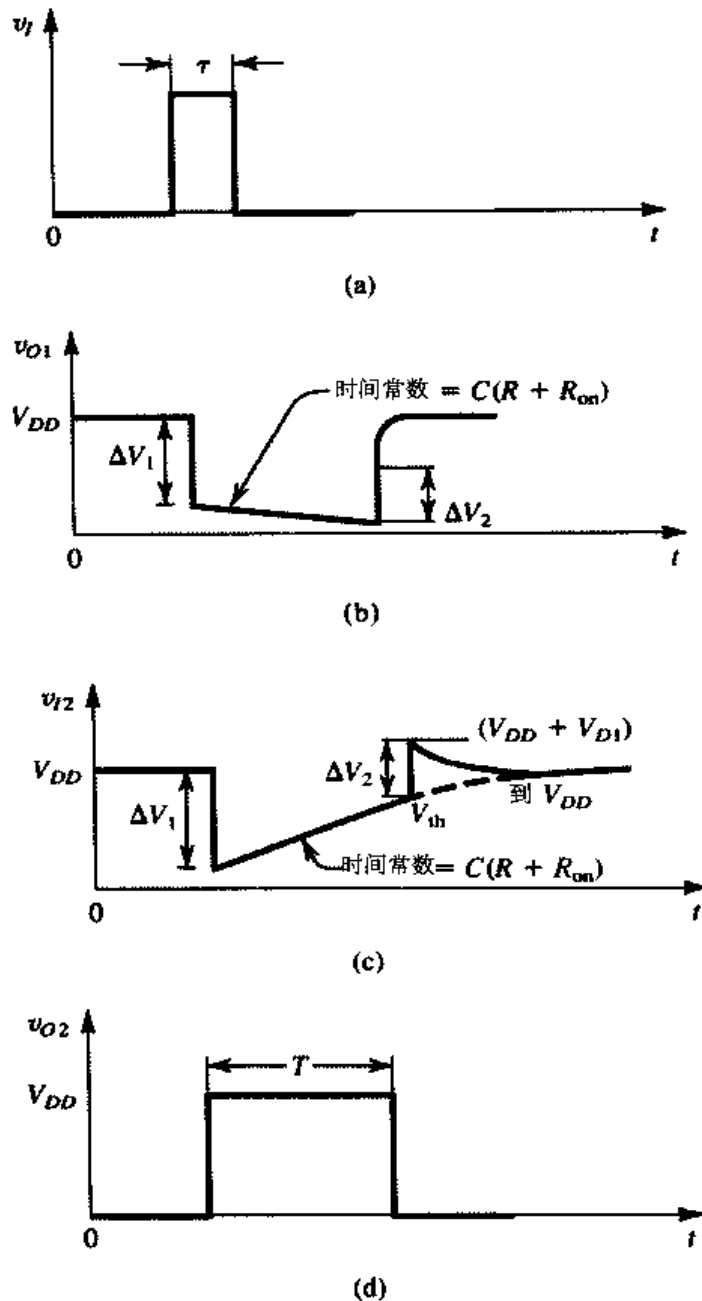


图 11.13 单稳态电路 (图 11.10 所示) 的时序图

接下来我们继续分析准稳定状态的工作原理。通过 R 、 C 和 R_{on} 的电流造成电容 C 充电, 因而 v_{I2} 将以时间常数 $C(R + R_{on})$ 朝着 V_{DD} 呈指数级上升, 如图 11.13 (c) 所示。 v_{I2} 将会持续上升直至达到反相器 G_2 的门限电压 V_{th} 。此时, G_2 将会翻转, 其输出 v_{O2} 将会变为 0V , 反过来引起 G_1 的翻转。 G_1 的输出端将试图上升至 V_{DD} , 但是由于下面将要讲到的原因, 其瞬时压升将被限制为

ΔV_2 、 v_{O1} 的上升始终通过电容 C 与 G_2 的输入端相耦合, 因此 G_2 的输入端电压将会上升同样的幅值 ΔV_2 。注意, 由于 G_2 输入端和 V_{DD} 之间的二极管 D_1 的存在, v_{I2} 的电压至多只能上升至 $V_{DD} + V_{D1}$, 其中 V_{D1} (大约为 0.7 V) 为 D_1 两端的压降。因此由图 11.13 (c) 可得

$$\Delta V_2 = V_{DD} + V_{D1} - V_{th} \quad (11.2)$$

可见, 正是由于 D_1 的存在限制了瞬时电压 ΔV_2 上升的幅值。

因为现在 v_{I2} 略高于 V_{DD} (高出 V_{D1}), 因此电流将会从 G_1 的输出端流出, 途中流经电容 C 以及并联的 R 和 D_1 。该电流将造成电容 C 持续放电, 直到 v_{I2} 降至 V_{DD} 且 v_{O1} 上升至 V_{DD} 。其放电电路如图 11.14 所示, 由图可知二极管的存在使得该电容放电过程成为非线性过程。尽管脉冲结束时的瞬态响应并非我们关心的重点, 但值得一提的是, 单稳态电路只能在电容放电完成后才能被再次触发, 否则输出将不再是标准脉冲, 而生成标准脉冲恰恰是单极振荡器的主要功能。因此, 电容放电所需的时间间隔又被称为恢复时间。

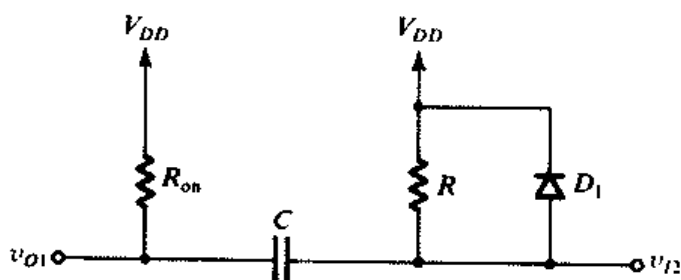


图 11.14 电容 C 放电时的实际工作电路 (在单稳态脉冲周期 T 的末端)

参考图 11.13 (c), 我们可以得到 T 的表达式, 并且 $v_{I2}(t)$ 表示为

$$v_{I2}(t) = V_{DD} - \Delta V_1 e^{-t/\tau_1}$$

其中, $\tau_1 = C(R + R_{on})$ 。将 $t = T$ 和 $v_{I2}(T) = V_{th}$ 代入, 并将 ΔV_1 表示为式 (11.1) 的形式, 经整理得

$$T = C(R + R_{on}) \ln \left(\frac{R}{R + R_{on}} \frac{V_{DD}}{V_{DD} - V_{th}} \right)$$

练习 11.3 当 $V_{th} = V_{DD}/2$ 且 $R_{on} \ll R$ 时, 试确定 T 的近似表达式。

答案: $T = 0.69CR$

练习 D11.4 若已知 R_{on} 小于 $1\text{ k}\Omega$, 用练习 11.3 的近似表达式设计一个单极振荡器以产生 $10\text{ }\mu\text{s}$ 的脉冲。设计相应的 C 和 R 的数值。试确定由于在设计中忽略 R_{on} 而可能造成的最大脉冲宽度 T 的误差值。

答案: 参考数值 $C = 1\text{ nF}$, $R = 14.5\text{ k}\Omega$; -3%

11.2.2 非稳态电路

图 11.15 (a) 所示为一个常见的非稳态电路, 由两个反相器方式连接的或非门、一个电阻和一个电容组成。假设或非门为 CMOS 逻辑门, 我们将具体讨论其工作原理。但在此之前, 为简化起见, 我们还需要做进一步近似, 即忽略 CMOS 逻辑门的有限输出电阻并假定钳制二极管为理想二极管 (即其导通时存在零压降)。

基于上述简化假设, 可以得到图 11.15 (b) 所示的波形图。我们鼓励读者尝试逐步分析该电路的工作流程, 并与实际输出的波形进行对比^①。

① 实际电路通常采用大电阻与 G_1 的输入端串联, 这样可以限制二极管的导通效应, 从而允许 v_{I1} 升至 V_{DD} 以上, 而且还能下降到 0 V 以下。

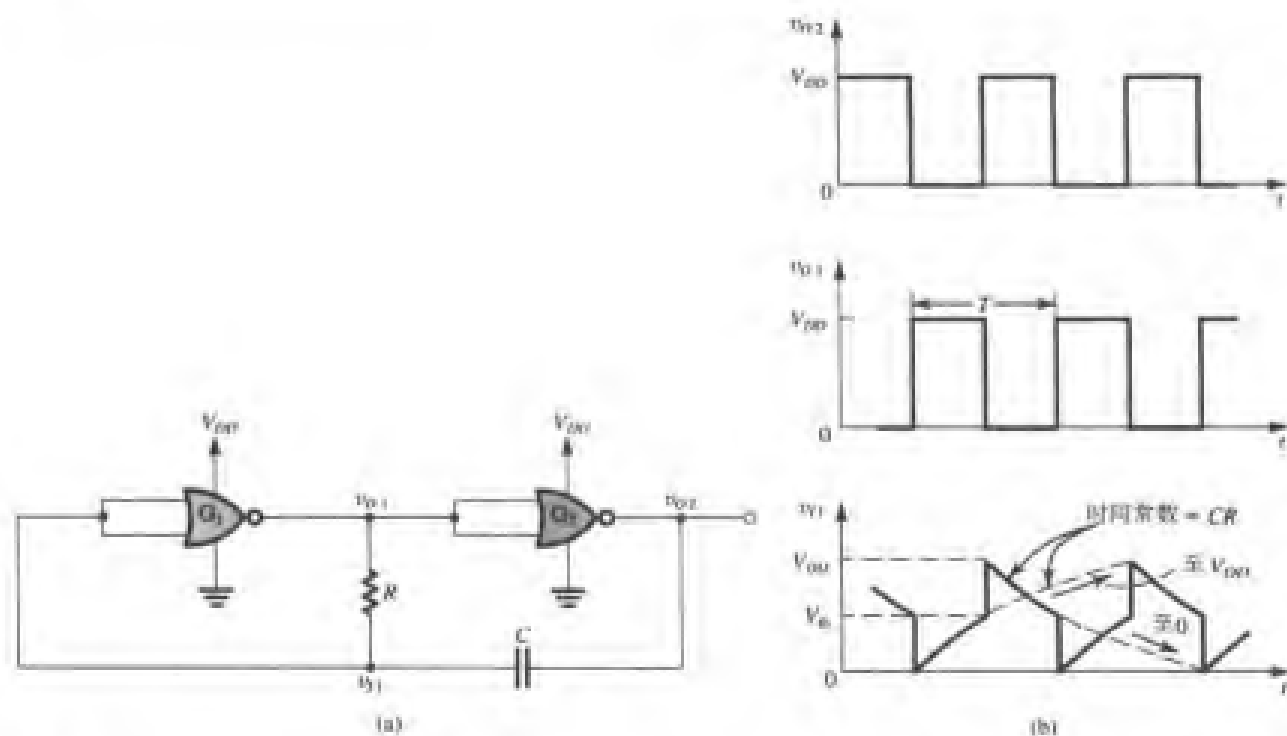


图 11.15 (a) 一个用 CMOS 逻辑门组成的简单非稳态多谐振荡器电路; (b) 该非稳态电路的波形图。假设逻辑门输入端的二极管为理想二极管, 并因此将 v_i 的电压限制在 0 V 至 V_{DD} 之间

练习 11.5 参考图 11.15 (b) 所示的波形图, 试确定图 11.15 (a) 所示的非稳态多谐振荡器的工作周期 T 。

$$\text{答案: } T = CR \ln \left(\frac{V_{DD} - V_{th}}{V_{DD} - V_{th}} \right)$$

11.2.3 环形振荡器

另一种在数字电路中常用的振荡器为环形振荡器。它是通过在一个环路中串联奇数个反相器构成的。虽然通常至少要使用 5 个反相器来构成环形振荡器, 然而我们在此仅使用 3 个反相器来说明其工作原理, 如图 11.16 (a) 所示。图 11.16 (b) 所示分别为 3 个反相器输出端的输出波形, 这些波形是理想波形, 因为其上升时间和下降时间为 0。尽管如此, 它们仍足以说明电路的工作流程。

观察发现, 节点 1 处的上升沿经过逻辑门 1, 2, 3 后延迟了 $3t_p$ 后反相返回。该下降沿继续传播, 在另一个 $3t_p$ 的延迟时间后以初始极性(上升沿)返回。因此该电路将以周期 $6t_p$ 或频率 $1/6t_p$ 振荡。一般而言, 由 N 个反相器组成的环形振荡器 (N 必须为奇数) 将以 $2Nt_p$ 的周期或 $1/2Nt_p$ 的频率持续振荡。

最后值得一提的是, 环形振荡器提供了一个用来测量反相器传输延迟的比较简单的方法。

练习 11.6 假设反相器的传输延迟为 1 ns , 试确定由 5 个反相器构成的环形振荡器的振荡频率。

答案: 100 MHz

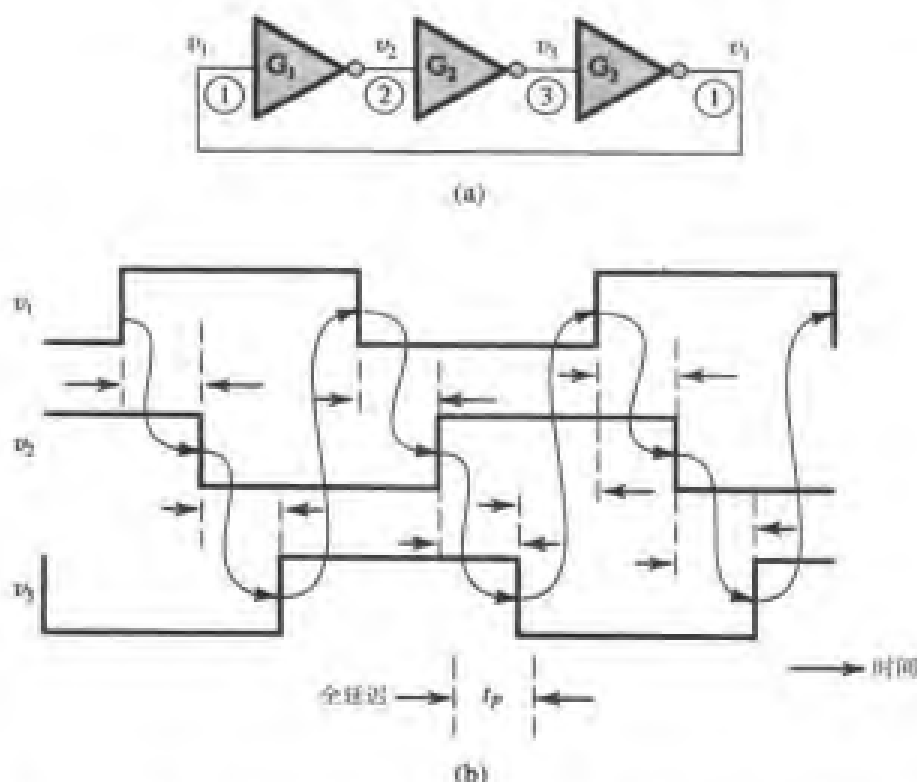


图 11.16 (a) 由 3 个反相器级联形成的环形振荡器 (通常至少由 5 个反相器构成);
(b) 该振荡器的输出波形图。观察可得, 该电路以 $1/6t_p$ 的频率振荡

11.3 半导体存储器的类型与结构

一个计算机系统, 无论是大型机还是微型计算机, 都需要存储器来存储数据和程序指令。不仅如此, 在一个给定的计算机系统中, 通常包含利用不同工艺技术制造的各种类型的存储器, 而它们的访问时间也各不相同。广义上说, 计算机存储器可以分为两种类型: 主存储器和大容量存储器。主存储器通常是访问速度最快的存储器, 一般情况下, 大多数 (通常是所有的) 程序指令都在其中执行。主存储器通常是随机访问类型的。所谓随机访问存储器 (RAM) 就是指在该存储器中存储信息 (写操作) 和获取信息 (读操作) 所需的时间与所需信息在存储器内部的物理存储位置无关。

随机访问存储器应与串行或顺序访问存储器区分开来。在磁盘和磁带这类的串行存储器中, 数据只能够按照其原先被存储的顺序进行访问。因此, 在串行存储器中, 访问特定信息所需的时间取决于信息在存储器中的位置, 而其平均访问时间较之随机存储器的访问时间要长一些。在计算机系统中, 串行存储器被用做数据的大容量存储。不经常使用的数据 (例如计算机操作系统的大部分文件) 通常存储于类似于磁盘的具有可移动表面的存储器。

存储器的另一个重要的分类方法是把它分成读写存储器和只读存储器。读写存储器允许数据以类似的速度被存储或读取。计算机系统需要可读写的随机访问存储器来存储数据和程序。

只读存储器 (ROM) 允许系统以与读写存储器相同的速度 (甚至更快的速度) 读取数据, 但限制数据的写操作。ROM 可以用来存储微处理器操作系统的程序。它们还被用于处理表格查询的操作, 例如确定数学函数的返回数值。电视游戏卡就是 ROM 的一个典型应用。需要注意的是, 只读存储器通常是随机访问类型的。尽管如此, 在数字电路的术语中, 缩写 RAM 通常表示可读

写的随机访问存储器,而 ROM 表示只读存储器。

存储器电路的规则结构使它们很适合 VLSI 的设计思想。事实上,存储器芯片代表了封装密度和集成度的发展水平。自 1970 年 1 Kb 芯片的出现开始,存储器芯片密度大约每三年翻四倍。如今,256 Mb^①的存储器芯片已经被投入商用,同时数 Gb 的芯片也正在研发实验室中进行测试。我们将在本节以及随后的两节中讨论一些 VLSI RAM 芯片中使用的基本电路,而只读存储器电路将在 11.6 节介绍。

11.3.1 存储器芯片构架

存储器芯片内的位可以是单位可寻址的(individually addressable),也可以是以 4~16 位成组的参与寻址。举例来说,单位可寻址的 64 Mb 的存储器芯片被称为以 64M 字 × 1b(或简称为 64M × 1)构成的。这样的芯片需要用 26 位的地址线进行寻址($2^{26} = 67\,108\,864 = 64M$)。除此以外,该 64M 存储芯片也可以组织成 16M 字 × 4 位(16M × 4),这样就需要 24 位的地址线进行寻址。为简单起见,我们假设以后讨论的所有存储芯片均为单位可寻址的。

存储芯片的主体是由存储位信息的存储单元构成的。每个存储单元为可存储 1 位信息的电子电路。我们将在 11.4 节中具体讨论存储单元电路。通常在存储芯片上以正方形或者接近正方形的阵列方式排列存储单元较为理想,稍后我们将讨论其原因。图 11.17 具体说明了该结构。该存储单元阵列包含 2^M 行和 2^N 列,总存储容量为 2^{M+N} 。举例来说,一个 1 Mb 的正方形阵列将包括 1024 行和 1024 列($M = N = 10$)。在阵列中的每一个存储单元都将与 2^M 行中的某一行(通常称为字线)以及 2^N 列中的某一列(通常称为数据线或者位线)相连接。通过激励其相应的字线和位线,可选中特定的存储单元以进行读写操作。

通常对于 2^M 条字线中的特定字线的激励是通过行解码器实现的。所谓行解码器就是根据施加于解码器输入端的 M 位地址编码选择相应的字线(提升其电压)的组合逻辑电路。地址编码一般表示为 A_0, A_1, \dots, A_{M-1} 。当第 K 条字线被激励时,若该操作为读操作,则第 K 行的 2^N 个存储单元将在相应的位线上输出其所存储的数据。这就意味着,若第 L 列存储单元(如图 11.17 所示)存储的数据为 1(高电平),则第 L 条位线的电压将小幅上升,其上升幅度在 0.1 V 至 0.2 V 之间。选用较小的输出电压是考虑到存储单元的数目庞大且结构微小,该小额输出电压随后作用于连接位线的感应放大器。如图 11.17 所示,每条位线均有一个感应放大器与其相连,该感应放大器生成一个全摆幅的数字信号输出(在我们的例子里是从 0 至 V_{DD})。该数字信号连同其他选定行里的存储单元相对应的输出信号被传送到列解码器。列解码器根据施加于解码器输入端的 N 位地址编码(该地址编码一般表示为 $A_M, A_{M+1}, \dots, A_{M+N-1}$)选择相应列的输出信号,并使它出现在芯片的输入输出(I/O)数据线上。

写操作流程与上述读操作流程类似。首先将所要求存储的数据(1 或 0)放置于 I/O 数据线上。然后通过行地址与列地址的组合选中要存储数据的单元。所选中的列的感应放大器作为驱动电路将施加在数据线上的信号写入选中的存储单元。感应放大器和地址解码器的电路将在 11.5 节中讨论。

在结束关于存储器组织和存储芯片内部结构的讨论之前,我们还将述及一个新近在存储器组织结构方面的革新设计,其主要是用来满足迅速增长的芯片密度。为了理解这种革新的必要性,设想随着存储阵列中存储单元数目的增长,其相应的字线和位线的长度也相应增长。即使对于进

① 存储器存储二进制数的能力用单位 Kb 和 Mb 表示,即 1 Kb = 1024 b, 1 Mb = 1024 × 1024 = 1 048 576 b。因此,一个 64 Mb 的芯片能够存储 67 108 864 b 的信息。

一步缩小晶体管体积的新一代存储芯片而言（目前，一般使用 $0.1\text{--}0.3\ \mu\text{m}$ 的 CMOS 工艺），上述情况依然存在。字线和位线的增长致使其总电阻与总电容相应增大，从而使其瞬时响应的速度减慢。这也就意味着随着线长的增长，字线电压的指数上升速度减慢，因此激活一个存储单元需要更长的时间。现在可以通过将存储芯片分隔成许多区块来解决这个问题。每个区块的结构与图 11.17 所示完全相同。行地址与列地址被传递到所有区块，但只选取其中某一个区块的输出数据。区块的选取可通过选用适当位数的地址位作为区块地址编码来完成。这样的系统结构可被视为三维结构，即：行、列、区块。

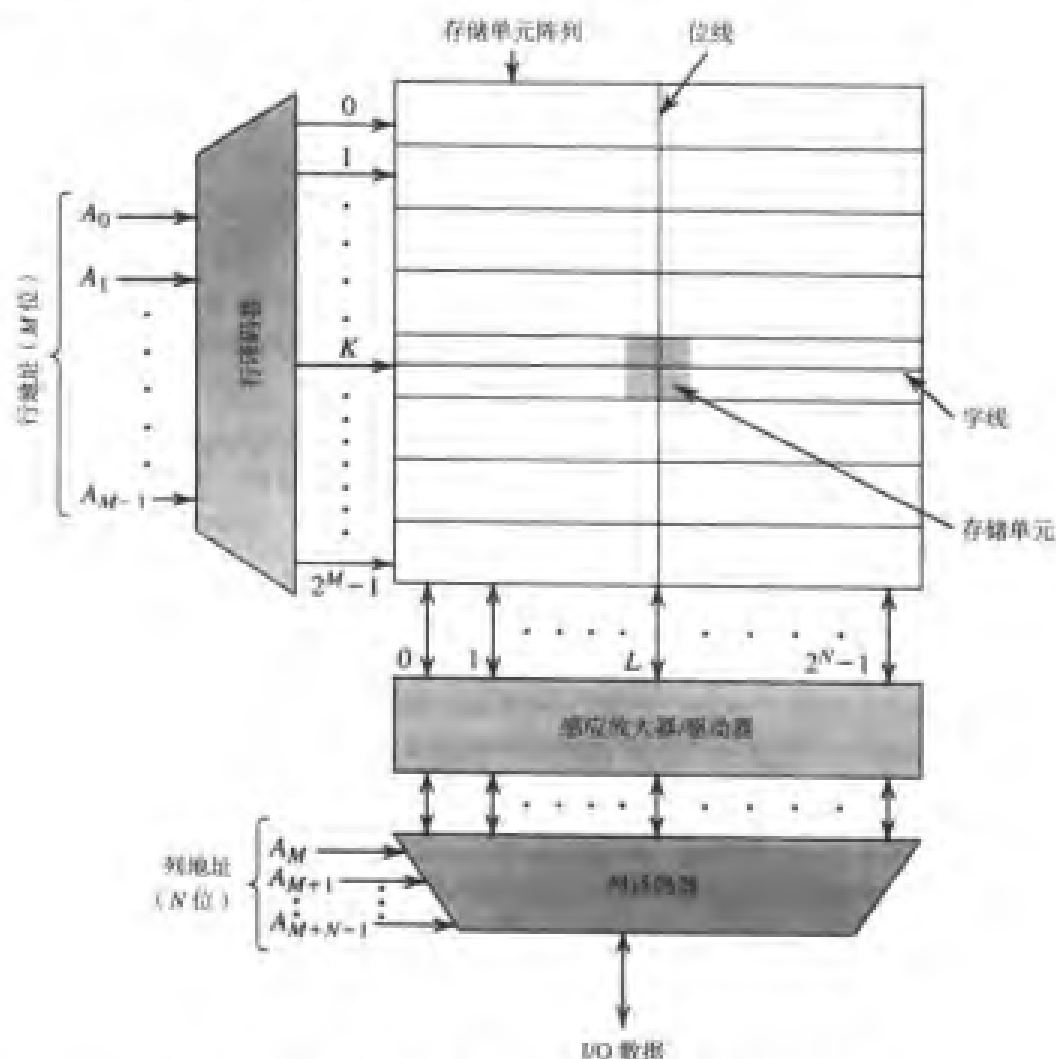


图 11.17 组织成 2^M 行 \times 2^N 列的 2^{M+N} 位存储器芯片

11.3.2 存储器芯片时序

所谓存储器访问时间，是指从开始一个读操作到出现输出数据的时间间隔。所谓存储器访问周期，是指连续两次存储器操作之间的最短时间间隔。从严格意义上来说，存储器操作通常包括在同一存储位置的读操作和写操作。MOS 存储器的访问时间和访问周期通常在几纳秒（ns）到几百纳秒（ns）之间。

练习 11.7 容量为 4 Mb 的存储器芯片被分割成 32 个区块，每个区块包含 1024 行和 128 列。试分别给出行地址编码、列地址编码和区块地址编码所需的编码位数。

答案：10；7；5

练习 11.8 某特定 MOS 存储芯片的字线由多晶硅(参见附录 A)构成, 每条字线的电阻约为 $5\text{ k}\Omega$, 与接地点之间的总电容为 2 pF 。假设字线由输出电压为 V_{DD} 的低阻反相器激励, 试确定字线电压上升至 $V_{DD}/2$ 时所需的时间(注意: 字线可以看做分布网络, 我们可以将其近似简化为一个由单个电阻和单个电容组成的集总电路)。

答案: 6.9 ns

11.4 随机存储器 (RAM) 单元

如 11.3 节所述, 存储器芯片主要由存储单元构成。这就意味着, 若要求将大量位数据存储在单个存储芯片上, 存储单元的体积需要尽可能地减小。同时, 单个存储单元的功率耗费也应该尽可能地降低。由此, 我们在 11.1 节介绍的许多触发器对于实现 RAM 芯片中的存储单元而言, 显得过于复杂而不再适用了。

MOS RAM 基本分为两类: 静态和动态。静态 RAM (简记为 SRAM) 使用静态触发器作为基本的存储单元; 而动态 RAM (简记为 DRAM) 则将其二进制数据存储在电容上, 从而进一步减少了存储单元的体积, 但为此付出的代价是具有更为复杂的读写电路。具体来说, 只要保持电源持续供电, 静态 RAM 可以一直保持其所存储的数据; 而动态 RAM 需要进行周期性刷新来重新生成存储在电容上的数据。这是因为存在着不可避免的泄漏电流, 造成存储电容缓慢放电。由于动态存储芯片的存储单元体积较小, 其存储密度通常可以达到静态存储芯片的 4 倍。事实上, 动态 RAM 和静态 RAM 均为易失性存储器, 即它们需要持续的电源维持工作。相反, 大部分 ROM 都属于非易失性存储器, 我们将在 11.6 节具体介绍。在下面几节里, 我们将介绍基本 SRAM 和 DRAM 的存储单元。

11.4.1 静态存储器单元

图 11.18 所示为一个典型的 CMOS 工艺制作的静态存储单元。之前我们曾在 11.1 节述及该电路, 该电路是一个由两个交叉耦合的反相器和两个存取晶体管 (Q_5 和 Q_6) 组成的触发器。当该字线被选中且其电压上升至 V_{DD} 时, 存取晶体管导通, 同时将触发器连接至列线 (位线或 B 线) 以及反相的列线 (\bar{B} 线或 \bar{B} 线)。注意, B 线和 \bar{B} 线均被使用。存取晶体管作为传输门允许触发器和 B 线及 \bar{B} 线之间的双向电流传输。

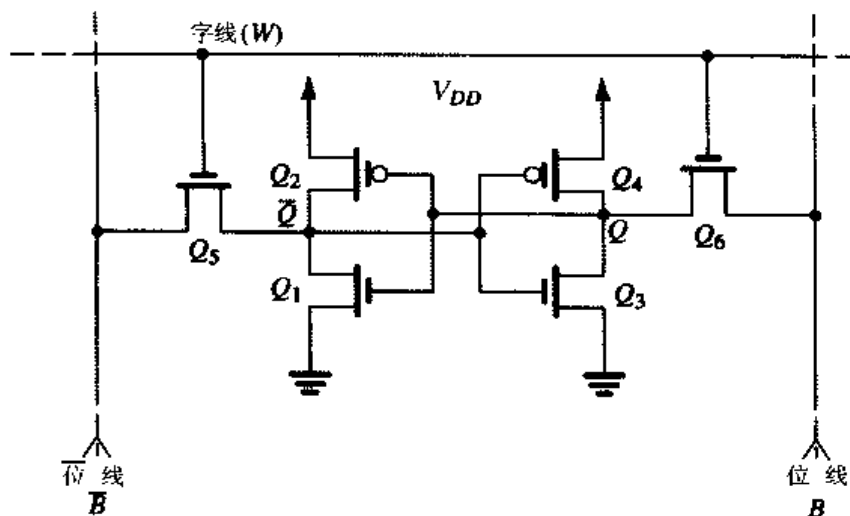


图 11.18 一个 CMOS 工艺制作的静态存储单元

读操作 首先考虑读操作, 假设存储单元的存储数据为 1。此时, Q 为高电平 V_{DD} , 而 \bar{Q} 为低电平 0 V。在读操作开始之前, B 线和 \bar{B} 线会被预充电至一个处于高、低电平之间的中间电压, 一般为 $V_{DD}/2$ (预充电实现电路将在 11.5 节和感应放大器一起介绍)。当该字线被选中并且 Q_5 和 Q_6 导通时, 我们可以看到电流将从 V_{DD} 经过 Q_4 和 Q_6 到达 B 线, 从而给 B 线上的电容 C_B 充电。而在电路的另一侧, 电流将从被预充电的 \bar{B} 线经 Q_5 和 Q_1 到达接地点, 从而使电容 $C_{\bar{B}}$ 放电。在读操作中与之相关的部分电路在图 11.19 中给出。

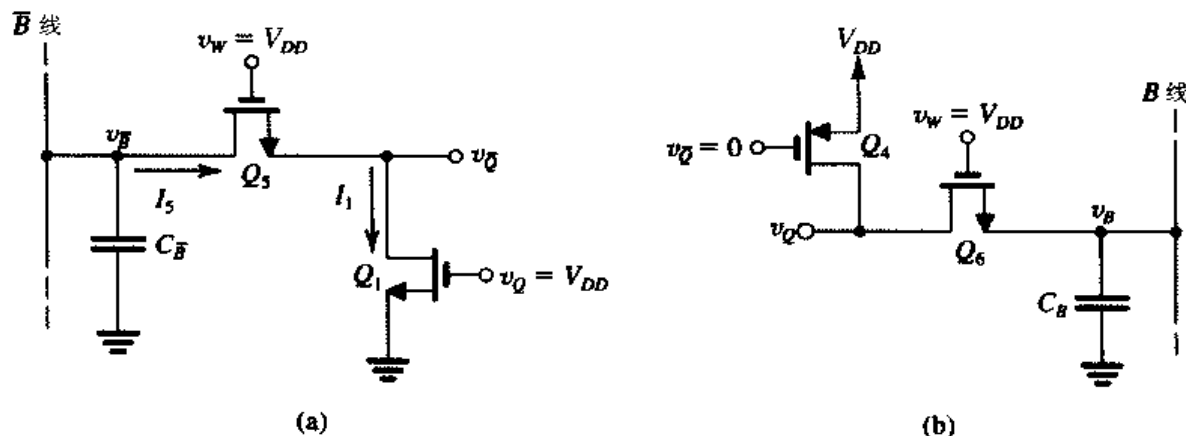


图 11.19 与读操作过程中相关的部分 SRAM 存储单元电路 (假设存储单元的存储数据为 1)。注意, 初始时 $v_Q = V_{DD}$, $v_{\bar{Q}} = 0$, 且通常情况下 B 线和 \bar{B} 线的电压会被预充电至 $V_{DD}/2$ 左右。然而, 在例题 11.2 中, 为简单起见, 假设预充电电压为 V_{DD}

由上所述, 我们可以发现当读取数据“1”时, 电容 C_B 两端的电压将会升高, 而电容 $C_{\bar{B}}$ 两端的电压将会降低, 由此在 B 线和 \bar{B} 线之间生成差分电压 $v_{B\bar{B}}$ 。通常, 只需 0.2 V 左右的差分电压就足以使感应放大器检测出存储单元中存储的 1。这里需要注意的是, 在设计存储单元的过程中要保证 v_Q 和 $v_{\bar{Q}}$ 足够小, 以防触发器在数据读出的过程中发生状态翻转。因此, SRAM 的读操作是非破坏性的。在典型的设计中, 每个反相器的 Q_N 和 Q_P 都是匹配的, 因而反相器门限电压为 $V_{DD}/2$ 。而存取晶体管通常采用宽度为反相器 Q_N 宽度的 2~3 倍的晶体管。

例题 11.2 此例的主要目的在于分析如图 11.18 所示的 CMOS SRAM 存储单元的动态工作过程。假设该存储单元的制造工艺参数如下: $\mu_n C_{ox} = 50 \mu\text{A}/\text{V}^2$, $\mu_p C_{ox} = 20 \mu\text{A}/\text{V}^2$, $V_{tn0} = -V_{tp0} = 1 \text{ V}$, $2\phi_f = 0.6 \text{ V}$, $\gamma = 0.5 \text{ V}^{1/2}$ 并且 $V_{DD} = 5 \text{ V}$ 。存储器单元晶体管 $(W/L)_n = 4/2$, $(W/L)_p = 10/2$, 而存取晶体管 $(W/L) = 10/2$ 。同时假设该存储单元存储数据 1, 而每条位线的电容为 1 pF, 试确定生成 0.2 V 输出电压所需的时间。为简化分析, 我们假设 B 线和 \bar{B} 线被预充电至 V_{DD} 。

解: 起初我们可能会认为该电路的动态分析相当复杂, 因而需要做许多假设以便简化分析过程。当然, 我们总是可以通过仿真模拟得到该电路的精确分析。然而, 即使只是利用纸和笔进行一种近似的分析过程, 也对我们理解该电路颇有益处。

如图 11.19 所示, 初始时 $v_Q = V_{DD}$, $v_{\bar{Q}} = 0$, $v_B = v_{\bar{B}} = V_{DD}$ 。很容易得到图 11.19 (b) 所示的电路不会导通的结果, 因此 v_B 保持为 V_{DD} 不变。然后再分析图 11.19 (a) 所示电路, 我们注意到, 由于在数据读出的过程中 $v_{\bar{B}}$ 只需变化了 0.2 V (例如从 5 V 下降到 4.8 V), 所以晶体管 Q_5 将持续工作在饱和区, 这样电容 $C_{\bar{B}}$ 将以恒定电流 I_5 放电。当晶体管 Q_1 导通时, 其漏极电压 $v_{\bar{Q}}$ 会上升。然而, 我们希望该上升不能超过反相器 (Q_3, Q_4) 的门限电压, 由于两个反相器的 p 型和 n 型晶体管相互匹配, 此处的门限电压为 $V_{DD}/2$ 。在一个短暂的时间间隔内, I_5 将对节点 \bar{Q} 和接地点之

间的小寄生电容进行充电,直到达到电压 $v_{\bar{Q}}$,该电压足以使晶体管 Q_1 工作于变阻区且导通电流 I_1 等于 I_{5c} 。导通电流 I_1 可表示为

$$I_1 = \mu_n C_{ox} \left(\frac{W}{L} \right) \left[(V_{DD} - V_{t1}) v_{\bar{Q}} - \frac{1}{2} v_{\bar{Q}}^2 \right]$$

其中,我们假设 $v_{\bar{Q}}$ 将保持为 V_{DD} 。由于 Q_1 的源极接地, $V_{t1} = 1\text{ V}$,故

$$I_1 = 50 \times \frac{4}{2} \left[(5-1)v_{\bar{Q}} - \frac{1}{2} v_{\bar{Q}}^2 \right] \quad (11.3)$$

分析晶体管 Q_5 可得到

$$I_5 = \frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L} \right)_5 (V_{DD} - v_{\bar{Q}} - V_{t5})^2$$

其中门限电压 V_{t5} 可由下式得到:

$$V_{t5} = 1 + 0.5(\sqrt{v_{\bar{Q}} + 0.6} - \sqrt{0.6}) \quad (11.4)$$

由于 $v_{\bar{Q}}$ 的值未知,因此需要通过迭代来求解。对于第一次迭代,我们假设 $V_{t5} = 1\text{ V}$,则 I_5 可表示为

$$I_5 = \frac{1}{2} \times 50 \times \frac{10}{2} (5 - v_{\bar{Q}} - 1)^2 \quad (11.5)$$

现在令式(11.3)中的 I_1 等于式(11.5)中的 I_5 求解 $v_{\bar{Q}}$,得 $v_{\bar{Q}} = 1.86\text{ V}$ 。然后用求得的 $v_{\bar{Q}}$ 代入式(11.4)进行二次迭代以确定 V_{t5} 。得到 $V_{t5} = 1.4\text{ V}$ 。该值随即被代入 I_5 的表达式,再次迭代,得到结果为 $v_{\bar{Q}} = 1.6\text{ V}$ 。该数值与前次迭代结果很接近,因此无需进一步迭代。此时可以确定电流 I_5 的数值为 $I_5 = 0.5\text{ mA}$ 。我们注意到 $v_{\bar{Q}}$ 确实小于 $V_{DD}/2$,因而不会造成触发器的状态翻转(满足条件)。事实上,该反相器的 V_{IL} 为 2.125 V ,因此对于 $v_{\bar{Q}}$ 保持 V_{DD} 恒定的假设成立,尽管事实上 $v_{\bar{Q}}$ 存在小幅波动,但是在此处做近似分析时我们就不再深入讨论了。

现在我们可以确定 \bar{B} 线上出现 0.2 V 压降时所需要的时间间隔,其表达式为

$$\Delta t = \frac{C_{\bar{B}} \Delta V}{I_5}$$

故

$$\Delta t = \frac{1 \times 10^{-12} \times 0.2}{0.5 \times 10^{-3}} = 0.4\text{ ns}$$

需要指出的是 Δt 仅仅是构成读操作延迟的一部分,另一个重要的组成部分是由于字线电压的有限上升时间造成的。事实上,对于 Δt 的计算也是理想化的,因为当 $C_{\bar{B}}$ 开始放电过程时字线电压尚未达到电压值 V_{DD} 。

另一个更为近似(但也更快速)的求解方法是从图11.19(a)观察得到 Q_1 和 Q_5 具有相同的栅极电压(V_{DD})且为串行连接结构。我们可以将其近似看做一个单独的晶体管,其 W/L 值为

$$(W/L)_{\text{eq}} = \frac{1}{\frac{1}{(W/L)_1} + \frac{1}{(W/L)_5}} = \frac{1}{\frac{1}{2} + \frac{1}{10}} = \frac{10}{7}$$

等效晶体管将工作于饱和区,因此其电流 I 为

$$I = \frac{1}{2} \times 50 \times \frac{10}{7} (5-1)^2 = 0.57 \text{ mA}$$

该数值仅比先前得到的数值大了 14%。 $v_{\bar{Q}}$ 的电压值可以通过将电流 I 的数值和晶体管 Q_1 (工作于变阻区) 的 r_{DS} 电阻近似值相乘求得:

$$r_{DS} = 1/[50 \times 10^{-6} \times \frac{4}{2} \times (5-1)] = 2.5 \text{ k}\Omega$$

故

$$v_{\bar{Q}} = 0.57 \times 2.5 = 1.4 \text{ V}$$

该结果同样与先前求得的数值相当接近。 ■

写操作 接下来考虑写操作。假设存储单元初始时存储数据 1 ($v_Q = V_{DD}$, $v_{\bar{Q}} = 0$), 而我们希望写入数据 0。为此, B 线电压降低至 0 V, 而 \bar{B} 线电压上升至 V_{DD} , 同时提升字线电压至 V_{DD} 以选中该存储单元。图 11.20 所示为写操作相关部分的电路, 在此期间, 节点 \bar{Q} 的电压被拉升至门限电压 $V_{DD}/2$ [见图 11.20 (a)], 而节点 Q 的电压则被拉低至 $V_{DD}/2$ [见图 11.20 (b)]。电容 C_Q 和 $C_{\bar{Q}}$ 分别是节点 Q 和 \bar{Q} 的寄生电容。我们可以通过对两个电路的近似分析来确定状态翻转所需要的时间。注意, 当 v_Q 或 $v_{\bar{Q}}$ 中任何一个达到 $V_{DD}/2$ 时, 都将会出现再生反馈机制, 从而导致触发器翻转。一旦发生这种情况, 正反馈效应会起主导作用, 图 11.20 所示的电路将不再适用。

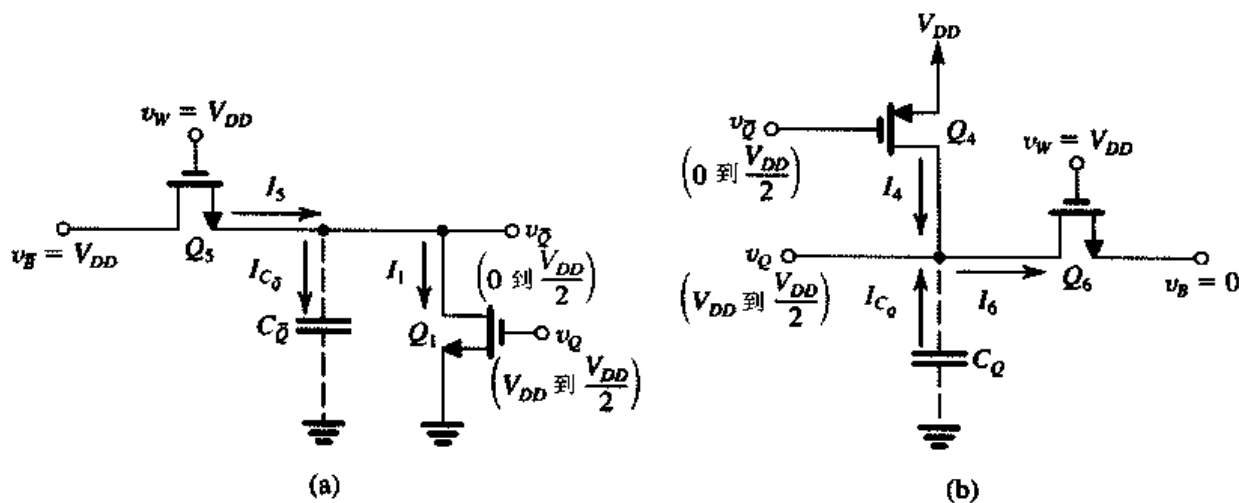


图 11.20 SRAM 读操作的相关部分电路。初始时, SRAM 存储数据 1 而数据 0 待写入。该等效电路在翻转过程发生前有效: (a) 该电路将节点 \bar{Q} 的电压拉升至 $V_{DD}/2$; (b) 该电路将节点 Q 的电压拉低至 $V_{DD}/2$

这里我们将简要说明图 11.20 所示电路的工作原理, 具体的分析留给读者在练习 11.9 以及习题 11.23 和习题 11.24 中完成。首先考虑图 11.20 (a) 所示电路, 其中 Q_3 将工作于饱和区。初始时, 其源极电压为零, 因此 V_{t3} 等于 V_{0c} 。同时, Q_1 由于其漏极电压为零, 因此处于关断状态。电流 I_3 初始时将流入 $C_{\bar{Q}}$, 对其进行充电, 从而使 $v_{\bar{Q}}$ 逐渐上升, 导致 Q_1 导通。此时 Q_1 将工作于变阻区, 其导通电流 I_1 将分流部分 I_3 , 因此减小了 $C_{\bar{Q}}$ 的充电电流。同时, 随着 $v_{\bar{Q}}$ 逐步上升, 由于衬底效应的存在, V_{t3} 将逐步增大而导致 I_3 减小。另一方面由于图 11.20 (b) 所示电路的作用, v_Q 将由 V_{DD} 下降至 $V_{DD}/2$, 因而造成电流 I_1 的相应减小。尽管情况较为复杂, 然而我们仍能比较容

易地得到充电电流 I_{C_Q} 在写操作过程^①中(起始状态: $v_Q = V_{DD}$, $v_{\bar{Q}} = 0$; 终止状态: $v_Q = V_{DD}/2$, $v_{\bar{Q}} = V_{DD}/2$) 的近似平均值, 因此我们可以用该电流值计算 $C_{\bar{Q}}$ 两端电压上升 $V_{DD}/2$ 时所需要的时间。

图 11.20 (b) 所示电路与上述电路工作原理基本相同, 不同之处在于该电路中两个晶体管均不受到衬底效应的影响, 因此该电路能够提供电容 C_Q , 与图 11.20 (a) 所示电路给予 $C_{\bar{Q}}$ 的充电电流相比能够给 C_Q 提供更大的放电电流。其结果是 C_Q 的放电过程比 $C_{\bar{Q}}$ 的充电过程更快。换言之, v_Q 将早于 $v_{\bar{Q}}$ 达到电压值 $V_{DD}/2$ 。由此可得, 该部分的写操作延迟时间的估算只需考虑图 11.20 (b) 所示电路的工作时间。

写操作的另一部分延迟主要是由触发器的翻转决定的, 我们可以将其近似为单个反相器翻转的延迟时间。

练习 11.9 考虑如图 11.20 (b) 所示的电路, 并假设其设备尺寸和制造工艺参数与例题 11.2 相同。试确定电容 C_Q , 从而使其端电压从 V_{DD} 降至 $V_{DD}/2$ 所需的放电时间 Δt 。

(a) 在 Δt 的始端, 试分别确定 I_4 , I_6 和 I_{C_Q} 的值。

(b) 在 Δt 的末端, 试分别确定 I_4 , I_6 和 I_{C_Q} 的值。

(c) 试估算在 Δt 过程中 I_{C_Q} 的平均值。

(d) 若 $C_Q = 50$ fF, 试估算 Δt 。

答案: (a) $I_4 = 0$, $I_6 = 2$ mA, $I_{C_Q} = 2$ mA; (b) $I_4 = 0.11$ mA, $I_6 = 1.72$ mA, $I_{C_Q} = 1.61$ mA; (c) $I_{C_Q,av} = 1.8$ mA; (d) $\Delta t = 69.4$ ps

由练习 11.9 的结果可知, 该部分的写操作延迟要远小于相应部分的读操作延迟。这是因为在读操作过程中仅需对较小的电容 C_Q 进行充电(或放电), 而在读操作过程中需要对远大于 C_Q 的 B 线或者 \bar{B} 线电容进行充电(或放电)。事实上, 在写操作过程中, B 线和 \bar{B} 线电容的充电(或放电)是由驱动电路迅速完成的, 因此写操作的主要延迟时间取决于字线电压的有限上升时间所造成的延迟。

11.4.2 动态存储器单元

很多年以来, 一直有不同的 DRAM 存储单元结构被提出, 但惟独图 11.21 所示的特定存储单元结构被广泛采用并成为行业标准。该存储单元由一个 n 沟道 MOS 管(也称为存取晶体管)和一个存储电容 C_S 组成, 因此该存储单元又被称为单一晶体管存储单元^②。晶体管的栅极与字线相连, 而其源极(或漏极)与位线相连。注意, DRAM 结构中仅需使用一条位线, 而 SRAM 结构中需要同时使用位线和 $\bar{\text{位线}}$ 。

DRAM 存储单元将其位信息转化为电荷存储于电容 C_S 上。当单元存储数据 1 时, 电容将被充电至电压 $(V_{DD} - V_t)$; 当单元存储数据 0 时, 电容将被放电至零电压^③。由于泄漏电流的存在, 电容电荷将会不断流失, 因而该存储单元必须周期性地刷新。在刷新的过程中, 存储单元的数据被读出并重新写入, 从而使其电容电压恢复到适当的幅值。刷新操作必须每 5 ms 至 10 ms 执行一次。

① 上述情况基于 v_Q 和 $v_{\bar{Q}}$ 同时到达电压值 $V_{DD}/2$ 的假设。而我们稍后将讲到这并不完全符合事实。尽管如此, 在近似估算写操作延迟时间的过程中, 该假设仍具有一定的合理性。

② 该名称原本是用来区分该存储单元与原先使用的三个晶体管的存储单元的。

③ 之所以把数值“1”的电压值存储为 V_{DD} 减去门限电压 V_t 的原因在于: 考虑写入数值“1”的操作。此时, 字线电压为 V_{DD} , 位线电压为 V_{DD} , 晶体管导通, 对 C_S 进行充电。而考虑衬底效应 V_t 要略大于 V_{t0} , 因此晶体管将在 C_S 电压达到 $(V_{DD} - V_t)$ 时关断。之前, 我们已经在 10.5 节讨论传输逻辑时详细分析过此类情况。

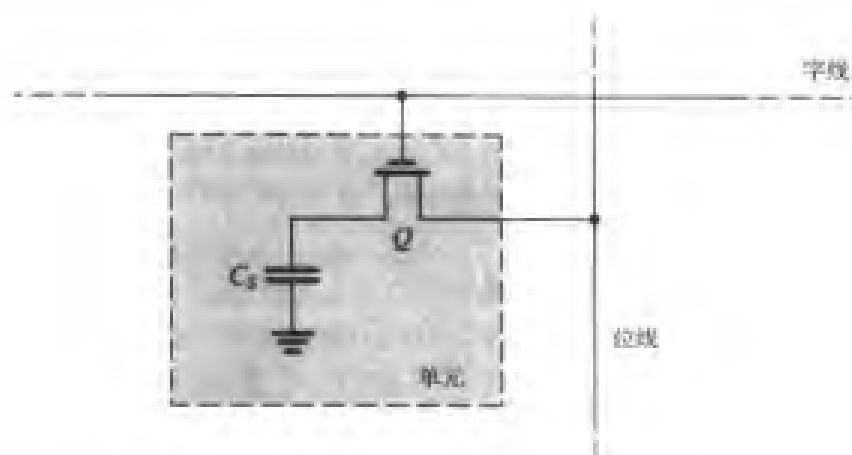


图 11.21 单一晶体管的动态 RAM 存储单元。

现在让我们来具体讨论一下 DRAM 的工作原理。与静态 RAM 一样,行解码器通过提升字线电压来选中特定的行进行操作。这将使得选定行的所有存取晶体管导通,从而使得该行所有单元的存储电容与其相应的位线连通。此时,单元电容 C_s 与位线电容 C_B 并联,如图 11.22 所示。要注意的是,这里的 C_s 一般为 30 fF 至 50 fF,而 C_B 是其容量的 30~50 倍。现在,考虑读操作,位线被预充电至电压值 $V_{DD}/2$ 。为了考察在连通存储单元电容 C_s 后位线上电压的变化,假设存储单元电容的初始电压为 V_{CS} (当存储数据 1 时, $V_{CS} = V_{DD} - V_t$; 当存储数据 0 时, $V_{CS} = 0$ V)。考虑到电荷守恒,得到

图 11.22 当被选中字线的电压上升时,晶体管导通,从而使存储电容 C_s 和位线电容 C_B 连通

$$C_s V_{CS} + C_B \frac{V_{DD}}{2} = (C_B + C_s) \left(\frac{V_{DD}}{2} + \Delta V \right)$$

从中可以解得 ΔV 为

$$\Delta V = \frac{C_s}{C_B + C_s} \left(V_{CS} - \frac{V_{DD}}{2} \right) \quad (11.6)$$

由于 $C_B \gg C_s$, 故

$$\Delta V \approx \frac{C_s}{C_B} \left(V_{CS} - \frac{V_{DD}}{2} \right) \quad (11.7)$$

若该单元存储数据 1, $V_{CS} = V_{DD} - V_t$, 则

$$\Delta V(1) = \frac{C_s}{C_B} \left(\frac{V_{DD}}{2} - V_t \right) \quad (11.8)$$

若该单元存储数据 0, $V_{CS} = 0$, 则

$$\Delta V(0) = -\frac{C_s}{C_B} \left(\frac{V_{DD}}{2} \right) \quad (11.9)$$

由于 C_B 通常比 C_s 大很多,因此读出电压一般很小。举例来说,假设 $C_B = 30 C_s$, $V_{DD} = 5$ V, $V_t = 1.5$ V, 则得到 $\Delta V(0)$ 约为 -83 mV 并且 $\Delta V(1)$ 约为 33 mV。上述计算基于最好情况的假设,因为

存储数据 1 时存储电容的电压很有可能达不到 $(V_{DD} - V_t)$ 。除此以外,在现代存储器芯片中采用的 V_{DD} 一般为 3.3 V 或者更低。但无论如何还是可以看到,存储单元存储数据 1 时将造成位线电压的小幅上升,而存储单元存储数据 0 时将造成位线电压的小幅下降。同时应注意,由于读出过程后 C_S 的端电压已经不再是 $(V_{DD} - V_t)$ 或 0 V,因此该读出过程是破坏性的。

位线电压的变化是由列感应放大器检测和放大的,放大后的信号又被施加在存储电容上,从而将其存储信号恢复到适当的数值 $(V_{DD} - V_t)$ 或 0。按此方法,所选行的所有存储单元均被刷新,同时,经列地址解码器解码,被选中列的感应传感器的输出信号被传输至存储芯片的数据输出总线上。

写操作的工作原理与读操作基本相同。惟一不同的是,在数据输入总线上作用的待写入的数据是由列解码器施加到所选定的位线上的。因此,当代写入的数据为 1 时, B 线电压将被提升至 V_{DD} (即将 C_B 充电至 V_{DD})。当特定存储单元的存取晶体管导通时,其存储电容 C_S 将被充电至 $V_{DD} - V_t$,从而将数据 1 被写入存储单元。与此同时,所选行的所有其他存储单元均被刷新。

尽管读操作和写操作都将使所选行的所有存储单元自动刷新,但特定的存储芯片规定,必须每隔 5 ms 至 10 ms 对存储器芯片里的所有存储单元进行周期性的刷新。该刷新操作是以一次一行的猝发模式实现的。在刷新的过程中,存储芯片将无法实现读写操作。然而,这并不是一个严重的问题。事实上,完全刷新整个存储芯片所需的时间一般仅为整个刷新周期时间的 2%。换言之,在大于 98% 的时间里,我们可以对该存储芯片进行正常的读写操作。

练习 11.10 考虑一块动态存储器芯片, $C_S = 30$ fF, $C_B = 1$ pF, $V_{DD} = 5$ V, V_t (包括衬底效应) = 1.5 V, 试求存储 1 和存储 0 时输出端的读出电压。注意,在读操作中,位线的预充电电压为 $V_{DD}/2$ 。

答案: 30 mV; -75 mV

练习 11.11 一块 64 Mb 的 DRAM 芯片由 $0.4 \mu\text{m}$ 的 CMOS 工艺制造,每个单元的面积为 $2 \mu\text{m}^2$ 。如果存储阵列是正方形的,试估算其尺寸。另外,如果外围电路(如读放大器、译码器等)占用了另外 30% 的芯片面积,估算芯片的尺寸。

答案: $11.6 \text{ mm} \times 11.6 \text{ mm}$; $13.2 \text{ mm} \times 13.2 \text{ mm}$

11.5 读放大器与地址译码器

上面我们介绍了组成 SRAM 和 DRAM 中存储单元的常用电路,现在来看存储器芯片中其他一些重要的电路模块。这些电路通常被称为存储器外围电路。对集成电路设计人员来说,设计这些电路既是挑战也是机遇。增强外围电路的性能意味着可以得到密度更高、速度更快的存储器芯片,同时还可以减少功耗。

11.5.1 读放大器

除了存储单元之外,读放大器是存储器芯片中最为重要的部分。读放大器对 DRAM 的正常工作起着重要作用,而在 SRAM 中使用读放大器则可以提升速度和减小面积。

实际使用的读放大器有很多种,其中一些与第 7 章中介绍的有源负载 MOS 差分放大器类似。这里,我们来看一个使用正反馈的差分放大器。由于电路是差分的,因此可以直接在 SRAM 中使用,因为 SRAM 单元同时使用了 B 和 \bar{B} 线。另一方面,11.4.2 节中讨论的单管 DRAM 电路只使用了一条位线,属于单端输出电路。但是,可以使用“虚设单元”工艺(稍后介绍)将 DRAM 电路模拟成一个差分信号源。因此,我们可以认为,需要放大输出的存储器单元在 B 和 \bar{B} 线之间建立了一个差分输出电压。根据存储器类型和单元结构的不同,该电压介于 30 mV 和 500 mV 之间。这个电压施加到读放大器的输入端,然后读放大器在输出端生成一个全摆幅(0 到 V_{DD})的信号

电压。我们将要讨论的放大器电路具有一个独特的性质：它的输入与输出端是相同的！

一个正反馈读放大器 图 11.23 所示是一块 RAM 芯片中的读放大器和一些列电路。注意，读放大器就是我们熟悉的锁存器，由两个交叉耦合的 CMOS 反相器组成： Q_1 和 Q_2 组成一个反相器，另一个则由 Q_3 和 Q_4 组成。 Q_5 和 Q_6 用做开关，仅当需要进行数据读操作时才会将读放大器与地或 V_{DD} 相连。其他时刻 ϕ_1 为低电平，读放大器关闭。通常，每一列有一个读放大器，因此整个芯片就有许多个读放大器。这样做可以减少耗电，这是很重要的一个考虑因素。同时，可以看到 x 和 y 端同时是放大器的输入与输出端。如图所示，这些 I/O 端口与 B 和 \bar{B} 线连接。放大器需要检测到出现在 B 和 \bar{B} 之间的微弱信号并将其放大，最终能够在 B 和 \bar{B} 之间提供一个全摆幅的信号。例如，当进行读操作时，单元内存储的是 1，一个微小的正电压会出现在 B 和 \bar{B} 之间，即有 v_B 高于 $v_{\bar{B}}$ 。然后放大器使得 v_B 升高为 V_{DD} ， $v_{\bar{B}}$ 降低到 0 V。这个 1 输出通过列地址译码器（图中未画出）直接传递到芯片的 I/O 管脚上，同时利用这个信号在 DRAM 单元中重新写入 1。这个复位操作是必须的，因为 DRAM 的读出操作具有破坏性。

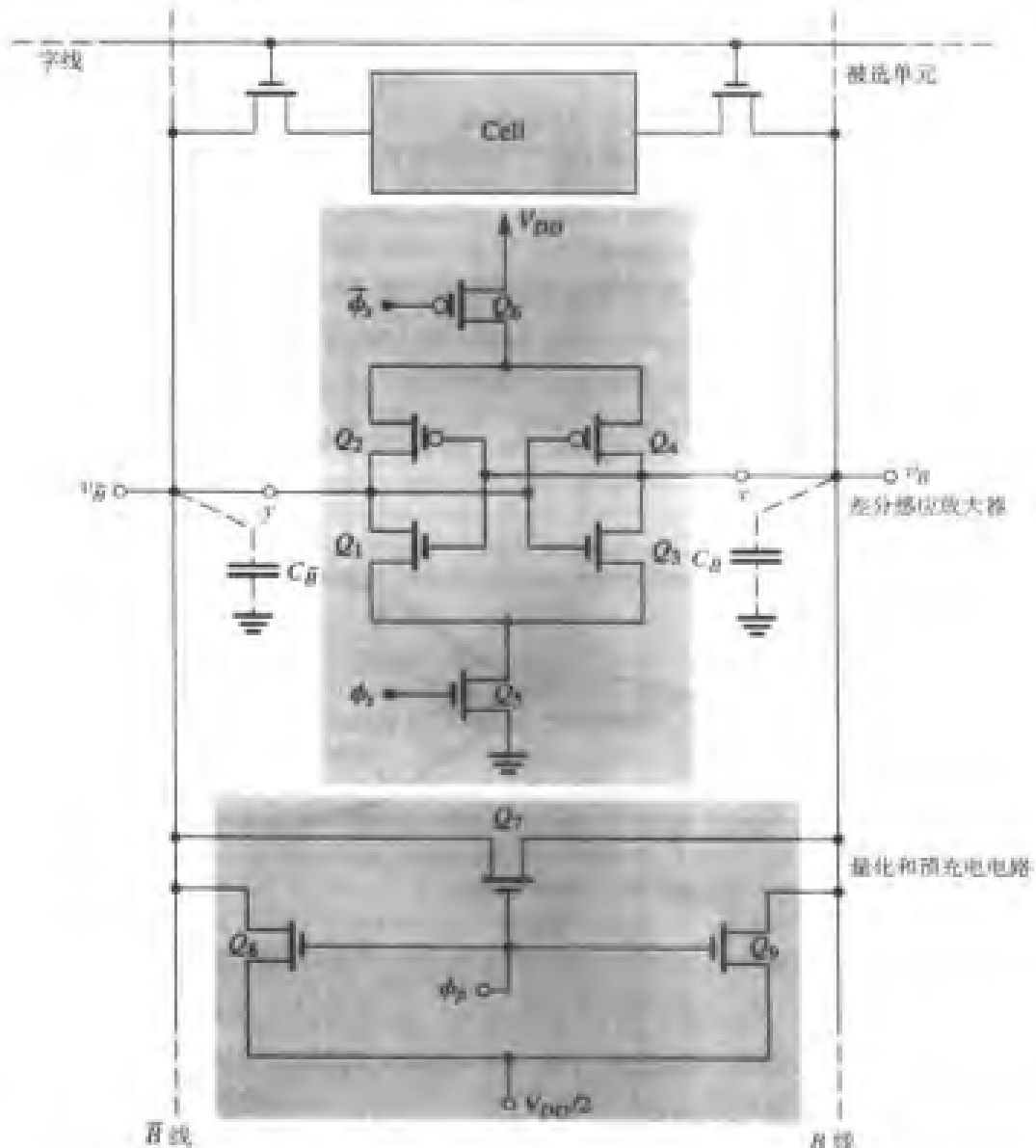


图 11.23 连接到某一列位线的差分读放大器。这种电路结构可以在 SRAM（同时使用 B 和 \bar{B} 线）中直接使用。DRAM 则可以利用图 11.25 中的“虚设单元”结构转化为这种差分形式

图 11.23 同时给出了预充电和平衡电路。这个电路的工作方式很简单：当 ϕ_p 在读操作之前升高时，三个晶体管全部导通。 Q_8 和 Q_9 将 \bar{B} 线和 B 线预充电至 $V_{DD}/2$ ， Q_7 则通过使这两条线的初始电压相等来加速这一过程。这一平衡过程对读放大器的正常工作来说十分重要。 B 和 \bar{B} 在读操作之前的任何电压差别都可能导致读放大器对输入信号的错误识别。在图 11.23 中，我们仅仅画出了某一系列中的一个单元。也就是说，仅仅给出了字线被选中的那个单元。这个单元可以是 SRAM，也可以是 DRAM 单元。这一系列中的其他单元不与 B 线和 \bar{B} 线相连（因为它们的字线保持为低电平）。

现在我们来观察一个读操作中发生的一系列事件：

1. 控制信号 ϕ_p 升高，激活预充电和平衡电路，这会导致 B 线和 \bar{B} 线的电压相等，均为 $V_{DD}/2$ 。然后时钟 ϕ_p 变低， B 线和 \bar{B} 线在一段很短的时间内浮空。
2. 字线电压升高，将某单元与 B 线和 \bar{B} 线相连。 B 线和 \bar{B} 线之间出现一个电压，当存储单元存储的是 1 时 v_B 高于 $v_{\bar{B}}$ ，当存储的是 0 时 v_B 低于 $v_{\bar{B}}$ 。为了简化单元的设计并加快高速操作，由存储单元提供的在 B 线和 \bar{B} 线之间的读出电压一般很小（典型值为 30 ~ 500 mV）。
3. 一旦存储单元在 B 线和 \bar{B} 线之间建立了一个合适的差分电压信号，读放大器开始工作。这一过程由读控制信号 ϕ_s 的升高激活，通过利用 Q_5 和 Q_6 将读放大器与地和 V_{DD} 相连来完成。由于开始时反相器的输入端电压为 $V_{DD}/2$ ，反相器工作在传输区，增益较大（参见 10.2 节）。于是起始时锁存器工作在不稳定平衡点上。因此，根据输入端之间的信号，锁存器会很快转移到其两个稳定平衡点之一（参见 11.1 节关于锁存器的工作描述）。这一过程由再生实现，即存在正反馈的作用。图 11.24 清楚地说明了这一点。图中同时给出了读 1 和读 0 操作时位线上的信号波形。可以看到，一旦启动，由单元提供的微小初始电压差 $\Delta V(1)$ 或者 $\Delta V(0)$ 在读放大器作用下将按指数规律变为 V_{DD} （读 1 操作）或者 0（读 0 操作）。 \bar{B} 线上的信号波形应与图 11.24 中给出的 B 线相反。下面，我们将定量讨论 v_B 和 $v_{\bar{B}}$ 的指数变化过程。

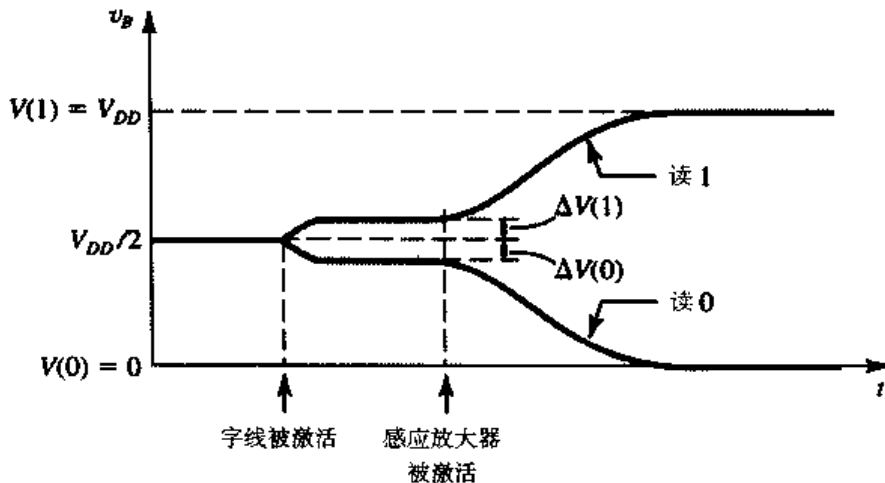


图 11.24 读放大器启动前后 v_B 的波形。读 1 操作时，读放大器使得初始微小正电压 $\Delta V(1)$ 按指数规律变为 V_{DD} 。读 0 操作时，负电压 $\Delta V(0)$ 则变为 0。 \bar{B} 线上的信号波形相反。

读放大器工作的进一步讨论 得到图 11.23 所示读放大器的输出信号的精确表达式的过程极其复杂。其中需要利用反相器电压传输特性的大信号（因而是非线性的）模型，还要考虑正反馈的作用。这里我们不采用这种方法，而是利用半定量的方式来考察这一过程。

我们知道，当读放大器启动时，其两个反相器都工作在 $V_{DD}/2$ 的传输区。因此，对于小信号来说，反相器模型可以用 g_{mn} 和 g_{mp} 表示。 g_{mn} 和 g_{mp} 分别是在输入偏置为 $V_{DD}/2$ 时 Q_N 和 Q_P 的跨

导。也就是说,当某一反相器输入端的 $V_{DD}/2$ 电压叠加上一个小信号 v_i 时,反相器输出的电流信号即为 $(g_{mn} + g_{mp})v_i \equiv G_m v_i$ 。这一输出电流传递给 C_B 和 $C_{\bar{B}}$ 两个电容之一。电容两端形成的电压接着又被反馈给另一个反相器,其与 G_m 相乘形成流向另一个电容的电流,依次类推形成再生过程。环路的正反馈意味着环路中的信号以及 v_B 和 $v_{\bar{B}}$ 的增大或减小都按照指数规律变化(见图 11.24),时间常数为 (C_B/G_m) [或 $(C_{\bar{B}}/G_m)$, 因为上面假定 $C_B = C_{\bar{B}}$]。

因此,对于读 1 操作可得

$$v_B = \frac{V_{DD}}{2} + \Delta V(1)e^{(G_m/C_B)t} \quad v_B \leq V_{DD} \quad (11.10)$$

而对于读 0 操作可得

$$v_B = \frac{V_{DD}}{2} - \Delta V(0)e^{(G_m/C_B)t} \quad (11.11)$$

由于这两个表达式是在假定小信号工作情况下得到的,因此仅在接近 $V_{DD}/2$ 的范围内能够较为准确地描述 v_B 的指数增大(或减小)过程。但是,可以利用它们来合理估计位线上形成某一信号电平所需的时间。

例题 11.3 考虑读 1 操作时图 11.23 所示的读放大器电路。假定存储单元在 B 线上提供的电压增量 $\Delta V(1) = 0.1 \text{ V}$ 。如果放大器中 NMOS 晶体管的 $(W/L)_n = 12 \mu\text{m}/4 \mu\text{m}$, PMOS 晶体管的 $(W/L)_p = (30 \mu\text{m}/4 \mu\text{m})$ 。并假定制造工艺的其他参数同例题 11.2。求 v_B 达到 4.5 V 时所需的时间。设 $C_B = 1 \text{ pF}$ 。

解: 首先,我们求出跨导 g_{mn} 和 g_{mp} :

$$\begin{aligned} g_{mn} &= \mu_n C_{ox} \left(\frac{W}{L} \right)_n (V_{GS} - V_t) \\ &= 50 \times \frac{12}{4} (2.5 - 1) \\ &= 0.225 \text{ mA/V} \end{aligned}$$

$$\begin{aligned} g_{mp} &= \mu_p C_{ox} \left(\frac{W}{L} \right)_p (V_{GS} - |V_t|) \\ &= 20 \times \frac{30}{4} (2.5 - 1) = 0.225 \text{ mA/V} \end{aligned}$$

因此,反相器的 G_m 为

$$G_m = g_{mn} + g_{mp} = 0.45 \text{ mA/V}$$

v_B 指数增长的时间常数 τ 为

$$\tau \equiv \frac{C}{G_m} = \frac{1 \times 10^{-12}}{0.45 \times 10^{-3}} = 2.22 \text{ ns}$$

v_B 达到 4.5 V 所需的时间 Δt 可由下式求得:

$$4.5 = 2.5 + 0.1e^{\Delta t/2.22}$$

即

$$\Delta t = 6.65 \text{ ns} \quad \blacksquare$$

在动态 RAM 中模拟差分工作 前述的读放大器能够响应位线间的差分信号。因此,它能够抑制同时出现在位线上的干扰信号,比如因为与字线发生容性耦合产生的干扰。要使这种共模抑制能力有效,必须注意使放大器两侧都匹配,因此要谨慎设计每一侧的信号供给电路。DRAM 单

元实质上为单端输出, 要使其表现出差分特性, 所有的设计方案都必须考虑到这一点。下面我们讨论其中一个巧妙的方案。尽管这个方案的提出已有很多年 (参见本书的第一版, 1982 年出版) 了, 然而现在仍在使用。图 11.25 给出了这一方案。

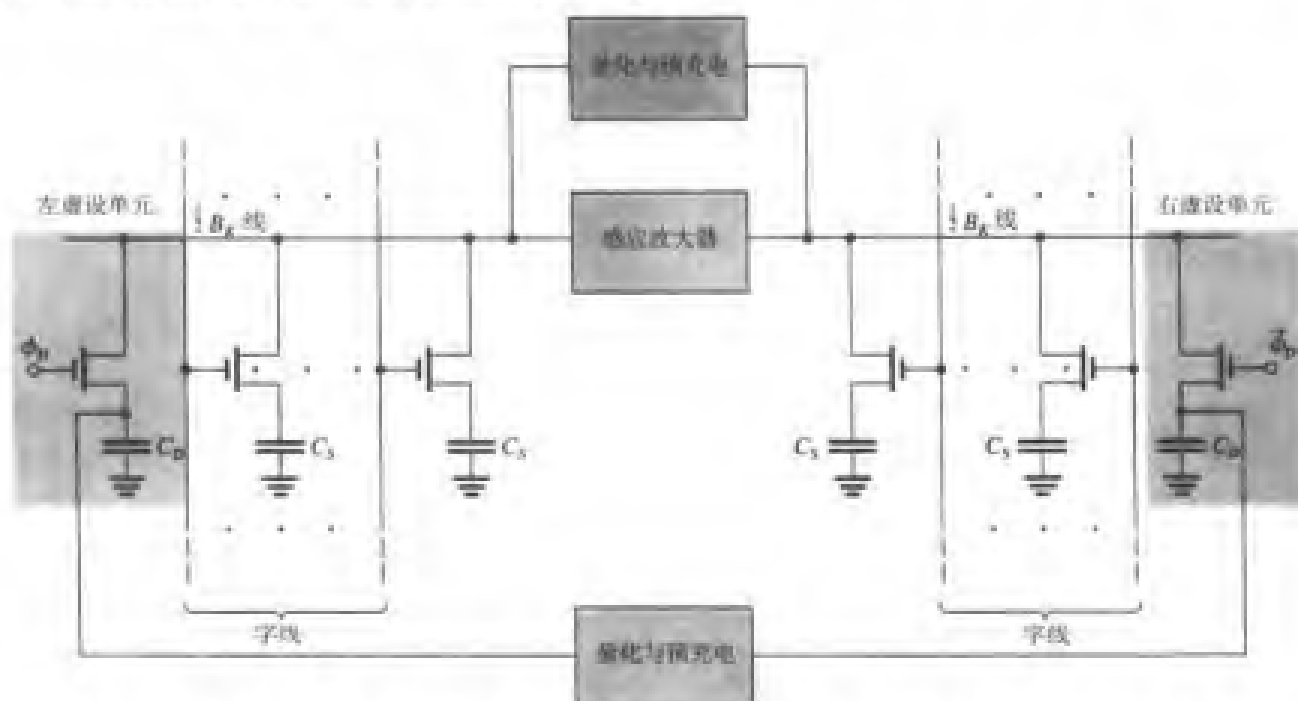


图 11.25 由单端 DRAM 得到具有差分工作性质的电路。注意, 位于最左侧和最右侧的虚拟单元

简单地说, 每个位线都被拆分成完全相同的两半。一半连接到列中一半的单元, 另一半则连接到一个被称为虚拟单元的额外单元, 它有存储电容 $C_D = C_S$ 。当左侧的字线被选中中进行读操作时, 右侧的虚拟单元 (由 $\bar{\phi}_D$ 控制) 同时被选中, 反之亦然。即当右侧的字线被选中时, 左侧的虚拟单元 (由 ϕ_D 控制) 同时也被选中。实际上, 虚拟单元的作用相当于一个差分 DRAM 单元的另一半。当左半部分的位线工作时, 右半部分的位线作为其互补部分出现 (即 \bar{B} 线), 反之亦然。

图 11.25 所示电路的工作情况如下所述: 线的两半预充电至 $V_{DD}/2$ 且保持平衡。同时, 两个虚拟单元的电容也被充电到 $V_{DD}/2$ 。接下来, 一条字线被选中, 另一侧的虚拟单元也被激活 (ϕ_D 或 $\bar{\phi}_D$ 升高到 V_{DD})。因此, 连接到选中单元的那一半线上会产生一个电压增量 (大约为 $V_{DD}/2$) $\Delta V(1)$ 或者 $\Delta V(0)$ (对应于单元内存储的是 1 还是 0)。同时另一半线上的电压仍会保持在 C_D 上的电压 (即 $V_{DD}/2$)。当读放大器启动时, $\Delta V(1)$ 或者 $\Delta V(0)$ 作为差分信号被其检测到并进行放大。同样, 当再生过程结束时, 放大器使得该线一半的电压为 V_{DD} , 另一半的电压为 0。

练习 11.12 在保持反相器匹配的前提下, 要求通过增大晶体管的 g_m 使例题 11.3 中的读放大电路的时间 Δt 下降到 4 ns。n 沟道和 p 沟道器件的 (W/L) 比值将为多大?

答案: $(W/L)_n = 5$; $(W/L)_p = 12.5$

练习 11.13 考虑例题 11.3 中的读放大器, 如果单元提供的信号仅为一半大小 (即 50 mV), 则 Δt 将为多大?

答案: 8.19 ns, 增加 23%

11.5.2 行地址译码器

11.3 节中指出, 对应于 M 位的地址输入, 行地址译码器需要选通 2^M 条字线中的某一条。例

如, 考虑 $M=3$ 的情况。将三位地址位记做 A_0, A_1 和 A_2 , 8 条字线记做 W_0, W_1, \dots, W_7 。通常, 当 $A_0=0, A_1=0$ 和 $A_2=0$ 时, 字线 W_0 为高电平。因此, 我们可以将 W_0 表示为 A_0, A_1 和 A_2 的一个布尔函数:

$$W_0 = \overline{A_0} \overline{A_1} \overline{A_2} = \overline{A_0 + A_1 + A_2}$$

因此, 将一个三输入或非门的三个输入端分别与 A_0, A_1 和 A_2 相连, 输出端与字线 0 相连, 就可以实现对 W_0 的选通。当 $A_0=1, A_1=1$ 和 $A_2=0$ 时, 字线 W_3 为高电平, 故

$$W_3 = A_0 A_1 \overline{A_2} = \overline{\overline{A_0} + \overline{A_1} + A_2}$$

因此, 将一个三输入或非门的三个输入端分别与 $\overline{A_0}, \overline{A_1}$ 和 A_2 相连, 输出端与字线 3 相连, 就可以实现对 W_3 的选通。这样, 地址译码器就可以用 8 个三输入或非门实现。每个或非门与各个地址位或其取反位的适当组合相连, 对应于输出端连接的字线。

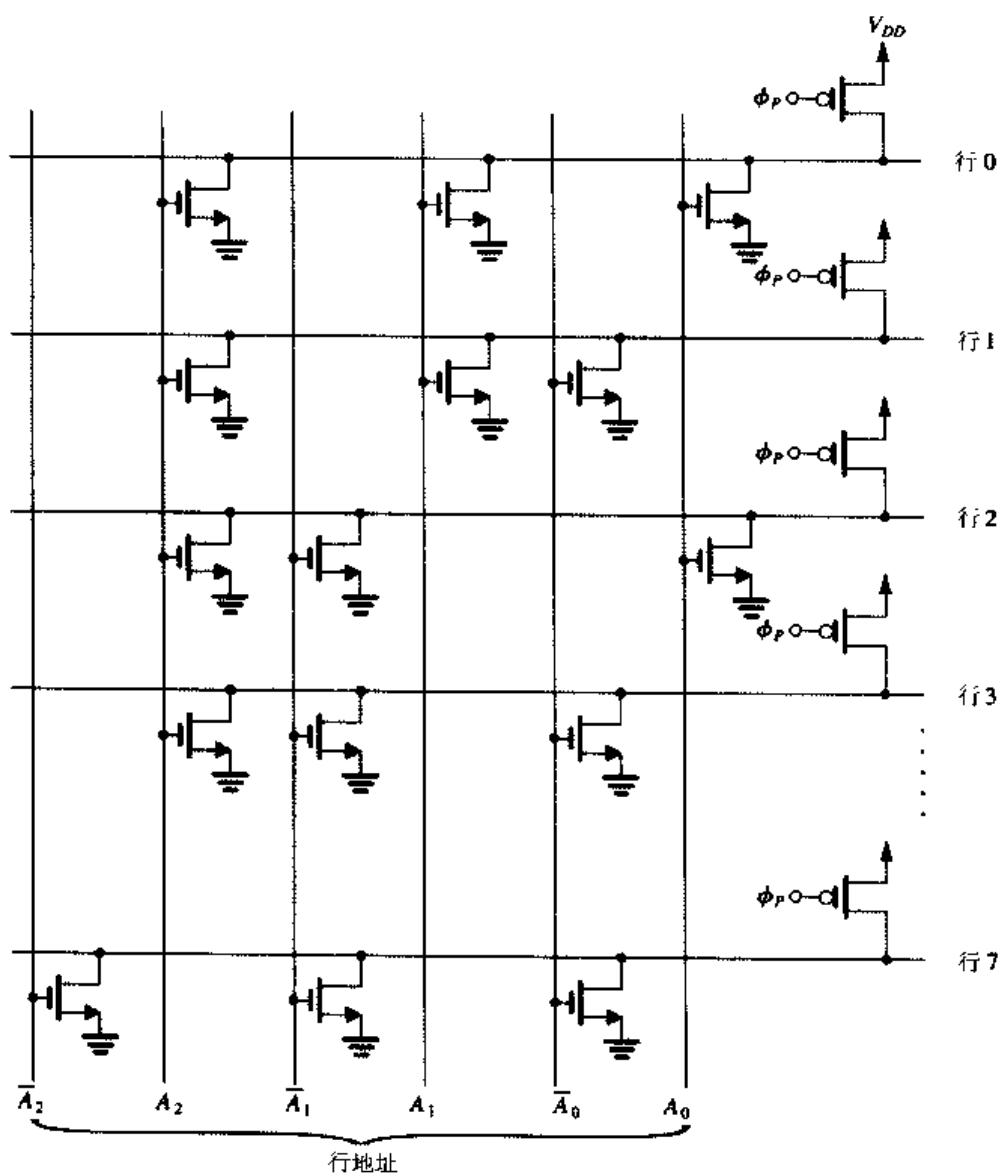


图 11.26 阵列形式的或非门地址译码器。8 条输出线 (行线) 由三位地址选通

图 11.26 给出了利用矩阵结构实现这些或非逻辑的一种简单方法。图中的电路属于动态电路 (参见 10.6 节)。与每一行相连的是一个在进行译码操作之前由预充电控制信号 ϕ_p 激活的 p 沟道器

件。在预充电 (ϕ_p 为低电平) 时, 所有的字线都被拉至高电平 V_{DD} 。假定这时没有输入地址位输入且所有输入都为低电平, 那么这个电路就没有必要同动态逻辑门一样包含一个检测晶体管了。接下来, 当输入地址位及其取反位后, 译码操作开始。注意, NMOS 晶体管如图排列, 使得未选中的字线进行放电。对于任何输入组合, 只有一条字线不会放电, 其电压保持高电平 V_{DD} 。例如, 仅当 $A_0 = 0, A_1 = 0$ 和 $A_2 = 0$ 时, 第 0 行为高电平。在所有的输入组合中, 这是惟一能使与第 0 行相连的三个晶体管同时关断的组合。同样, 由于第 3 行有与 \bar{A}_0, \bar{A}_1 和 A_2 相连的晶体管, 当 $A_0 = 1, A_1 = 1$ 和 $A_2 = 0$ 时, 第 3 行将为高电平。依次类推。当译码结果稳定后, 输出线与阵列的字线连接。这种连接通常通过时钟控制的传输门实现。这种译码器称做或非门译码器。可以看到, 由于进行了预充电操作, 因此译码电路并不消耗静态功率。

练习 11.14 一个 M 位地址的或非门译码器需要多少个晶体管?

答案: $M 2^M \text{ NMOS} + 2^M \text{ PMOS} = 2^M (M + 1)$

11.5.3 列地址译码器

根据 11.3 节所述, 列译码器需要将 2^N 条位线中的一条与芯片的数据 I/O 线相连。同样, 它是一个多路开关, 可以用传输晶体管逻辑 (参见 10.5 节) 实现, 如图 11.27 所示。这里, 每条位线通过一个 NMOS 晶体管与数据 I/O 线连接。传输晶体管的栅极由 2^N 条线控制。与行地址译码类似, 这些线中的某条由一个或非门译码器选通。

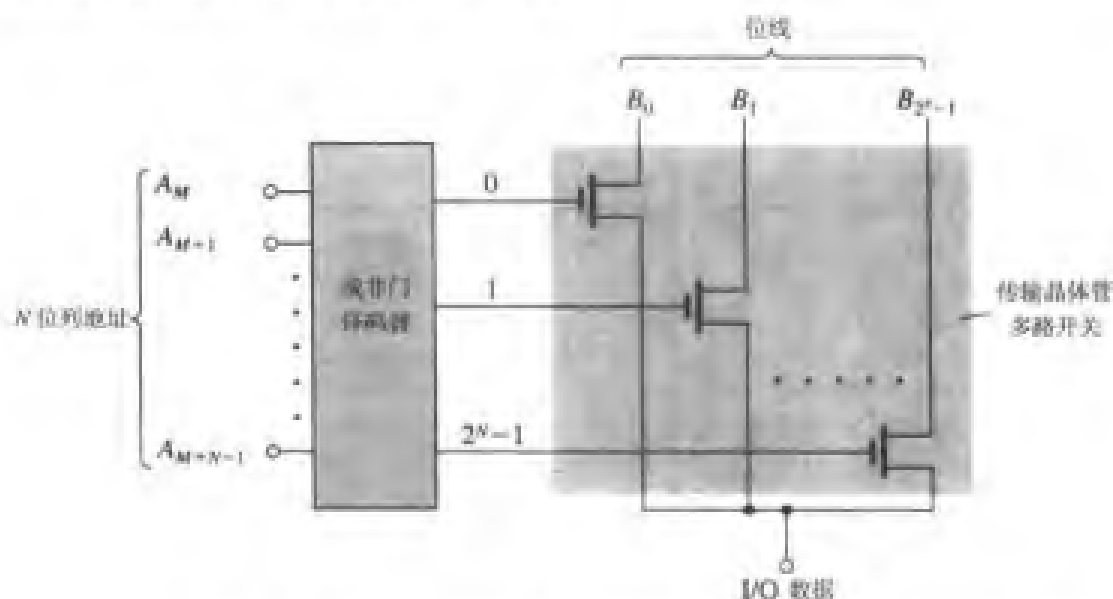


图 11.27 用一个或非门译码器和一个传输晶体管多路开关实现的列译码器

列译码器的另一种实现方案如图 11.28 所示。这种方案使用了较少数量的晶体管 (但却以降低运行速度为代价)。这种电路被称为树状译码器, 其传输晶体管的结构较为简单。但是, 由于信号通路上可能存在比较多的晶体管, 位线的阻抗因此增大, 速度相应降低。

练习 11.15 一个 2^N 条位线的树状译码器需要多少个晶体管?

答案: $2(2^N - 1)$

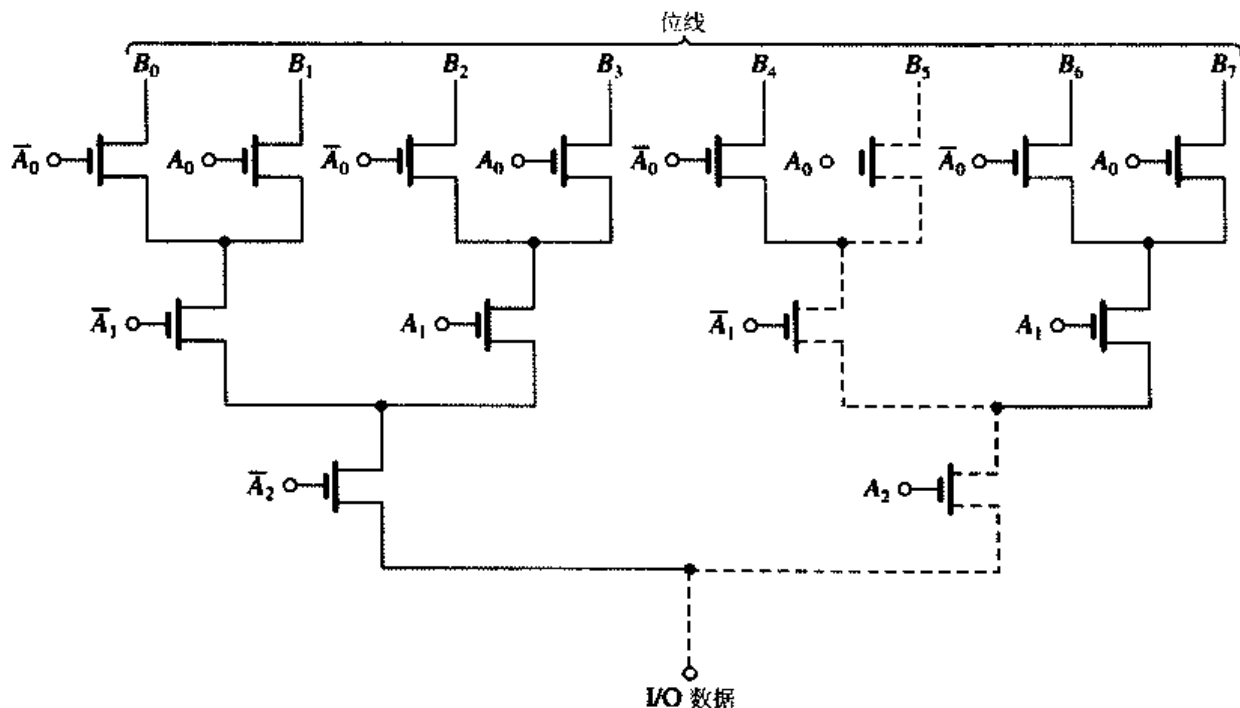


图 11.28 树状列译码器。图中虚线部分表示 $A_0 = 1$ 、 $A_1 = 0$ 和 $A_2 = 1$ 时由导通晶体管组成的通路。这条通路将 B_5 与数据线相连

11.6 只读存储器 (ROM)

11.3 节中提到，只读存储器 (ROM) 是一种存储固定数据的存储器。在很多数字系统应用环境中都用到了只读存储器。现在最为流行的一类应用是在微处理器系统中将 ROM 用于存放系统基本运行程序的指令。ROM 特别适用于这种应用环境，因为 ROM 具有非易失性。也就是说，切断系统电源后，ROM 中的内容不会丢失。

ROM 可以视为一个组合逻辑电路。其输入是 ROM 地址位的组合，输出是从对应地址得到的数据位的集合。这种观点使得 ROM 在编码转换中得到应用。也就是说，ROM 可以将某一系统（例如二进制）中的信号编码转换为另一个系统中的信号编码。例如安全通信系统中使用到了编码转换并将这一过程称为扰码。将数据编码传入 ROM，得到的对应数据位就是（假定情况下的）密文。其逆过程同样用到了 ROM，它位于接收端的末端。

本节将介绍多种类型的只读存储器。其中包括固定 ROM（简单起见，就称为 ROM）、可编程 ROM (PROM) 以及可擦除可编程 ROM (EPROM)。

11.6.1 MOS 只读存储器 (ROM)

图 11.29 给出的是一块简化了的 32 位（或 4 位 \times 8 字）MOS 只读存储器 (ROM)。如图所示，存储器由一个 n 沟道 MOSFET 阵列组成。每个 MOS 晶体管的栅极与字线连接，源极接地，漏极与位线相连。每根位线通过一个 PMOS 负载晶体管与电源相连，构成伪 NMOS 逻辑结构（参见 10.4 节）。一个 NMOS 晶体管存在于存储 0 的单元中，而存储 1 的单元中不含 MOSFET。这块 ROM 也可以认为存储了 8 个字，每个字含有 4 位。行译码器通过升高对应字线的电压来选中 8 个字中的某一个。于是，与该字线相连的单元内晶体管将会导通，从而将原为 V_{DD} 的位线（与选定行中的那些晶体管相连）的电压拉至接近于地电压（逻辑 0 电平）。与不含晶体管（这些单元存储的是 1）的单元（对应选通字）连接的位线会保持在电源电压（逻辑 1），原因是由于上拉 PMOS 负载晶体管的作用。这样，地址字对应的位就可以被读出。