

国外电子与通信教材系列

下册

微电子电路

(第五版)

Microelectronic Circuits, Fifth Edition



[加] Adel S. Sedra 著
Kenneth C. Smith

周玲玲 蒋乐天 应忍冬 等译
徐国治 审校



电子工业出版社
Publishing House of Electronics Industry
<http://www.phei.com.cn>

Microelectronic Circuits, Fifth Edition

这本教材传承了建立在牢固教育学基础上的卓越和创新的标准，这也正是作者 Adel S. Sedra 和 Kenneth C. Smith 所期望的。微电子电路（第五版）的组织结构与内容都充分体现了最新技术的发展 and 变化，为电子电路分析和设计领域的教学提供了最新的资源。

本书特点

- **流水线式的组织结构**：“必学”内容被放置在每一章的开始部分，专业性较强的内容置后。前五章可以作为一个学期讲授的引导性课程。同样，接下来的五章，可以作为第二门一学期课程的主要内容。最后四章都是很有意义的话题，可以作为前面章节的补充材料，也可以作为项目设计或者撰写论文的参考资料。
- **MOSFET 和 BJT**：第 4 章（MOSFET）和第 5 章（BJT）是完全重写的。虽然本版将 MOSFET 的内容放在前面，但是这两种器件可以按照任何次序讲解。
- **集成 MOS 和双极型放大器**：第 6 章（单级集成电路放大器）和第 7 章（差分放大器与多级放大器）也是完全重写的，并以便于理解的、系统的方法引入了集成 MOS 放大器和双极型放大器的内容。
- **放大器频率响应**：在需要的地方都可以找到有关放大器频率响应的内容（“即时”方法）。其中包括第 4 章和第 5 章中关于共源放大器和共射放大器的频率响应的高要介绍。

作者简介

Adel S. Sedra：沃特卢大学工程学院院长，多伦多大学前教务长

Kenneth C. Smith：多伦多大学电气和计算机工程、计算机科学、机械工程和信息研究所的荣誉教授

ISBN 7-121-02671-6



9 787121 026713 >



责任编辑：周宏敏
责任美编：毛惠庚

本书贴有激光防伪标志，凡没有防伪标志者，属盗版图书

ISBN 7-121-02671-6 定价：36.00 元

序

2001年7月间,电子工业出版社的领导同志邀请各高校十几位通信领域方面的老师,商量引进国外教材问题。与会同志对出版社提出的计划十分赞同,大家认为,这对我国通信事业、特别是对高等院校通信学科的教学工作会很有好处。

教材建设是高校教学建设的主要内容之一。编写、出版一本好的教材,意味着开设了一门好的课程,甚至可能预示着一个崭新学科的诞生。20世纪40年代MIT林肯实验室出版的一套28本雷达丛书,对近代电子学科、特别是对雷达技术的推动作用,就是一个很好的例子。

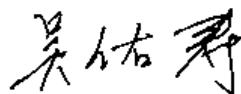
我国领导部门对教材建设一直非常重视。20世纪80年代,在原教委教材编审委员会的领导下,汇集了高等院校几百位富有教学经验的专家,编写、出版了一大批教材;很多院校还根据学校的特点和需要,陆续编写了大量的讲义和参考书,这些教材对高校的教学工作发挥了极好的作用。近年来,随着教学改革不断深入和科学技术的飞速进步,有的教材内容已比较陈旧、落后,难以适应教学的要求,特别是在电子学和通信技术发展神速、可以讲是日新月异的今天,如何适应这种情况,更是一个必须认真考虑的问题。解决这个问题,除了依靠高校的老师 and 专家撰写新的符合要求的教科书外,引进和出版一些国外优秀电子与通信教材,尤其是有选择地引进一批英文原版教材,是会有好处的。

一年多来,电子工业出版社为此做了很多工作。他们成立了一个“国外电子与通信教材系列”项目组,选派了富有经验的业务骨干负责有关工作,收集了230余种通信教材和参考书的详细资料,调来了100余种原版教材样书,依靠由20余位专家组成的出版委员会,从中精选了40多种,内容丰富,覆盖了电路理论与应用、信号与系统、数字信号处理、微电子、通信系统、电磁场与微波等方面,既可作为通信专业本科生和研究生的教学用书,也可作为有关专业人员的参考材料。此外,这批教材,有的翻译为中文,还有部分教材直接影印出版,以供教师用英语直接授课。希望这些教材的引进和出版对高校通信教学和教材改革能起一定作用。

在这里,我还要感谢参加工作的各位教授、专家、老师与参加翻译、编辑和出版的同志们。各位专家认真负责、严谨细致、不辞辛劳、不怕琐碎和精益求精的态度,充分体现了中国教育工作者和出版工作者的良好美德。

随着我国经济建设的发展和科学技术的不断进步,对高校教学工作会不断提出新的要求和希望。我想,无论如何,要做好引进国外教材的工作,一定要联系我国的实际。教材和学术专著不同,既要注意科学性、学术性,也要重视可读性,要深入浅出,便于读者自学;引进的教材要适应高校教学改革的需要,针对目前一些教材内容较为陈旧的问题,有目的地引进一些先进的和正在发展中的交叉学科的参考书;要与国内出版的教材相配套,安排好出版英文原版教材和翻译教材的比例。我们努力使这套教材能尽量满足上述要求,希望它们能放在学生们的课桌上,发挥一定的作用。

最后,预祝“国外电子与通信教材系列”项目取得成功,为我国电子与通信教学和通信产业的发展培土施肥。也恳切希望读者能对这些书籍的不足之处、特别是翻译中存在的问题,提出意见和建议,以便再版时更正。



中国工程院院士、清华大学教授

“国外电子与通信教材系列”出版委员会主任

出版说明

进入21世纪以来,我国信息产业在生产和科研方面都大大加快了发展速度,并已成为国民经济发展的支柱产业之一。但是,与世界上其他信息产业发达的国家相比,我国在技术开发、教育培训等方面都还存在着较大的差距。特别是在加入WTO后的今天,我国信息产业面临着国外竞争对手的严峻挑战。

作为我国信息产业的专业科技出版社,我们始终关注着全球电子信息技术的发展方向,始终把引进国外优秀电子与通信信息技术教材和专业书籍放在我们工作的重要位置上。在2000年至2001年间,我社先后从世界著名出版公司引进出版了40余种教材,形成了一套“国外计算机科学教材系列”,在全国高校以及科研部门中受到了欢迎和好评,得到了计算机领域的广大教师与科研工作者的充分肯定。

引进和出版一些国外优秀电子与通信教材,尤其是有选择地引进一批英文原版教材,将有助于我国信息产业培养具有国际竞争能力的技术人才,也将有助于我国国内在电子与通信教学工作中掌握和跟踪国际发展水平。根据国内信息产业的现状、教育部《关于“十五”期间普通高等教育教材建设与改革的意见》的指示精神以及高等院校老师们反映的各种意见,我们决定引进“国外电子与通信教材系列”,并随后开展了大量准备工作。此次引进的国外电子与通信教材均来自国际著名出版商,其中影印教材约占一半。教材内容涉及的学科方向包括电路理论与应用、信号与系统、数字信号处理、微电子、通信系统、电磁场与微波等,其中既有本科专业课程教材,也有研究生课程教材,以适应不同院系、不同专业、不同层次的师生对教材的需求,广大师生可自由选择 and 自由组合使用。我们还将与国外出版商一起,陆续推出一些教材的教学支持资料,为授课教师提供帮助。

此外,“国外电子与通信教材系列”的引进和出版工作得到了教育部高等教育司的大力支持和帮助,其中的部分引进教材已通过“教育部高等学校电子信息科学与工程类专业教学指导委员会”的审核,并得到教育部高等教育司的批准,纳入了“教育部高等教育司推荐——国外优秀信息科学与技术系列教学用书”。

为作好该系列教材的翻译工作,我们聘请了清华大学、北京大学、北京邮电大学、南京邮电大学、东南大学、西安交通大学、天津大学、西安电子科技大学、电子科技大学、中山大学、哈尔滨工业大学、西南交通大学等著名高校的教授和骨干教师参与教材的翻译和审校工作。许多教授在国内电子与通信专业领域享有较高的声望,具有丰富的教学经验,他们的渊博学识从根本上保证了教材的翻译质量和专业学术方面的严格与准确。我们在此对他们的辛勤工作与贡献表示衷心的感谢。此外,对于编辑的选择,我们达到了专业对口;对于从英文原书中发现的错误,我们通过作者联络、从网上下载勘误表等方式,逐一进行了修订;同时,我们对审校、排版、印制质量进行了严格把关。

今后,我们将进一步加强同各高校教师的密切关系,努力引进更多的国外优秀教材和教学参考书,为我国电子与通信教材达到世界先进水平而努力。由于我们对国内外电子与通信教育的发展仍存在一些认识上的不足,在选题、翻译、出版等方面的工作中还有许多需要改进的地方,恳请广大师生和读者提出批评及建议。

电子工业出版社

教材出版委员会

主任	吴佑寿	中国工程院院士、清华大学教授
副主任	林金桐	北京邮电大学校长、教授、博士生导师
	杨千里	总参通信部副部长，中国电子学会会士、副理事长 中国通信学会常务理事、博士生导师
委员	林孝康	清华大学教授、博士生导师、电子工程系副主任、通信与微波研究所所长 教育部电子信息科学与工程类专业教学指导分委员会委员
	徐安士	北京大学教授、博士生导师、电子学系主任
	樊昌信	西安电子科技大学教授、博士生导师 中国通信学会理事、IEEE 会士
	程时昕	东南大学教授、博士生导师
	郁道银	天津大学副校长、教授、博士生导师 教育部电子信息科学与工程类专业教学指导分委员会委员
	阮秋琦	北京交通大学教授、博士生导师 计算机与信息技术学院院长、信息科学研究所所长 国务院学位委员会学科评议组成员
	张晓林	北京航空航天大学教授、博士生导师、电子信息工程学院院长 教育部电子信息科学与电气信息类基础课程教学指导分委员会副主任委员 中国电子学会常务理事
	郑宝玉	南京邮电大学副校长、教授、博士生导师 教育部电子信息与电气学科教学指导委员会委员
	朱世华	西安交通大学副校长、教授、博士生导师 教育部电子信息科学与工程类专业教学指导分委员会副主任委员
	彭启琮	电子科技大学教授、博士生导师、通信与信息工程学院院长 教育部电子信息科学与电气信息类基础课程教学指导分委员会委员
	毛军发	上海交通大学教授、博士生导师、电子信息与电气工程学院副院长 教育部电子信息与电气学科教学指导委员会委员
	赵尔沅	北京邮电大学教授、《中国邮电高校学报（英文版）》编委会主任
	钟允若	原邮电科学研究院副院长、总工程师
	刘 彩	中国通信学会副理事长兼秘书长，教授级高工 信息产业部通信科技委副主任
	杜振民	电子工业出版社原副社长
	王志功	东南大学教授、博士生导师、射频与光电集成电路研究所所长 教育部高等学校电子电气基础课程教学指导分委员会主任委员
	张中兆	哈尔滨工业大学教授、博士生导师、电子与信息技术研究设计院院长
	范平志	西南交通大学教授、博士生导师、计算机与通信工程学院院长

译 者 序

《微电子电路》一书是电子、通信、电气和计算机工程专业电子电路核心课程的教材，同时对于那些想通过自学提高集成电路设计知识的工程师和其他技术人员也非常有用。

本书在详细阐述晶体管器件基本性能的基础上，侧重于模拟和数字电路的分析和设计。本书作者非常注重将新技术引入教材中，无论是晶体管器件和晶体管电路，还是 MOS 晶体管及其电路，它们都被作为首要内容加以阐述，这是因为 MOS 器件及 CMOS 工艺已经成为现代集成电路设计的主流。本书既重视基本电路的性能分析、工程估算，更重视电路的设计，每一章都有关于电路设计的例子，正如作者在前言中所述：“本书的目的是使读者具有分析和设计电子电路的能力，包括模拟电路和数字电路、分立元件电路和集成电路。”

本书语言浅显，通俗易懂，对基本概念的阐述思路清晰，即使一些比较深奥的概念，作者也能娓娓道来，在表述基本概念的同时，还结合实际电路的设计，使得读者对基本概念的理解不仅仅停留在理论层面上，还具有了感性的认识。由于现代电路设计已经离不开计算机的帮助，作为电路设计工程师，掌握电路分析和设计用的计算机辅助工具已成必然，本书在这方面同样做得很出色，在每一章的最后都安排了 PSpice 仿真实例作为结束，体现了作者长期以来在电路分析和设计方面的经验积累。

本书的另一个特点是例题和习题非常丰富，通过例题可以加深对基本概念的理解，而大量的练习和习题对读者检验基本概念的掌握程度、加深基本概念的理解、牢记基本概念的要点都有积极的帮助作用。作者在教材编写方面具有丰富的经验，所挑选的例题以及大多数习题和练习都基于实际电路和实际电路设计中的应用，对读者而言，在解题的同时，也学会了如何解决实际的电路设计问题。

本书的前言、第 1 章至第 5 章主要由蒋乐天翻译；第 6 章和第 11 章由华颖翻译；第 7 章由俞子丰翻译；第 8 章由张聘元翻译；第 9 章、第 12 章、第 13 章、第 14 章和附录由周玲玲翻译，第 10 章和 1.7 节、4.10 节、5.10 节、9.7 节、9.8 节、9.9 节由应忍冬翻译；周玲玲对全书做了统一校订，最后由徐国治教授审阅了全书。

由于译者水平有限，书中难免有不妥和错误之处，敬请读者给予批评和指正。

前 言

《微电子电路》(第五版)是电气工程和计算机工程专业电子电路的核心课程教材,同时对于那些想通过自学掌握更多知识的工程师和其他技术人员也非常有用。

同前四版一样,本书的目的是使读者掌握分析和设计电子电路(包括模拟电路和数字电路,分立元件电路和集成电路)的能力。在涉及集成电路的应用时,重点放在晶体管电路的设计上。这是因为我们认为即使大多数读者不从事 IC 设计,但掌握一些 IC 芯片的知识将有助于合理和创造性地应用这些芯片。此外,由于 VLSI 技术和设计方法学的进步,越来越多的工程师可以接触到 IC 设计本身。

预修课程

学习本书内容的预修课程是电路分析。作为回顾,本书的附录中介绍了一些线性电路知识。具体而言,附录 B 是有关二端口网络参数的;附录 C 是关于一些有用的网络定理的;附录 D 总结了单时间常数电路;附录 E 讲解了 s 域分析。学习本书不需要具备很深入的电子物理知识,所有要讲述的器件的物理知识在书中均有介绍,附录 A 还对 IC 制造工艺做了简单描述。

本版新增内容

尽管保留了前四版的教学方法,然而第五版在组织和内容上还是做了一些修改。

1. 各章的组织结构如下:重要的必须涉及的内容放在前面,比较专业的内容放在后面。这可以使采用本书的教和学有相当的灵活性。
2. 对第 4 章和第 5 章进行了重写和更新,而且这两章内容相互之间完全独立。把有关 MOSFET 的一章放在前面完全是因为 MOSFET 现在在很多领域都是最重要的电子器件。但是如果需要,也可以将有关 BJT 的一章放在前面。此外,这两章的内容具有相同的结构,因此第二种器件的教和学会更加简单和快捷。
3. 为了使第一门课程更完整,第 4 章和第 5 章都包含了放大器和数字逻辑电路的内容。而且也包括了基本的共源(共发射极)放大器的频率响应内容。这对于有可能不选修第二门电子学课程的学生来说非常重要。
4. 增加了一章新内容,即集成电路(IC)放大器(第 6 章)。在这一章中,首先对 MOSFET 和 BJT 进行了全面的比较,给出了利用现代亚微米制造工艺得到的器件的典型参数值,并在例题、练习和章后习题中使用了这些参数。由于各种放大器组态都包含它的频率响应,这使得放大器频率响应的学习更加有趣,在某种程度上也更加简单。
5. 第 7 章(差分放大器和多级放大器)的内容也是重写的,该章最先给出的是 MOSFET 差分对,并对例题、练习和习题进行了扩展和更新,采用了反映现代亚微米技术的器件的参数值。
6. 第五版的重点是 MOSFET 电路。

7. 为了给更多的新内容留出篇幅,第五版去掉了一些已经不太流行的内容(如 JFET 和 TTL)和非常专业化的内容(如砷化镓器件和电路)。但是,这些内容可以在本书附带的光盘和网站上得到。
8. 为有助于读者学习和参考,第五版增加了许多总结性的表格。
9. 更新了练习、例题和章后习题,并且增加了数量和种类。
10. 重写了关于 SPICE 的内容,而且 SPICE 实例现在使用原理图输入。为了能够进一步进行仿真实验,在光盘和网站上提供了所有 SPICE 实例的相关文件。

光盘和网站

第五版(上册)附光盘一张,其中包含许多有用的补充材料,希望能够丰富读者学习的经历。具体内容包括:(1) OrCAD PSpice 9.2 学生版;(2) 书中所有 SPICE 例题的输入文件;(3) 链接本书网站,可以访问本书中每个插图的 PowerPoint 幻灯片,学生可以打印出来并带到课堂上以便于记笔记;(4) 书中未包含的一些很专业的主题,包括: JFET、GaAs 器件和电路以及 TTL 电路。

本书有一个对应的网站(www.sedrasmith.org),其内容更新较快以求能够反映该领域的最新发展。主要包括所有 PSpice 实例的 SPICE 模型和文件,与感兴趣的业界和学术界网站的链接,以及与作者交流的信息中心。此外还包含一个与牛津大学出版社高等教育组的链接,从而使教师们可以得到完整的文本材料。

强调设计

我们认为教好电路设计的最好方法是指出在选择电路结构和为特定结构选择元件值时应该有各种折中或者权衡的考虑。第五版通过增加更多的设计实例、练习和章后习题来着重强调设计内容。那些关于“基于设计”的练习和章后习题前面都用 D 来表示。此外,本书采用了最有用的设计辅助工具 SPICE。

练习、习题和附加的有解答的习题

第五版共有 450 余个练习。每个练习的下面都给出了答案,学生可以根据这些练习检查是否理解了所学的内容。求解这些练习可以使读者了解对所学内容的掌握和理解程度。此外,第五版还给出了 1370 多道习题,其中大约三分之一是本版新增的习题。这些习题是针对各章的关键问题的,其难易程度用加星号的方法来表示:难题用一个星号(*)标注,更难的习题用两个星号标注(**),很难(和/或耗时)的习题用三个星号标注(***)。但是我们必须承认这样的分类并不准确,因为我们的分类无疑在某种程度上取决于我们的思维(或情绪)。附录 H 中大约包含一半习题的答案。所有练习和习题的完整解答在教师手册中提供,采用本书的教师可以从出版商那里获得教师手册。

与前面四个版本一样,第五版中包含了许多例题。这些例题以及大多数习题和练习都基于实际电路和实际电路设计中碰到的应用。第五版仍然在许多例子的插图中使用数字来标注解答步骤,希望此举能够增加课堂教学的互动性。

使用早期版本的学生曾多次提出需要一本习题解答。为了满足这个要求,第五版提供了一本有解答的关于习题的书(可参见后面关于辅导书的介绍)。

第五版内容概要

第 1 章简单介绍电子学的基本概念。其中介绍了信号、信号频谱以及信号的模拟形式和数字形式。放大器作为模块电路构件来介绍，并且分析了不同类型的放大器及其模型。本章根据电压传输特性定义了数字电路的基本单元——数字逻辑反相器，讨论了利用电压和电流开关得到的反相器的不同实现方法。此外，本章还给出了本书采用的术语和符号的含义。

接下来的四章主要讲解电子器件和基本电路。第 2 章讨论运算放大器及其端口特性、简单应用和限制条件。我们比较早地把运算放大器作为模块电路来讨论是因为它比较容易处理，学生可以用运算放大器做实验，通过完成一些重要的应用获得一种成就感。我们发现这种方法会极大地激发学生的兴趣。但是，我们也要指出，本章的部分内容或者全部内容都可以暂时跳过，留待后面再学习（例如，与第 7 章、第 8 章和/或第 9 章相结合），这样做不会影响内容的连续性。

第 3 章介绍最基本的电子器件—— pn 结二极管。内容包括二极管端口特性、各种层次的模型和基本电路应用。为了理解二极管的工作原理（同样也是 MOSFET 和 BJT 的工作原理），第五版对半导体和 pn 结做了简明而重点突出的介绍。这部分内容放在本章的结尾处（见 3.7 节），在电子物理学中已经学过相关内容的读者可以部分或全部地跳过该内容。

第 4 章和第 5 章分别讨论两类主要的电子器件——MOS 场效应管（MOSFET）和双极型晶体管（BJT）。这两章具有相同的结构并且互相独立，先学习哪一章都可以。这两章都以器件结构和器件的工作原理开始，然后引出端口特性的描述。通过大量的晶体管直流电路的例子使读者能够比较深入地熟悉作为电路元件的晶体管的运行特性。接下来介绍基本共源（共发射极）电路的大信号工作性能，分析器件作为线性放大器的工作区以及作为开关的工作区。不同区域需要对晶体管进行相应偏置来得到，因此引出了偏置方法的内容。此处的偏置方法主要针对分立元件电路，关于 IC 偏置方法的介绍见第 6 章。接下来，介绍小信号工作原理以及小信号模型的推导和分立元件放大器的基本组态。由于晶体管内部电容对高频性能的影响，从而引出了晶体管的高频等效电路模型，该模型可用来确定共源（共发射极）放大器的高频响应，同时也介绍了由耦合电容和旁路电容引起的低频响应。此后介绍了基本数字逻辑反相器电路。这两章都以 SPICE 中使用的晶体管模型和使用 PSpice 的电路仿真实例作为结束。应该指出，第 4 章和第 5 章是电子学第一门课程的基本内容。

第 6 章到第 10 章介绍模拟和数字集成电路。第 6 章首先对 MOSFET 和 BJT 的特性进行了全面描述和比较，并在比较时利用了现代制造工艺技术得到的器件的典型参数值。接下来有条理地介绍了 IC 放大器设计中采用的偏置方法（见 6.3 节）、放大器高频响应的背景知识（见 6.4 节）和单级 IC 放大器的不同组态。对于每一种情况，首先给出 MOS 电路。一些晶体管对组态（如 Cascode 电路和达林顿电路）通常也被作为单级电路来对待。每一节都包含特定放大器组态的高频响应的内容。我们相信将高频响应的学习嵌入到每一节中比传统的将所有频率响应的内容放到后面要好。同其他各章一样，我们把更专业的内容放在本章后半部分讲解，其中包括高性能的镜像电流源和电流源的概念，这样使读者在第一遍阅读时可以跳过其中一些内容。本章为模拟 IC 设计的深层次的学习奠定了很好的基础。

第 7 章介绍 IC 放大器，其中重点强调两个主要的放大器——差分放大器和多级放大器。这一章也首先讲解 MOSFET 差分对。频率响应则是在需要的地方讨论，包括在多级放大器的两个例子中。

第 8 章介绍重要的反馈内容。给出了负反馈的实际电路应用，此外还详细讨论了反馈放大器

的稳定性问题及频率补偿的内容。

第 9 章集成了前面三章介绍的模拟 IC 设计内容,并将它应用于两个主要的模拟 IC 功能块的分析和设计中,这两个模块是运算放大器和数据转换电路。本章既分析了 CMOS 运算放大器,也分析了双极型运算放大器。其中数据转换电路的内容为第 10 章数字 CMOS 逻辑电路的学习架设了桥梁。

第 10 章的内容建立在 4.10 节介绍的 CMOS 逻辑电路的基础之上,讲解了包括静态和动态 CMOS 逻辑电路的一些精选内容,这些内容使第二部分的模拟和数字 IC 的学习更加完整。

第 11 章介绍数字电路。具体而言,讲解存储器以及相关电路,如锁存器、触发器以及单稳态、双稳态和多谐振荡器。此外,还讲解了两个比较专业但却很重要的数字电路技术:射极耦合逻辑(ECL)和 BiCMOS。第 10 章和第 11 章与前面介绍的关于数字电路的内容可以为读者学习后续数字 IC 设计和 VLSI 电路课程提供很好的准备。

接下来的两章(即第 12 章和第 13 章)是基于应用和系统的内容。第 12 章主要讲解模拟滤波器的设计和调谐放大器。第 13 章介绍正弦波振荡器、波形发生器以及其他非线性信号处理电路。

本书最后一章(即第 14 章)讲解不同类型的放大器输出级电路。这一章将介绍与散热有关的设计并给出了许多 IC 功率放大器的实例。

8 个附录中包含了许多有用的背景知识和补充材料。我们希望读者能够特别关注附录 A,因为该附录概括了包括 IC 版图设计在内的 IC 制造工艺的重要内容。

课程组织

本书的内容可以用于两个学期课程的教学(每个学期 40~50 课时)。本书的组织为课程设计提供了很大的灵活性。下面我们给出了两门课程安排的建议。

第一门课程

第一门课程显然要包括第 1 章到第 5 章的内容。但是,如果时间有限,可以将下面的内容部分或全部推迟到第二门课程中讲解:1.6 节,1.7 节,2.6 节,2.7 节,2.8 节,3.6 节,3.8 节,4.8 节,4.9 节,4.10 节,4.11 节,5.8 节,5.9 节和 5.10 节;此外,也可以在这门课程中去掉第 2 章。可以把精力主要集中在 MOSFET 的内容(第 4 章)上,然后只介绍部分(或较快地介绍)BJT 的内容(第 5 章);还可以介绍第 5 章的全部内容和第 4 章的一部分内容,但是我们不推荐这样做。另外一种选择是略去 1.7 节、4.10 节和 5.10 节,整个课程全部作为模拟电路来介绍;同样,第一门课程也可以基于数字内容讲解,其中包括以下内容:1.1 节,1.2 节,1.3 节,1.4 节,1.7 节,1.8 节,3.1 节,3.2 节,3.3 节,3.4 节,3.7 节,4.1 节,4.2 节,4.3 节,4.4 节,4.10 节,4.12 节,5.1 节,5.2 节,5.3 节,5.4 节,5.10 节,5.11 节,第 10 章的全部和第 11 章中精选出来的内容。此外,如果时间允许,介绍一下第 2 章中关于运算放大器的内容也非常有用。

第二门课程

第二门课程最好从第 6 章开始,其中,6.2 节可以作为 MOSFET 和 BJT 特性的回顾。理想情况下,第二门课程应包括第 6 章到第 10 章(当然,假设第一门课程包括第 1 章到第 5 章)。如果时间较短,那么第 10 章可以推迟到后续的关于数字电路的课程中讲解或者去掉第 6 章到第 9 章中的某些节。一种选择是不重点介绍双极型电路,因此可以略去第 6 章、第 7 章和第 9 章中双极型的部分内容或全部内容。另一种选择是减少反馈的内容(见第 8 章)。此外,第二门课程中也可以略去数据转换电路的内容。对于第 9 章,可能只需要包含 CMOS 运算放大器的内容。还有一

种可能是将第 6 章到第 10 章的部分内容用第 11 章到第 14 章中的精选内容来代替。例如，如果第二门课程全部都是讲模拟内容的，那么就可以用第 13 章到第 14 章中的一些内容来替换第 10 章。

辅导材料

本书还提供了一套完整的辅导材料对课程学习提供支持。

教师用辅助材料

教师手册 (“*Instructor's Manual with Transparency Masters*”) 给出了每章所有练习及习题的解答，此外还包含 200 张幻灯片，这些幻灯片是课上经常使用的图片的副本。

一套透明幻灯片，包含本书最重要的 200 张图片。

一张 PowerPoint 光盘，其中包含了本书中所有插图的幻灯片以及对应的说明。

学生和教师用辅助材料

每本书附带的光盘包含所有含有 SPICE 输入文件的正文内容、一个学生版的 OrCAD PSpice 9.2 Lite 版、一个链接到本书插图和补充内容网站的网址。

由 Kenneth C. Smith (KC) 编著的 *Laboratory Explorations for Microelectronic Circuits, 5th edition* 包含本书中一些重要内容的实验和指导。

由 Kenneth C. Smith (KC) 编写的 *KC's Problems and Solutions for Microelectronic Circuits, 5th edition* 包含数百道附加习题以及完整解答，可以满足学生进一步练习之需。

由 McGill 大学的 Gordon Roberts 和 Adel Sedra 编著的 *SPICE, 2nd edition* 提供了 SPICE 的详细内容以及在本书电路分析和设计中的应用。

致谢

本书第五版中所做的许多修改是在得到使用第四版的教师的反馈信息后进行的。我们非常感谢那些花时间写信给我们的人。此外，以下的评阅人对第四版提出了许多意见和修改建议，这些都体现在修订当中，在此向他们表达最真诚的谢意。他们是：Maurice Aburdene (Bucknell 大学)，Patrick L. Chapman (伊利诺大学 Urbana-Champaign 分校)，Artice Davis (圣何塞州立大学)，Paul M. Furth (新墨西哥州立大学)，Roobik Gharabagi (圣路易斯大学)，Reza Hashemian (北伊利诺大学)，Ward J. Helms (华盛顿大学)，Hsiung Hsu (俄亥俄州立大学)，Marian Kazimierczuk (Wright 州立大学)，Roger King (Toledo 大学)，Robert J. Krueger (Wisconsin-Milwaukee 大学)，Un-Ku Moon (Oregon 州立大学)，John A. Ringo (华盛顿州立大学)，Zvi S. Roth (佛罗里达 Atlantic 大学)，Mulukutla Sarma (东北大学)，John Scalzo (路易斯安纳州立大学)，Ali Sheikholeslami (多伦多大学)，Pierre Schmidt (佛罗里达国际大学)，Charles Sullivan (达特默思学院)，Gregory M. Wierzba (密西根州立大学)，以及 Alex Zaslavsky (布朗大学)。

我们也要感谢许多同事和朋友，他们提出了很多有用的建议，他们是：Anthony Chan-Carusone (多伦多大学)，Roman Genov (多伦多大学)，David Johns (多伦多大学)，Ken Martin (多伦多大学)，Wai-Tung Ng (多伦多大学)，Khomon Phang (多伦多大学)，Gordon Roberts (McGill 大学)，Ali Sheikholeslami (多伦多大学)。

此外还要感谢前四版的评阅人，他们是：Michael Bartz (Memphis 大学)；Roy H. Cornely (新泽西理工学院)，Dale L. Critchlow (佛蒙特大学)，Steven de Haas (加利福尼亚州立大学萨克拉门

托分校), Eby G. Friedman (Rochester 大学), Rhett T. George (Jr., Duke 大学), Richard Hornsey (York 大学), Robert Irvine (加利福尼亚州立大学 Pomona 分校), John Khoury (哥伦比亚大学), Steve Jantzi (Broadcom 公司), Jacob B. Khurgin (Johns Hopkins 大学), Joy Laskar (乔治亚理工大学), David Luke (New Brunswick 大学), Bahram Nabet (Drexel 大学), Dipankar Nagchoudhuri (印度理工学院), David Naim [模拟器件公司 (AD 公司)], Joseph H. Nevin (辛辛那提大学), Rabin Raut (Concordia 大学), Richard Schreier [模拟器件公司 (AD 公司)], Dipankar Sengupta (皇家墨尔本理工学院), Michael L. Simpson (Tennessee 大学), Karl A. Spuhl (华盛顿大学), Daniel van der Weide (Delaware 大学)。

许多人都对本版做出了很大贡献。多伦多大学的 Anas Hamoui 在本版的组织和内容的成形上发挥了重要作用, 此外他还编写了 SPICE 几节。多伦多大学的 Olivier Trescases 进行了 SPICE 仿真工作。AD 公司的 Richard Schreier 帮我们确定了封面照片^①。多伦多大学的 Wai-Tung Ng 重写了附录 A。McGill 大学的 Gordon Roberts 允许我们使用 Roberts 和 Sedra 编写的 SPICE 书中的一些例子。Mandana Amiri, Karen Kozma, Shahriar Mirabbasi, Roberto Rosales, Jim Somers 和 John Wilson 在准备教师和学生用辅助材料方面都给予了很大帮助。Jennifer Rodrigues 输入了所有的修订内容。Laura Fujino 帮助我们准备了索引内容从而使我们能够把精力集中于正文的写作。对所有这些朋友和同事, 我们在此一并表示感谢。

我们还要感谢 Cadence Design Systems 公司, 感谢他们允许牛津大学出版社随本书附带 OrCad 系列 9.2 Lite 版软件。感谢 AD 公司的 John Geen 提供了封面照片以及感谢 Tom McElwee (TWM 研究中心)。

牛津大学出版社的许多工作人员对第五版和各种辅导书的出版做出了很多贡献。我们特别要感谢 Barbara Wasserman, Liza Murphy, Mary Beth Jarrad, Mac Hawkins, Barbara Brown, Cathleen Bennett, Celeste Alexander, Chris Critelli, Eve Siegel, Mary Hopkins, Jeanne Ambrosio, Trent Haywood, Jennifer Slomack, Ned Escobar, Jim Brooks, Debbie Agee, Sylvia Parrish, Lee Rozakis, Kathleen Kelly, Sheridan Orr 和 Kerry Cahill。

我们特别要向牛津大学出版社的 Chris Rogers 表达我们的感谢。我们也要感谢市场和销售主任 Scott Burns 提出的许多创造性想法。我们还从以前的编辑和朋友 Peter Gordon 处得到了许多支持和意见。Peter 离开后, 该项目就由我们现在的编辑 Danielle Christensen 主持。编辑部、设计和生产部主任 Elyse Dubin 为确保本书能够在设计和生产的不同阶段得到最大可能的关注发挥了关键作用。

能够使该书及时出版以及达到如此好的质量的究竟是谁呢? 她就是我们的主编 Karen Shapiro, 我们在这里对她深表谢意。我们同样要感谢我们的家人, 感谢他们的支持和理解。

Adel S. Sedra
Kenneth C. Smith

① 指的是英文原书的封面照片。——编者注

目 录

第 10 章 数字 CMOS 逻辑电路	1
引言	1
10.1 数字电路设计：概述	1
10.1.1 数字 IC 技术和逻辑电路系列	1
10.1.2 逻辑电路特性	3
10.1.3 数字系统的设计风格	5
10.1.4 设计抽象与计算机辅助设计	5
10.2 CMOS 反相器设计与性能分析	6
10.2.1 电路结构	6
10.2.2 静态工作	6
10.2.3 动态工作	8
10.2.4 动态功耗	11
10.3 CMOS 逻辑门电路	12
10.3.1 基本结构	12
10.3.2 二输入或非门	15
10.3.3 二输入与非门	15
10.3.4 复杂门	15
10.3.5 从 PDN 得到 PUN (或从 PUN 得到 PDN)	16
10.3.6 异或函数	17
10.3.7 设计方法总结	18
10.3.8 确定晶体管尺寸	18
10.3.9 扇入与扇出对传播延迟的影响	21
10.4 伪 NMOS 逻辑电路	21
10.4.1 伪 NMOS 反相器	21
10.4.2 静态特性	22
10.4.3 VTC 的推导	23
10.4.4 动态工作特性	25
10.4.5 设计	26
10.4.6 门电路	26
10.4.7 最后的说明	27
10.5 传输晶体管逻辑电路	28
10.5.1 基本设计要求	29
10.5.2 作为开关工作的 NMOS 晶体管	30

10.5.3	作为开关的 CMOS 传输门	33
10.5.4	传输晶体管逻辑电路举例	35
10.5.5	最后的说明	36
10.6	动态逻辑电路	36
10.6.1	基本原理	37
10.6.2	非理想效应	38
10.6.3	多米诺 CMOS 逻辑	40
10.6.4	最后的说明	41
10.7	SPICE 仿真实例	41
	小结	44
	习题	45
第 11 章	存储器与高级数字电路	53
	引言	53
11.1	锁存器与触发器	53
11.1.1	锁存器	53
11.1.2	SR 触发器	54
11.1.3	SR 触发器的 CMOS 实现	55
11.1.4	时钟 SR 触发器的简单 CMOS 实现	57
11.1.5	D 触发器电路	58
11.2	多谐振荡器电路	60
11.2.1	CMOS 单稳态电路	60
11.2.2	非稳态电路	63
11.2.3	环形振荡器	64
11.3	半导体存储器的类型与结构	65
11.3.1	存储器芯片构架	66
11.3.2	存储器芯片时序	67
11.4	随机存储器 (RAM) 单元	68
11.4.1	静态存储器单元	68
11.4.2	动态存储器单元	72
11.5	读放大器与地址译码器	74
11.5.1	读放大器	74
11.5.2	行地址译码器	78
11.5.3	列地址译码器	80
11.6	只读存储器 (ROM)	81
11.6.1	MOS 只读存储器 (ROM)	81
11.6.2	掩膜可编程 ROM	83
11.6.3	可编程 ROM (PROM 和 EPROM)	83
11.7	射极耦合逻辑 (ECL)	85
11.7.1	基本原理	86

11.7.2	ECL 系列	86
11.7.3	基本门电路	87
11.7.4	电压传输特性	89
11.7.5	扇出	93
11.7.6	工作速度与信号传输速度	93
11.7.7	功率损耗	94
11.7.8	温度效应	94
11.7.9	线或 (wired-OR) 能力	96
11.7.10	最后的说明	96
11.8	BiCMOS 数字电路	97
11.8.1	BiCMOS 反相器	97
11.8.2	动态特性	99
11.8.3	BiCMOS 逻辑门	99
11.9	SPICE 仿真实例	100
	小结	105
	习题	106
第 12 章 滤波器与调谐放大器		114
	引言	114
12.1	滤波器传输、分类和规范	114
12.1.1	滤波器传输	114
12.1.2	滤波器分类	115
12.1.3	滤波器规范	115
12.2	滤波器传输函数	117
12.3	巴特沃斯与切比雪夫滤波器	120
12.3.1	巴特沃斯滤波器	120
12.3.2	切比雪夫滤波器	124
12.4	一阶和二阶滤波器函数	126
12.4.1	一阶滤波器	127
12.4.2	二阶滤波器函数	127
12.5	二阶 LCR 谐振器	134
12.5.1	谐振器的极点	134
12.5.2	传输零点的实现	135
12.5.3	低通传输函数的实现	135
12.5.4	高通传输函数的实现	136
12.5.5	带通传输函数的实现	137
12.5.6	陷波函数的实现	137
12.5.7	全通函数的实现	138
12.6	基于电感替代的二阶有源滤波器	139
12.6.1	Antoniou 电感模拟电路	139

12.6.2	运算放大器 RC 谐振器	140
12.6.3	各种类型滤波器的实现	141
12.6.4	全通滤波器电路	145
12.7	基于双积分环结构的二阶有源滤波器	146
12.7.1	双积分环双二次函数的推导	146
12.7.2	电路实现	147
12.7.3	另一种双积分环双二次电路	149
12.7.4	最后的说明	150
12.8	带单级放大的双二次有源滤波器	151
12.8.1	反馈环的合成	151
12.8.2	输入信号的接入	153
12.8.3	等效反馈环路的产生	154
12.9	灵敏度	157
12.9.1	最后的说明	159
12.10	开关电容滤波器	159
12.10.1	基本原理	159
12.10.2	实际电路	161
12.10.3	最后的说明	164
12.11	调谐放大器	164
12.11.1	基本原理	164
12.11.2	电感损耗	166
12.11.3	变压器的使用	167
12.11.4	多级调谐放大器	168
12.11.5	cascode 和 CC-CB 级联电路	168
12.11.6	同步调谐	169
12.11.7	参差调谐	170
12.12	SPICE 仿真实例	173
小结		177
习题		178
第 13 章	信号发生器与波形整形电路	186
引言		186
13.1	正弦波振荡器的基本原理	186
13.1.1	振荡器反馈环	186
13.1.2	振荡判定条件	187
13.1.3	非线性幅度控制	188
13.1.4	实现幅度控制的通用限幅器电路	189
13.2	运算放大器 RC 振荡器电路	191
13.2.1	文氏电桥振荡器	191
13.2.2	移相振荡器	193

13.2.3	正交振荡器	194
13.2.4	有源滤波调谐振荡器	195
13.2.5	最后的说明	196
13.3	LC 振荡器与晶体振荡器	197
13.3.1	LC 调谐振荡器	197
13.3.2	晶体振荡器	199
13.4	双稳态多谐振荡器	201
13.4.1	反馈环	201
13.4.2	双稳态电路的传输特性	202
13.4.3	双稳态电路的触发	204
13.4.4	作为存储器元件的双稳态电路	204
13.4.5	具有同相传输特性的双稳态电路	204
13.4.6	作为比较器应用的双稳态电路	205
13.4.7	更精确的输出电平	207
13.5	基于非稳态多谐振荡器实现的方波和三角波发生器	207
13.5.1	非稳态多谐振荡器的工作原理	208
13.5.2	三角波信号的产生	210
13.6	标准脉冲发生器——单稳态多谐振荡器	211
13.7	集成电路计时器	213
13.7.1	555 电路	213
13.7.2	采用 555 计时器实现的单稳态多谐振荡器	214
13.7.3	采用 555 芯片的非稳态多谐振荡器	215
13.8	非线性波形整形电路	217
13.8.1	断点法	218
13.8.2	非线性放大法	219
13.9	精密整流电路	220
13.9.1	精密半波整流器——超二极管	221
13.9.2	另一种电路	221
13.9.3	应用——交流电压测量	222
13.9.4	精密全波整流器	223
13.9.5	精密桥式整流器在仪表中的应用	225
13.9.6	精密峰值检波器	225
13.9.7	带缓冲的精密检波器	226
13.9.8	精密钳位电路	226
13.10	SPICE 仿真实例	227
	小结	231
	习题	231
第 14 章	输出级与功率放大器	241
	引言	241

14.1	输出级的分类	241
14.2	A 类输出级	242
14.2.1	传输特性	242
14.2.2	信号波形	244
14.2.3	功耗	244
14.2.4	功率转换效率	245
14.3	B 类输出级	246
14.3.1	电路工作原理	246
14.3.2	传输特性	246
14.3.3	功率转换效率	247
14.3.4	功耗	248
14.3.5	减小交越失真	250
14.3.6	单电源工作	250
14.4	AB 类输出级	251
14.4.1	电路工作原理	251
14.4.2	输出电阻	252
14.5	AB 类电路的偏置	253
14.5.1	二极管偏置	253
14.5.2	V_{BE} 电压倍增器偏置	255
14.6	BJT 功率管	257
14.6.1	结温	257
14.6.2	热阻	257
14.6.3	功耗与温度	258
14.6.4	晶体管外壳与散热器	259
14.6.5	BJT 的安全工作区	261
14.6.6	功率管的参数值	262
14.7	各种不同结构的 AB 类电路	262
14.7.1	输入射极跟随器的使用	262
14.7.2	复合管的使用	263
14.7.3	短路保护	265
14.7.4	热停止	266
14.8	集成功率放大器	267
14.8.1	固定增益的集成功率放大器	267
14.8.2	功率运算放大器	270
14.8.3	桥式放大器	271
14.9	MOS 功率晶体管	272
14.9.1	MOS 功率管的结构	272
14.9.2	MOSFET 功率管的特性	273
14.9.3	温度效应	274
14.9.4	与 BJT 的比较	275

14.9.5 MOSFET 实现的 AB 类输出级.....	275
14.10 SPICE 仿真实例.....	276
小结.....	280
习题.....	281
附录 A VLSI 制造技术.....	288
附录 B 二端口网络参数.....	300
附录 C 一些有用的网络定理.....	306
附录 D 单时间常数电路.....	311
附录 E s 域分析——极点、零点和波特图.....	326
附录 F 参考文献.....	332
附录 G 标准电阻值与单位前缀.....	334
附录 H 部分习题答案.....	336

第 10 章 数字 CMOS 逻辑电路

引言

本章讨论 CMOS 逻辑电路。CMOS 是最流行的数字系统的实现技术。其体积小、易于制造以及 MOSFET 功耗小的特点使得它能够被制成集成度极高的逻辑和存储芯片。我们将在第 11 章中讨论。

这一章的开始是概述，目的是给出本章和下一章将介绍的内容的发展前景。然后基于第 4 章介绍的 CMOS 反相器全面讨论它的分析与设计。该内容将被应用到数字逻辑电路的设计中，另外，我们还将介绍两类经常用在特殊应用场合的电路（即伪 NMOS 逻辑电路和传输晶体管逻辑电路）。

为了进一步减少功率损耗和提高性能（工作速度），人们采用了动态 MOS 技术。相关内容将在 10.6 节介绍，本章最后以 SPICE 的仿真实例结束。

概括地讲，本章给出了 CMOS 数字集成电路设计的全面和深入的介绍，这也许是最重要的电子电路领域（从产量和社会影响方面来讲）。为了从本章的内容中获得最大收益，要求读者要非常熟悉 CMOS 晶体管。因此，建议复习一下第 4 章的内容，特别需要认真阅读 4.10 节。

10.1 数字电路设计：概述

本节以 1.7 节给出的数字电路为基础并对该主题做一个概括性的介绍。我们讨论当前正被使用的不同的逻辑电路系列和技术，考虑用来描述工作特性和逻辑电路性能的参数，最后提一下数字系统设计的不同风格。

10.1.1 数字 IC 技术和逻辑电路系列

图 10.1 所示的是现在使用的主要 IC 技术和逻辑电路系列。我们需要对逻辑电路系列的概念做些解释。同一系列的各电路采用相同的工艺，具有相似的电路结构并且呈现相同的基本特性。每一个逻辑系列都有一些优点和缺点。在传统的设计风格中，人们会选择一个特定的逻辑系列（比如 TTL，CMOS 或 ECL）并试图在系统中尽可能多地使用相同系列的电路模块（封装）。采用这种方法时，不同电路模块之间的互连相对直接。从另一方面看，如果使用不同系列的电路模块，则设计者必须设计合适的接口电路。使用哪种逻辑系列是根据逻辑灵活性、工作速度、可提供的功能复杂度、噪声容限、工作温度范围、功率损耗和价格来选择的。我们将在本章和下一章讨论其中一些因素。首先，我们简单地评述图 10.1 所列出的 4 种工艺技术。

CMOS 尽管它是 4 种工艺中的一种，但图中所示并不代表逻辑电路市场份额的分配：CMOS 是数字逻辑设计中占主导地位的集成电路工艺。如前所述，CMOS 已经取代了早期 VLSI 电路设计使用的 NMOS 工艺（20 世纪 70 年代）。其原因有许多，最主要的是 CMOS 电路的功耗很低。CMOS 也已经取代了双极型工艺从而成为数字系统设计的当然选择，它所能达到的集成度（集成电路封装密度）以及一些应用是双极型工艺所无法实现的。此外，CMOS 还在继续发展，而双极型数字电路工艺已经没有什么创新了。下面列出了在数字系统中 CMOS 取代双极型工艺的几个原因。

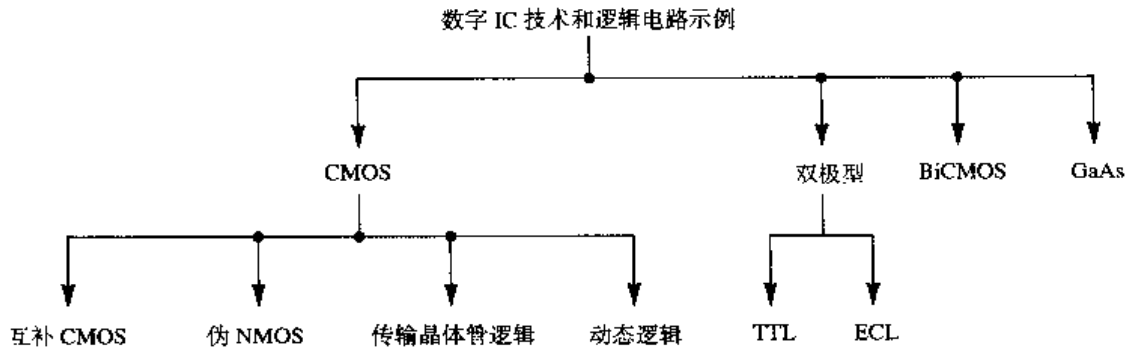


图 10.1 数字 IC 技术和逻辑电路系列

1. CMOS 逻辑电路比双极型逻辑电路消耗的能量少得多，因此与双极型工艺相比，能够在—个芯片里集成更多的 CMOS 电路。我们将在后面几节给出更多关于功率损耗的讨论。
2. MOS 晶体管的高输入阻抗使得设计者能够在逻辑和存储电路里利用存储电荷的方法存放临时信息。在双极型电路中不能使用这种技术。
3. MOS 晶体管的特征尺寸（比如最小沟道长度）近年来有很大的减小，根据最近的报道，有些设计可使用沟道长度小到 $0.06\ \mu\text{m}$ 的晶体管。这就允许采用非常紧凑的电路封装，这意味着具有非常高的集成度。

在各种形式的 CMOS 工艺中，基于 4.10 节介绍的 CMOS 反相器的电路实现采用得最广泛。无论在小规模集成电路（SSI，每个芯片 1~10 个门）还是在大规模集成电路（MSI，每个芯片 10~100 个门）中，都可以在印刷板上装配成的数字系统中找到它们。更有意义的是，CMOS 还被用于 VLSI 逻辑（每个芯片上有百万个门）和存储器电路的设计中。在有些应用中，互补 CMOS 电路作为其他一到两种 MOS 逻辑电路形式的补充，它们是“伪 NMOS”逻辑（这样叫是因为它的结构和 NMOS 类似）和传输晶体管逻辑，这两种电路都会在本章讨论。

第四种类型的 CMOS 逻辑电路使用动态技术得到更高的电路工作速度，同时保持功耗非常低。动态 CMOS 工艺代表了一个正在变得越来越重要的领域。最后，我们将在第 11 章详细讨论将 CMOS 技术应用于存储芯片的设计。

双极型 有两类基于双极型晶体管的逻辑系列现在还有一些应用：TTL 和 ECL。晶体管-晶体管逻辑（TTL 或 T^2L ）是一个被广泛使用了很多年的逻辑电路系列。它的衰落是从 VLSI 时代的到来开始的。但 TTL 电路的制造商曾经通过引入低功耗和高速版本的电路来竞争。那些新的电路版本通过避免 BJT 进入饱和并避免饱和晶体管的缓慢关闭过程来得到高的工作速度。这些非饱和版本的 TTL 电路使用 3.8 节讨论的肖特基二极管并被称为肖特基 TTL 或类似的名字。尽管做了这些努力，TTL 还是没能成为现在主要的逻辑电路系列，本书将不予以介绍。

现在使用的另一种类型的双极型逻辑电路系列是发射极耦合逻辑（ECL）。它是基于 1.7 节讨论的用电流开关实现的反相器。基本的 ECL 单元是第 7 章介绍的 BJT 差分对。由于 ECL 基本上是电流驱动逻辑，因此也被称为“电流模式逻辑”（CML），它不存在晶体管饱和，因此可以实现非常高的工作速度。事实上，在市场上可得到的所有逻辑电路系列中，ECL 是最快的。ECL 还被用于设计高速 VLSI 电路，但设计者需要接受高的功率损耗和大的硅片面积。因此，ECL 被认为是一个重要的特殊技术，我们将在第 11 章对其进行简单的讨论。

BiCMOS BiCMOS 组合了 BJT 的高速度（因为它们固有的高跨导）和 CMOS 的低功耗及其他优点。与 CMOS 一样，BiCMOS 可以在同一个芯片上实现模拟和数字电路（参考第 6 章讨论的模拟 BiCMOS 电路）。现在，BiCMOS 电路在一些特殊应用方面具有很大优势，比如，在存储器

芯片中 BiCMOS 作为高速容性电流驱动器的高性能满足了更复杂的工艺要求。第 11 章将简要地讨论 BiCMOS。

Gallium Arsenide (GaAs) GaAs 的载流子迁移率非常高, 因此具备非常高的工作速度。这一点已在一些使用 GaAs 的数字电路里体现出来。但需要指出的是, GaAs 还只是一种“新兴技术”, 它体现出很大潜力, 但还没有商品化。正因如此, 它也不在本书的讨论之列。但是本书附带的光盘和相应网站上提供了很多的 GaAs 器件和电路, 其中包括数字电路。

10.1.2 逻辑电路特性

下面几个参数常被用来描述一个逻辑电路系列的工作性能。

噪声容限 逻辑电路系列的静态工作特性是用其基本反相器的电压转移特性曲线 (VTC) 描述的。图 10.2 显示了一个电压转移特性曲线和它的 4 个参数: V_{OH} , V_{OL} , V_{IH} 和 V_{IL} 。注意, V_{IH} 和 V_{IL} 定义为 VTC 上斜率等于 -1 的点。同样要指出的是: 门限电压 V_M 或我们常叫的 V_{th} 是 $v_O = v_i$ 的点。回顾一下我们在 1.7 节讨论过的一般形式的 VTC、4.10 节 CMOS 反相器的实际的 V_{TC} 和 5.10 节 BJT 的 VTC。

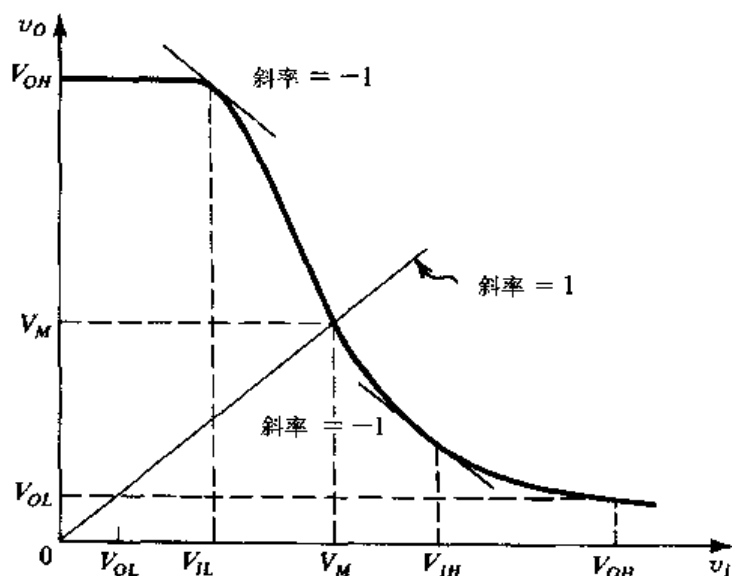


图 10.2 逻辑反相器的典型电压传输特性曲线 (VTC)，其中显示了关键点的定义

逻辑电路系列的稳定性由它抑制噪声的能力决定，并进而由噪声容限 NM_H 和 NM_L 决定：

$$NM_H \equiv V_{OH} - V_{IH} \quad (10.1)$$

$$NM_L \equiv V_{IL} - V_{OL} \quad (10.2)$$

一个理想的反相器有 $NM_H = NM_L = V_{DD}/2$ 。 V_{DD} 是电源电压。此外，对于理想反相器，其门限电压 $V_M = V_{DD}/2$ 。

传播延迟 逻辑电路系列的动态特性是用其基本反相器的传播延迟来描述的。图 10.3 显示了从低到高的传播延迟 (t_{PLH}) 和从高到低的传播延迟 (t_{PHL})。反相器传播延迟 (t_p) 定义为这两个量的平均值：

$$t_p \equiv \frac{1}{2}(t_{PLH} + t_{PHL}) \quad (10.3)$$

显然，传播延迟越短，逻辑电路系列的工作速度就越快。

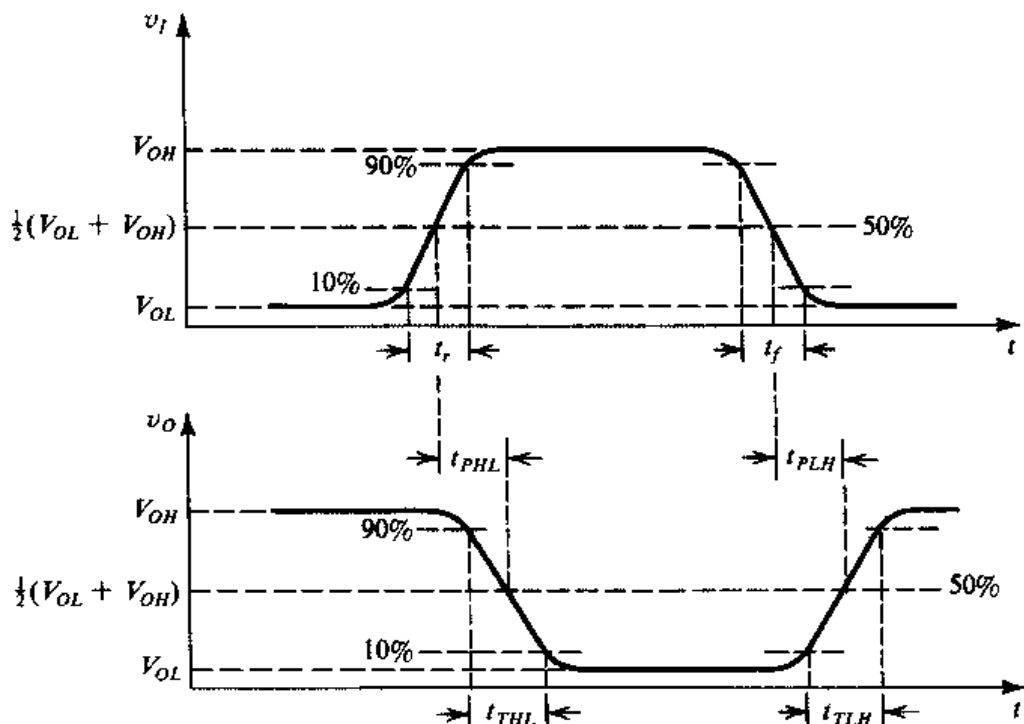


图 10.3 逻辑反相器传播延迟和开关时间的定义

功率损耗 功率损耗是逻辑电路设计的一个重要内容。减少每个门的功耗是为了把更多的门放到一个芯片里，这是基于空间和经济的考虑。总体来说，由于现代数字系统使用大量的门和存储单元，因此要把总的功耗控制在合理的限度内，每个门和存储器的功率损耗必须尽可能低，对手持式、电池驱动的设备 [比如手机和个人数字助理 (PDA)] 更是如此。

在逻辑门中有两类功耗：静态功耗和动态功耗。静态功耗是指在没有开关动作时门电路消耗的功率。这是因为处在两个状态之一或同时处于两个状态（输出为高或为低）时，门电路存在着到电源和地之间的通路。动态功耗只在门电路开关时发生：若一个由电源 V_{DD} 供电的反相器驱动一个负载电容 C ，则动态功耗 P_D 为

$$P_D = fCV_{DD}^2 \quad (10.4)$$

其中， f 是反相器开关的频率。这个公式的推导（见 4.10 节）是基于低电平和高电平输出分别是 0 和 V_{DD} 的假设。

延迟-功率积 人们常会对高速度（低 t_p ）和低功耗的组合感兴趣。遗憾的是：这两者的要求经常是矛盾的。通常设计一个门的时候，如果希望减少功耗，则采取降低电源电压或电流或两者同时降低的方法，因此门的驱动能力将减少，从而导致对负载或者寄生电容的充放电时间加长，传播延迟增加。现在可以只用一个参数来比较逻辑电路技术（或系列）的性能，这个参数就是延迟-功率积，其定义为

$$DP = P_D t_p \quad (10.5)$$

其中， P_D 是门的功率损耗。注意， DP 的单位是焦耳 (J)。一个逻辑电路系列的 DP 越小，其效率就越高。

硅片面积 设计 VLSI 的一个目的就是尽量减少每个门在硅片上的面积，从而就能在每块芯片上制造更多的门，因此从系统设计的角度看就有了体积和成本的优势。我们可以通过三种不同

的方式减少面积：通过先进的加工工艺尽量减少器件尺寸；通过先进的电路设计技术；通过认真的芯片布局。我们的兴趣主要在电路设计上，我们经常会提到电路设计和它的芯片面积的关系。一个普遍的准则是：电路越简单，尺寸就越小。下面很快会讲到，在电路设计时必须决定器件的尺寸。选择更小的器件的明显优势就是占用更小的硅片面积，同时减少寄生电容并提高速度。但小器件的电流驱动能力较小，这又往往会增加延迟。因此在所有的工程设计问题中，需要以一定的方式进行折中考虑，从而决定优化整个设计中的哪个部分才是最关键的。

扇入和扇出 扇入是一个门的输入管脚数目，因此对于一个 4 输入的 NOR 门来说扇入就是 4。扇出就是一个门在保证输出信号符合规范的情况下可以驱动的最大数目的同类的门。作为一个例子，我们在 4.10 节讲到，增加 BJT 反相器的扇出会降低 V_{OH} 并因此减少 NM_H 。在这种情况下，为了使 NM_H 高于一定的最小值，扇出数必须限制在一个可预测的最大值上。

10.1.3 数字系统的设计风格

通常的数字系统设计方法是利用各种不同复杂度（集成度）的标准封装的集成块来组成系统的。许多系统采用诸如 TTL 小规模和中规模封装的集成块组成系统。VLSI 的优势是给设计者提供更强大的元件，比如微处理器和存储器芯片，这使得采用其他的设计风格成为可能。用一片或者两片用户定制的 VLSI 实现部分或整个电路的设计风格就是其中之一。但是用户定制集成块的设计方法只有在产量很大（超过 100 000）的时候才是可行的。

有一个介于两者中间的方法，就是使用门阵列的半定制设计方法。这种集成块有 100 000 个或更多的没有互联在一起的逻辑门。它们通过用户指定的互连图在最后的金属化步骤中完成（在集成电路制造厂完成）互连，这样就可以实现用户的特殊功能要求。现在可以获得的这类门阵列是“现场可编程门阵列”（FPGA），顾名思义，它可以直接由用户编程。FPGA 提供给数字系统设计者一个非常方便的在 VLSI 里实现复杂的逻辑功能的方法，它不增加成本，也不会产生定制和设计 IC 带来的设计周期问题 [参考 Brown 和 Rose (1996)]。

10.1.4 设计抽象与计算机辅助设计

无论采用单片 IC 还是现成的元件，设计非常复杂的数字系统都有可能使用不同层次的设计抽象和各种计算机辅助工具。为了理解设计抽象的概念，我们考虑一个采用现成的逻辑门封装来设计数字系统的过程。设计者通过参考数据手册（或书籍）决定门的输入和输出特性、扇入和扇出限制等。在门的互连中，设计者需要遵守数据手册上的制造规定。设计者不需要直接考虑每个门里面的电路。实际上，电路已经被抽象成一种功能模块来使用，这极大地简化了系统设计。数字集成电路设计者依照类似的过程进行设计。电路模块被设计好且其特性被规范化之后被保存在库里作为标准单元，这些单元可以被集成电路设计人员用来装配大的子系统（比如加法器和乘法器），这些子系统再被作为功能模块存储起来，以便在更大的系统（比如整个微处理器）设计中使用。

在每一个设计抽象层上都需要借助仿真和其他计算机程序使设计过程尽可能地自动化。电路仿真使用 SPICE，而其他软件工具被用于设计过程的不同阶段。尽管数字系统设计和设计自动化不是本书讨论的内容，但是读者需要注意数字系统设计中计算机辅助设计和设计抽象所扮演的重要角色。它们使设计 100 000 000 个晶体管的数字集成电路成为可能。遗憾的是，模拟集成电路设计没有达到这样的设计抽象和设计自动化。每一个模拟集成电路在很大程度上是一个手工制品，因此模拟集成块的复杂度和集成度远低于数字集成电路。

不管在数字集成电路设计中采用哪种设计风格和方式，最根本的是要熟悉各种数字集成电路系列和设计技术。本章和下一章将介绍这样一种背景。

10.2 CMOS 反相器设计与性能分析

我们曾在 4.10 节介绍了 CMOS 反相器, 建议读者在继续下面的学习前复习一下这部分内容。本节将更全面地分析反相器, 探讨它的性能以及设计时的折中考虑。这些内容是学习后面几节内容的基础。

10.2.1 电路结构

图 10.4 (a) 所示的反相器由一对互补 MOSFET 组成, 它们由输入电压 v_i 控制状态切换。尽管没有在图中画出, 然而需要注意每一个器件的源极都和衬底相连, 因此消除了衬底效应。通常, 门限电压 V_m 和 V_{tp} 在幅度上是一致的, 即 $V_m = |V_{tp}| = V_t$, 范围是 0.2 V 到 1 V, 现代小尺寸工艺 (沟道长度是 0.5 μm 到 0.1 μm 或更小) 制成的晶体管可达到这个范围的低端。

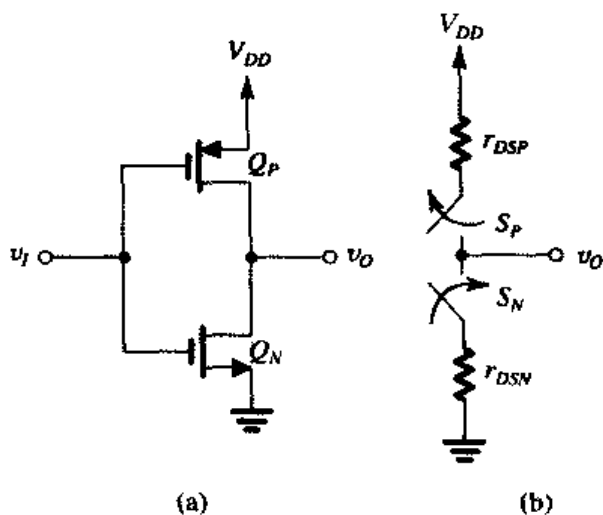


图 10.4 (a) CMOS 反相器; (b) 用互补方式工作的一对开关表示的反相器

反相器的工作原理可以用一对工作在互补情况下的开关表示, 如图 10.4 (b) 所示。开关是用一个有限的导通电阻来模拟的, 电阻值是晶体管在 $|v_{DS}| = 0$ 附近的源漏之间的电阻:

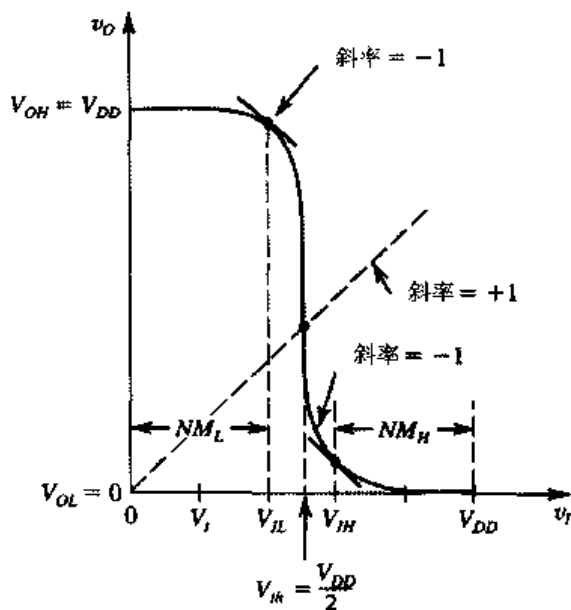
$$r_{DSN} = 1 / \left[k'_n \left(\frac{W}{L} \right)_n (V_{DD} - V_t) \right] \quad (10.6)$$

$$r_{DSP} = 1 / \left[k'_p \left(\frac{W}{L} \right)_p (V_{DD} - V_t) \right] \quad (10.7)$$

10.2.2 静态工作

当 $v_i = 0$ 时, $v_o = V_{OH} = V_{DD}$, 输出节点通过上拉晶体管 Q_p 的 r_{DSP} 连接到 V_{DD} 。同样, 当 $v_i = V_{DD}$ 时, $v_o = V_{OL} = 0$, 输出节点通过下拉晶体管 Q_n 的电阻 r_{DSN} 连接到地。因此静态时, V_{DD} 和地之间没有直通的路径, 静态电流和静态功耗都等于 0 (漏电流一般可以忽略, 尤其是对大特征尺寸的器件)。

反相器的电压传输特性曲线如图 10.5 所示。从中可以看到输出电压等于 0 或 V_{DD} , 因此输出摆幅达到最大可能值。事实上, V_{OL} 和 V_{OH} 与器件尺寸无关的特性使得 CMOS 与其他 MOS 逻辑有很大的不同。

图 10.5 Q_N 和 Q_P 匹配时 CMOS 反相器的电压转移特性曲线 (VTC)

通过恰当地改变晶体管尺寸, CMOS 反相器可以被制成在逻辑摆幅 (0 和 V_{DD}) 的中点 (即在 $V_{DD}/2$) 进行开关动作。可以证明开关门限 V_{th} (或 V_M) 为

$$V_{th} = \frac{V_{DD} - |V_{tp}| + \sqrt{k_n/k_p} V_m}{1 + \sqrt{k_n/k_p}} \quad (10.8)$$

其中, $k_n = k'_n(W/L)$, $k_p = k'_p(W/L)_p$, 从中我们可以看到对于典型的情况 $V_m = |V_{tp}|$, 若 $V_{th} = V_{DD}/2$, 则 $k_n = k_p$, 即

$$k'_n(W/L)_n = k'_p(W/L)_p \quad (10.9)$$

因此, 当器件被设计成有相同的跨导工艺参数时就可得到一个对称的传输特性曲线, 我们把这个条件称为匹配。由于 μ_n 是 μ_p 的两倍到四倍, 因此通过令 $(W/L)_p$ 是 $(W/L)_n$ 的两倍到四倍 (即 μ_n/μ_p 倍) 可使晶体管匹配:

$$\left(\frac{W}{L}\right)_p = \frac{\mu_n}{\mu_p} \left(\frac{W}{L}\right)_n \quad (10.10)$$

通常, 两个器件有相同的沟道长度 L , 它是给定的工艺所允许的最小尺寸。NMOS 晶体管的最小宽度通常是 L 的 1.5 倍到 2 倍, 而 PMOS 晶体管的最小宽度是 L 的 2 倍到 3 倍。比如, 对于 $0.25 \mu\text{m}$ 工艺, 有 $\mu_n/\mu_p = 3$, $L = 0.25 \mu\text{m}$, 则 $(W/L)_n = 0.375 \mu\text{m}/0.25 \mu\text{m}$, $(W/L)_p = 1.125 \mu\text{m}/0.25 \mu\text{m}$ 。我们很快会讲到, 如果反相器需要驱动相对较大的电容负载, 则要求晶体管比较宽。但是为了节省芯片面积, 大多数反相器都具有最小尺寸。我们把这种最小尺寸反相器的 NMOS 晶体管的 $(W/L)_n$ 记做 n , 把 PMOS 晶体管的 $(W/L)_p$ 记做 p 。由于反相器的面积可以用 $W_n L_n + W_p L_p = (W_n + W_p)L$ 表示, 所以最小尺寸反相器的面积是 $(n + p)L^2$, 我们用 $(n + p)$ 作为表示面积的近似指数。比如在前面的例子中, $n = 1.5$, $p = 4.5$, 于是面积指数就是 $n + p = 6$ 。

除了把门的门限放在逻辑摆幅的中心之外, Q_N 和 Q_P 跨导工艺参数的匹配能够保证反相器在两个方向 (上拉和下拉) 都具有相同的电流驱动能力。此外与它明显相关的是, 它使得 $r_{DSN} = r_{DSP}$, 因此一个由匹配晶体管组成的反相器具有相同的传播延迟 t_{PLH} 和 t_{PHL} 。

当反相器的门限等于 $V_{DD}/2$ 时, 噪声容限 NM_H 和 NM_L 相同, 并且它们的值是最大的 (见 4.10 节);

$$NM_H = NM_L = \frac{3}{8} \left(V_{DD} + \frac{2}{3} V_t \right) \quad (10.11)$$

典型情况是 $V_t = 0.1 \sim 0.2 V_{DD}$, 则噪声容限大约是 $0.4V_{DD}$, 这个值接近于电源电压的一半, 也就是 CMOS 反相器从抗噪声角度看接近于理想情况。另外, 反相器的直流输入电流实际上等于 0, 噪声容限不依赖于门的扇出数。

尽管我们强调 Q_N 和 Q_P 匹配所带来的好处, 但也存在着一些情况使人们不采用匹配时的尺寸比例。比如, 人们可能为了减少芯片面积而放弃匹配带来的优点, 采用 $(W/L)_p = (W/L)_n$ 。还有一些情况下人们故意把 V_{th} 设置成特定的数值而不是 $V_{DD}/2$, 使它们不匹配。注意, 如果 $k_n > k_p$, 则 V_{th} 接近于 0; 而如果 $k_p > k_n$, 则 V_{th} 接近于 V_{DD} 。

关于反相器的 VTC 还有一点要说明: 转换区的斜率虽然很大, 但还是有限值, 该值为 $-(g_{mN} + g_{mP})(r_{oN} // r_{oP})$ 。

10.2.3 动态工作

反相器的延迟通常是在它驱动另一个相同的反相器的条件下确定的, 参见图 10.6。我们希望通过分析该电路来确定由 Q_1 和 Q_2 组成的反相器的传播延迟。它由一个低阻抗信号源 v_i 驱动, 负载是由 Q_3 和 Q_4 组成的反相器。图中显示了连接在反相器 (Q_1 和 Q_2) 输出节点的晶体管各内部电容。显然, 用纸和笔对此电路进行分析太复杂以至于得不到对设计有用的信息, 因此需要一个简化的电路。具体而言, 我们希望把所有连接在反相器输出节点的电容只用一个连接在输出节点和地之间的电容 C 表示。这样就能够使用 4.10 节介绍的瞬态分析的结果。我们注意到在 t_{PLH} 和 t_{PHL} 期间, 第一个反相器的输出分别从 0 变到 $V_{DD}/2$ 和从 $V_{DD}/2$ 变回到 0。而第二个反相器在我们分析的这段时间内保持同一个状态。这对我们估计第二个反相器的输入等效电容非常重要。现在我们讨论图 10.6 中的每一个电容对总的等效负载电容 C 的贡献:

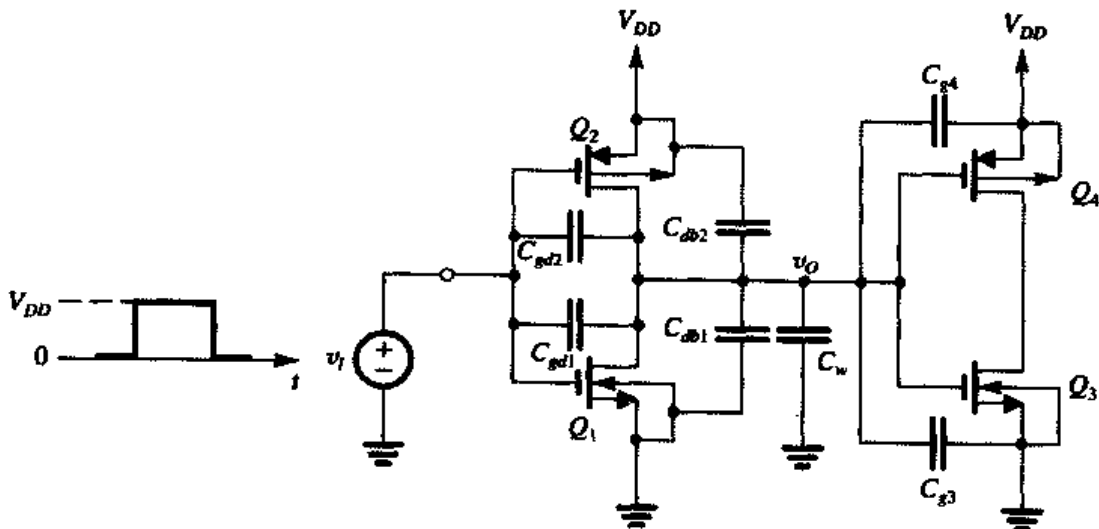


图 10.6 用于分析由 Q_1 和 Q_2 组成的反相器传播延迟的电路, 它驱动一个由 Q_3 和 Q_4 组成的相同反相器

1. Q_1 的栅漏重叠电容 C_{gd1} 可以用输出节点和地之间的等效电容 $2C_{gd1}$ 表示。系数 2 是米勒效应的结果 (参见 6.4.4 节)。具体而言, 在 v_i 变高和 v_o 变低相同数量的时候, 电容 C_{gd1} 两

端的电压是该变化量的两倍, 因此输出节点实际看到的是两倍的 C_{gd1} 。对 Q_2 的栅漏重叠电容 C_{gd2} 也一样, 需要用输出和地之间的 $2C_{gd2}$ 表示。

2. 每个漏-衬底电容 C_{db1} 和 C_{db2} 都有一端接的是固定电压。为了便于分析, C_{db1} 和 C_{db2} 可以用连接在输出端和地之间的等量电容取代。但要注意的是, 4.8 节给出的计算 C_{db1} 和 C_{db2} 的公式是小信号关系式, 这里的分析显然是大信号的情况。好在求解 C_{db1} 和 C_{db2} 的等效大信号关系式的方法已被找到 [参考 Hodges 和 Jackson(1988)和 Rabaey(2002)]。
3. 由于第二个反相器不在开关状态, 因此我们假设 Q_3 和 Q_4 的输入电容近似为常数, 等于总的栅极电容 ($WLC_{ox} + C_{gsov} + C_{gdov}$), 即负载反相器的输入电容为

$$C_{g3} + C_{g4} = (WL)_3 C_{ox} + (WL)_4 C_{ox} + C_{gsov3} + C_{gdov3} + C_{gsov4} + C_{gdov4}$$

4. 最后一个电容 C 的分量是导线电容 C_w , 它可以简单地被加到电容 C 中。

因此, 总的电容 C 是

$$C = 2C_{gd1} + 2C_{gd2} + C_{db1} + C_{db2} + C_{g3} + C_{g4} + C_w \quad (10.12)$$

求得反相器输出节点和地之间的等效电容的近似值之后, 我们可以用图 10.7 来分别确定 t_{PHL} 和 t_{PLH} 。由于两个电路相似, 因此只需要求解一个电路并把结果直接用到另一个电路即可。考虑图 10.7 (a) 所示的电路, v_i 变高, Q_N 对 C 放电, 电压从起始电压 V_{DD} 降到等于 0。分析过程有点复杂, 因为初始的 Q_N 处于饱和模式, 当 v_O 跌落到低于 $V_{DD} - V_t$ 时, 晶体管将工作在变阻区。实际上在 4.10 节已有过这样的分析, 并且得到 t_{PHL} 的近似表达式为

$$t_{PHL} = \frac{1.6C}{k'_n \left(\frac{W}{L} \right)_n V_{DD}} \quad (10.13)$$

其中, 我们假设 $V_t \approx 0.2 V_{DD}$, 这是一种典型情况。

另外, 还有一种近似的但更简单的分析图 10.7 (a) 所示电路的方法。它以计算在时间间隔 $t = 0$ 到 $t = t_{PHL}$ 之间的平均放电电流 i_{DN} 为基础。具体而言, 在 $t = 0$ 时 Q_N 饱和, $i_{DN}(0)$ 由下式给出:

$$i_{DN}(0) = \frac{1}{2} k'_n \left(\frac{W}{L} \right)_n (V_{DD} - V_t)^2 \quad (10.14)$$

在 $t = t_{PHL}$ 时, Q_N 处于变阻区, $i_{DN}(t_{PHL})$ 为

$$i_{DN}(t_{PHL}) = k'_n \left(\frac{W}{L} \right)_n \left[(V_{DD} - V_t) \frac{V_{DD}}{2} - \frac{1}{2} \left(\frac{V_{DD}}{2} \right)^2 \right] \quad (10.15)$$

平均放电电流为

$$i_{DN}|_{\text{平均}} = \frac{1}{2} [i_{DN}(0) + i_{DN}(t_{PHL})] \quad (10.16)$$

放电间隔 t_{PHL} 由下式计算得到:

$$t_{PHL} = \frac{C \Delta V}{i_{DN}|_{\text{平均}}} = \frac{C V_{DD} / 2}{i_{DN}|_{\text{平均}}} \quad (10.17)$$

利用式 (10.14) 到式 (10.17), 并把 $V_t = 0.2 V_{DD}$ 代入, 得到

$$t_{PHL} \approx \frac{1.7C}{k'_n \left(\frac{W}{L} \right)_n V_{DD}} \quad (10.18)$$

它的数值非常接近由更精确的表达式 [即式 (10.13)] 得到的值。用哪个公式不是很重要, 因为我们已经做了很多近似。实际上, 我们使用这些公式不是为了得到一个精确的 t_{PHL} 值, 而是希望从中知道哪些因素影响了反相器的延迟。这也是电路设计人员希望从手工分析中得到的结论。传播延迟的精确值可以通过计算机仿真获得 (参见 10.7 节)。

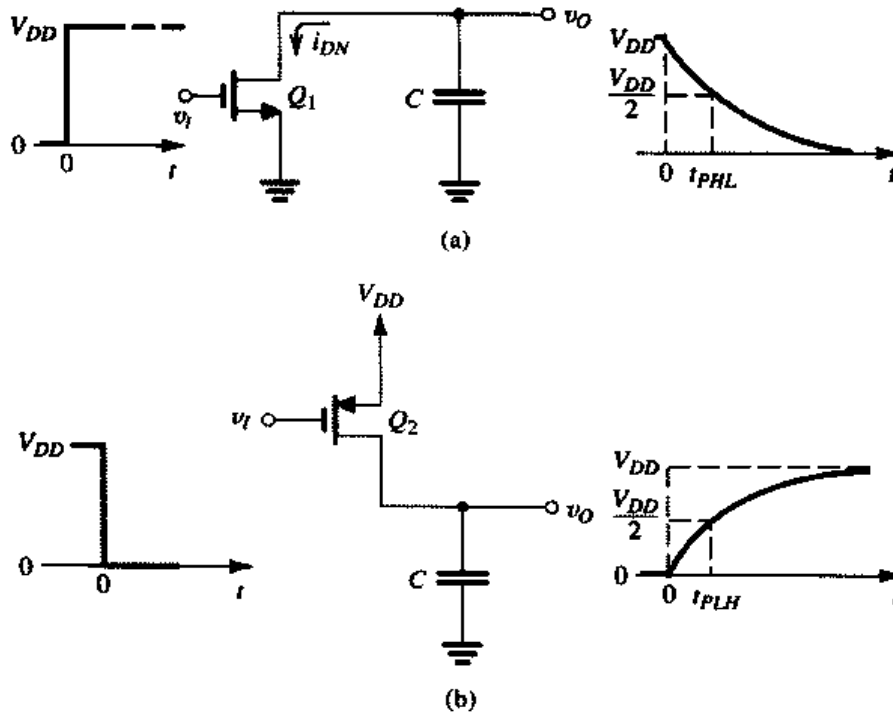


图 10.7 确定反相器传播延迟的等效电路: (a) t_{PHL} ; (b) t_{PLH}

与式 (10.17) 类似, 我们可以解出求解从低到高的反相器延迟 t_{PLH} 的表达式:

$$t_{PLH} \approx \frac{1.7C}{k'_p \left(\frac{W}{L} \right)_p V_{DD}} \quad (10.19)$$

最后, 传播延迟 t_p 可以通过求 t_{PHL} 和 t_{PLH} 的平均值得到:

$$t_p = \frac{1}{2}(t_{PHL} + t_{PLH})$$

仔细分析式 (10.18) 和式 (10.19), 我们可以得到一些有用的观察结果:

1. 正如预期的那样, 通过选择比值 (W/L) 使 k_n 和 k_p 相等, 即 Q_N 和 Q_P 匹配, 可使 t_p 的两个分量相等。
2. 由于 t_p 正比于 C , 因此设计者需要尽量设法减少 C 。这可以通过采用沟道长度最小的器件和减少导线电容及其他寄生电容来达到。对芯片进行仔细的布局可以显著减少这些电容和 C_{db} 的数值。
3. 使用大跨导工艺参数 k' 的制造技术可以得到更短的传播延迟。但要记住的是: 该工艺的 C_{ox} 会增加, 因此电容 C 会同时增加。
4. 使用大比值的 (W/L) 可以减少 t_p 。但要小心, 因为增加器件尺寸也就增加了 C 的值, 从而得不到期望的降低 t_p 的目的。但在主导电容 C 的因数不直接和驱动管的尺寸相关的时候 (比如导线和扇出器件), 通过增加 W/L 来减少 t_p 是一个有效的策略。

5. 大电源电压 V_{DD} 产生一个较低的 t_{p0} 。但 V_{DD} 是由工艺决定的，并不由设计者控制。此外，现代制造工艺减小了器件尺寸，同时也需要更低的 V_{DD} （参见表 6.1）。低电压是因为要求动态功耗保持在一个可接受的水平，尤其对于集成度非常高的芯片更是如此，我们将在后面详细讨论这方面的内容。

这些观察结果清楚地说明了在设计 CMOS 数字集成电路时性能指标之间的矛盾和设计时的折中考虑（事实上是任何工程设计都会涉及的问题）。

10.2.4 动态功耗

可忽略的静态功耗是 VLSI 电路选择 CMOS 作为其主要工艺的一个重要原因。但是当每块芯片上的数量稳步增加时，动态功耗就会变成一个严重的问题。CMOS 反相器的动态功耗由式 (10.4) 给出，我们在这里重复如下：

$$P_D = f C V_{DD}^2 \quad (10.20)$$

其中， f 是门的开关频率。可见，减少电容 C 是减少动态功耗的一个有效方法。更加有效的一个策略是降低电源电压。我们注意到新的 CMOS 工艺使用低至 1 V 的 V_{DD} 电压值。每一片这样的芯片都封装进了更多的电路（多达 1 亿个晶体管），并且工作在更高的频率（现在可得到的微处理器时钟频率高于 1 GHz）。这样的高集成度芯片的动态功耗可能超过 100 W。

例题 10.1 考虑 0.25 μm 工艺制造的 CMOS 反相器， $C_{ox} = 6 \text{ fF}/\mu\text{m}^2$ ， $\mu_n C_{ox} = 115 \mu\text{A}/\text{V}^2$ ， $\mu_p C_{ox} = 30 \mu\text{A}/\text{V}^2$ ， $V_{tn} = -V_{tp} = 0.4 \text{ V}$ ， $V_{DD} = 2.5 \text{ V}$ 。 Q_N 的 W/L 比值是 $0.375 \mu\text{m}/0.25 \mu\text{m}$ ， Q_P 的 W/L 比值是 $1.125 \mu\text{m}/0.25 \mu\text{m}$ 。栅源和栅漏重叠电容是每单位栅极宽度 $0.3 \text{ fF}/\mu\text{m}$ 。此外漏-衬底电容 $C_{dbn} = 1 \text{ fF}$ 和 $C_{dbp} = 1 \text{ fF}$ ，导线电容 $C_w = 0.2 \text{ fF}$ 。求 t_{PHL} ， t_{PLH} 和 t_{p0} 。

解：我们首先用式 (10.12) 确定等效电容 C 的值：

$$C = 2C_{gd1} + 2C_{gd2} + C_{db1} + C_{db2} + C_{g3} + C_{g4} + C_w$$

其中，

$$C_{gd1} = 0.3 \times W_n = 0.3 \times 0.375 = 0.1125 \text{ fF}$$

$$C_{gd2} = 0.3 \times W_p = 0.3 \times 1.125 = 0.3375 \text{ fF}$$

$$C_{db1} = 1 \text{ fF}$$

$$C_{db2} = 1 \text{ fF}$$

$$C_{g3} = 0.375 \times 0.25 \times 6 + 2 \times 0.3 \times 0.375 = 0.7875 \text{ fF}$$

$$C_{g4} = 1.125 \times 0.25 \times 6 + 2 \times 0.3 \times 1.125 = 2.3625 \text{ fF}$$

$$C_w = 0.2 \text{ fF}$$

因此，

$$C = 2 \times 0.1125 + 2 \times 0.3375 + 1 + 1 + 0.7875 + 2.3625 + 0.2 = 6.25 \text{ fF}$$

接下来，尽管我们可以用式 (10.18) 来确定 t_{PHL} ，然而我们决定采用另一种方法。考虑电容 C 通过 Q_N 放电，并利用式 (10.14) 到式 (10.16) 确定平均放电电流。

$$\begin{aligned} i_{DN}(0) &= \frac{1}{2} k'_n \left(\frac{W}{L} \right)_n (V_{DD} - V_t)^2 \\ &= \frac{1}{2} \times 115 \left(\frac{0.375}{0.25} \right) (2.5 - 0.4)^2 = 380 \mu\text{A} \end{aligned}$$

$$\begin{aligned}
 i_{DN}(t_{PHL}) &= k'_n \left(\frac{W}{L} \right)_n \left[(V_{DD} - V_t) \frac{V_{DD}}{2} - \frac{1}{2} \left(\frac{V_{DD}}{2} \right)^2 \right] \\
 &= 115 \times \frac{0.375}{0.25} \left[(2.5 - 0.4) \frac{2.5}{2} - \frac{1}{2} \left(\frac{2.5}{2} \right)^2 \right] \\
 &= 318 \mu\text{A}
 \end{aligned}$$

因此,

$$i_{DN}|_{\text{平均}} = \frac{380 + 318}{2} = 349 \mu\text{A}$$

并且

$$t_{PHL} = \frac{C(V_{DD}/2)}{i_{DN}|_{\text{平均}}} = \frac{6.25 \times 10^{-15} \times 1.25}{349 \times 10^{-6}} = 23.3 \text{ ps}$$

由于 $W_p/W_n=3$ 而 $\mu_n/\mu_p=3.83$, 可见反相器没有完全匹配, 因此希望 t_{PLH} 比 t_{PHL} 大 $3.83/3=1.3$ 倍, 所以,

$$t_{PLH} = 1.3 \times 23.3 = 30 \text{ ps}$$

因此可求得 t_p 为

$$\begin{aligned}
 t_p &= \frac{1}{2}(t_{PHL} + t_{PLH}) \\
 &= \frac{1}{2}(23.3 + 30) = 26.5 \text{ ps}
 \end{aligned}$$

练习 10.1 考虑例题 10.1 所描述的反相器, 当负载电容增加 0.1 pF 的时候, 传播延迟变成多少?

答案: 437 ps

练习 10.2 为了减小例题 10.1 的反相器的面积, $(W/L)_p$ 被制造成等于 $(W/L)_n$, 问面积能够减少的百分比是多少? 求新的 C , t_{PHL} , t_{PLH} 和 t_p 的值, 假设 C_{dbp} 变化不大。

答案: 50%; 4.225 fF; 15.8 ps; 20.5 ps; 18.1 ps

练习 10.3 对于例题 10.1 的反相器, 求时钟频率为 500 MHz 时的动态功耗。

答案: 19.5 μW

10.3 CMOS 逻辑门电路

本节介绍反相器的设计, 并考虑如何用 CMOS 实现组合逻辑功能。组合逻辑电路在任何时刻的输出都是那个时刻输入信号值的函数, 因此这些电路没有记忆也没有反馈。组合逻辑电路在各种场合都得到大量的应用, 事实上每个数字电路都包括了大量的组合逻辑电路。

10.3.1 基本结构

CMOS 组合电路实际上是 CMOS 反相器的延伸或扩展。反相器由 NMOS 下拉晶体管和 PMOS 上拉晶体管组成, 在输入电压作用下工作在互补状态。CMOS 逻辑门由两个网络组成, 即由 NMOS 晶体管组成的下拉网络 (PDN) 和由 PMOS 晶体管组成的上拉网络 (PUN) (见图 10.8)。这两个网络在输入变量的作用下工作在互补状态。因此, 对于图 10.8 所示的三输入逻辑门, 当输入组合需要使输出为低电平的时候 ($Y=0$), PDN 会导通并把输出节点拉到地, 导致输出电压 $v_Y=0$ 。同时 PUN 关闭, 在 V_{DD} 和地之间没有直流通路。另一方面, 在所有要求高电平输出的输入组合下

($Y=1$)，PUN 会导通，从而把输出节点上拉到 V_{DD} ，使输出电压 $v_Y = V_{DD}$ 。同时 PDN 关闭，因此在 V_{DD} 和地之间仍然没有直流通路。

现在，由于 PDN 由 NMOS 晶体管组成，而 NMOS 晶体管在它的栅极为高电平时导通，因此 PDN 在输入为高的时候起作用。另一方面，由于 PUN 由 PMOS 晶体管组成，PMOS 晶体管在栅极输入为低的时候导通，因此 PUN 在输入为低的时候起作用。

PDN 和 PUN 各自采用多个器件并联连接能够实现 OR（或）功能，串联连接可实现 AND（与）功能。这里，“或”和“与”的标记是指电流流通或导通。图 10.9 所示的是 PDN 的例子。对于图 10.9 (a) 所示的电路，我们看到 Q_A 在 A 是高电平时 ($v_A = V_{DD}$) 导通，并且把输出节点下拉到地 ($v_Y = 0\text{ V}$, $Y=0$)。同样， Q_B 在 B 为高电平时导通并把 Y 拉低，因此 Y 在 A 或 B 为高电平时变低，可以表示为

$$\bar{Y} = A + B$$

或等效为

$$Y = \overline{A + B}$$

图 10.9 (b) 所示的 PDN 在 A 和 B 同时为高的时候导通，因此在 A 为高并且 B 也为高的时候 Y 才为低。

$$\bar{Y} = AB$$

或者等效为

$$Y = \overline{AB}$$

作为最后一个例子，图 10.9 (c) 所示的 PDN 在 A 为高或者 B 与 C 同时为高的时候导通，使得 Y 变为 0。因此，

$$\bar{Y} = A + BC$$

或者等效为

$$Y = \overline{A + BC}$$

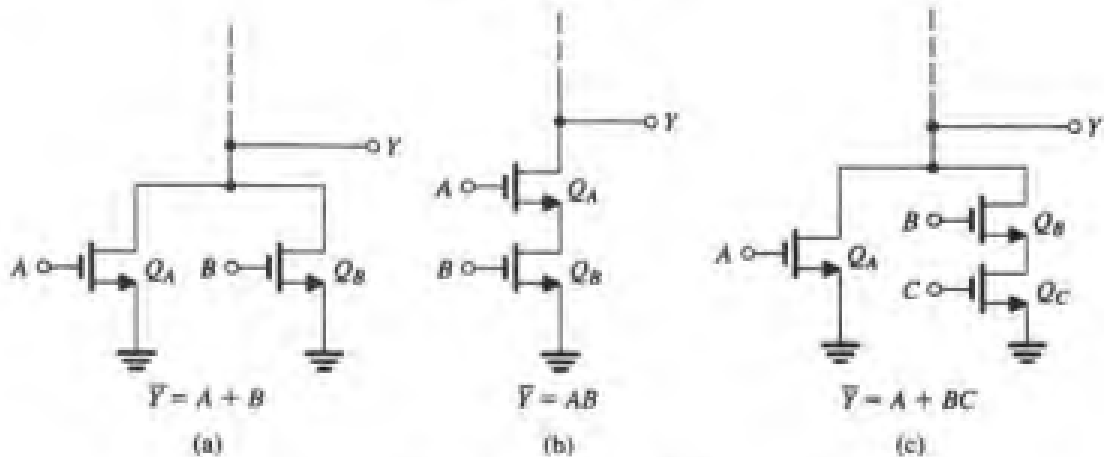


图 10.9 上拉网络的例子

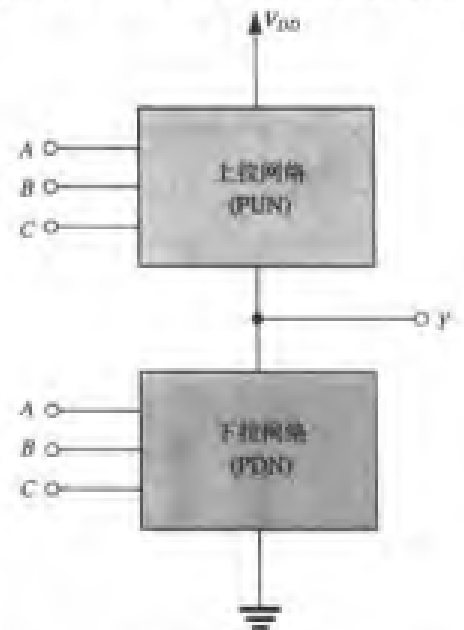


图 10.8 三输入 CMOS 逻辑门的表示形式。PMOS 晶体管组成 PUN，NMOS 晶体管组成 PDN

接下来考虑图 10.10 所示的 PUN 的例子。图 10.10 (a) 所示的 PUN 在 A 为低或 B 为低的时候导通, 并把 Y 拉到 $V_{DD}(Y=1)$, 因此,

$$Y = \bar{A} + \bar{B}$$

图 10.10 (b) 所示的 PUN 只有在 A 和 B 同时为低的时候才导通, 并输出高电平 ($v_Y = V_{DD}, Y=1$), 因此,

$$Y = \bar{A}\bar{B}$$

最后, 图 10.10 (c) 所示的 PUN 在 A 为低或者 B 与 C 同时为低时导通, 并使 Y 变高 (逻辑 1), 因此,

$$Y = \bar{A} + \bar{B}\bar{C}$$

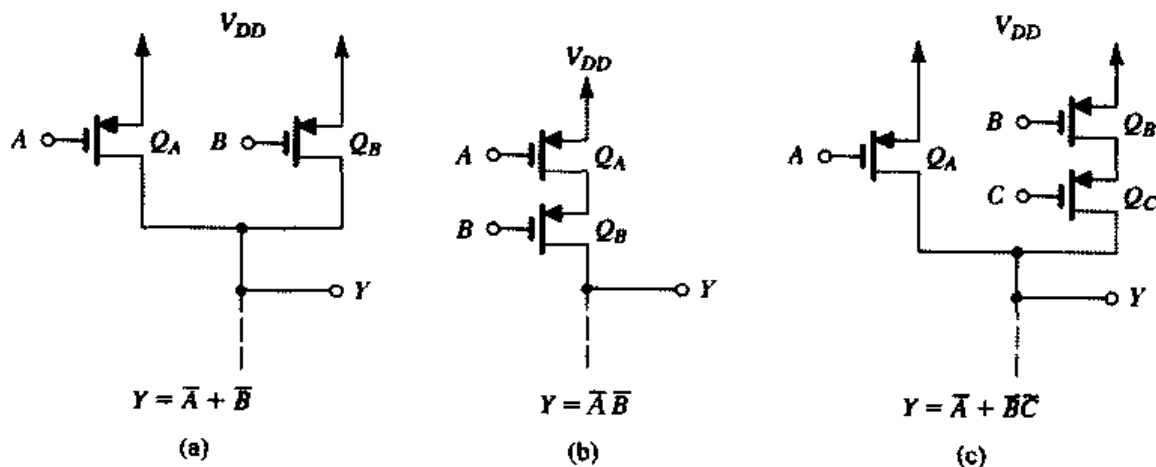


图 10.10 下拉网络的例子

在介绍了 PUN 和 PDN 的结构及工作原理之后, 我们现在考虑完整的 CMOS 门。但在此之前, 我们希望先引入另一种电路符号, 它对数字电路设计者来说几乎是 MOS 晶体管的通用符号。图 10.11 给出了常用的符号 (左边) 及对应的“数字”符号 (右边)。我们注意到 PMOS 晶体管在栅极有一个圆圈, 表示栅极电压在低电平时器件才能起作用 (即导通)。因此用逻辑电路的术语说, PMOS 晶体管的栅极输入是低电平有效的。除了暗示 PMOS 的特性以外, 数字符号省略了标识源极和漏极的任何说明, 这对我们这一阶段的学习不会带来任何困难, 只是要记住对 NMOS 晶体管, 漏端位于高电压的一端 (电流从漏极流向源极); 对 PMOS 晶体管, 源极位于高电压的一端 (电流由源极流向漏极)。为了与文献一致, 我们下面将使用这些改变过的符号来表示逻辑电路中的 MOS 晶体管, 只是在某些有助于帮助理解电路工作原理的情况下才使用通常的符号。

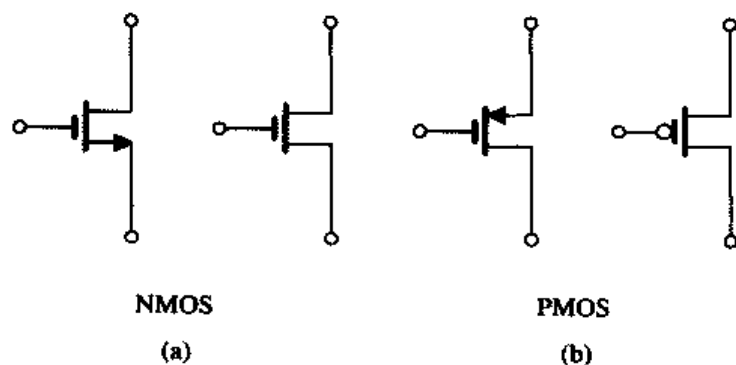


图 10.11 MOSFET 常用的符号及另一种符号

10.3.2 二输入或非门

我们首先考虑实现二输入或非门的 CMOS 逻辑门:

$$Y = \overline{A+B} = \overline{A}\overline{B} \quad (10.21)$$

我们看到当 A 或 B 为高电平时 Y 为低 (PDN 导通), 因此 PDN 是以 A 和 B 作为输入的两个 NMOS 晶体管并联构成的网络 [如图 10.9 (a) 所示的电路]。对于 PUN, 我们注意到式 (10.21) 的第二种形式, Y 只有在 A 和 B 都为低的时候才为高, 因此 PUN 是由以 A 和 B 作为输入的两个 PMOS 晶体管串联构成的网络 [如图 10.10 (b) 的电路]。把 PDN 和 PUN 放在一起, 可得到图 10.12 所示的 CMOS 或非门。我们注意到扩展输入端的数量是很直接的: 每增加一个输入端, 会相应地增加一个 NMOS 晶体管和 Q_{NA} 与 Q_{NB} 并联, 同时增加一个 PMOS 管和 Q_{PA} 与 Q_{PB} 串联。

10.3.3 二输入与非门

二输入端与非门的功能用布尔表达式表示为

$$Y = \overline{AB} = \overline{A} + \overline{B} \quad (10.22)$$

为了设计 PDN, 我们考虑需要 Y 变低的输入组合: 只有一种这样的组合, 就是 A 和 B 同时为高。因此用两个 NMOS 晶体管串联可简单地构成 PDN [如图 10.9 (b) 所示的电路]。为了设计 PUN, 我们考虑使 Y 变成高电平的输入组合。从式 (10.22) 的第二个表达式看到, A 或 B 为低的时候可以满足要求。因此 PUN 由输入端分别是 A 和 B 的两个并联的 PMOS 构成 [如图 10.10 (a) 所示的电路]。把 PDN 和 PUN 组合在一起可得到图 10.13 所示的 CMOS 与非门电路。我们注意到扩展输入端的数量是很直接的: 每增加一个输入端, 会相应地增加一个 NMOS 晶体管和 Q_{NA} 与 Q_{NB} 串联, 同时增加一个 PMOS 晶体管和 Q_{PA} 与 Q_{PB} 并联。

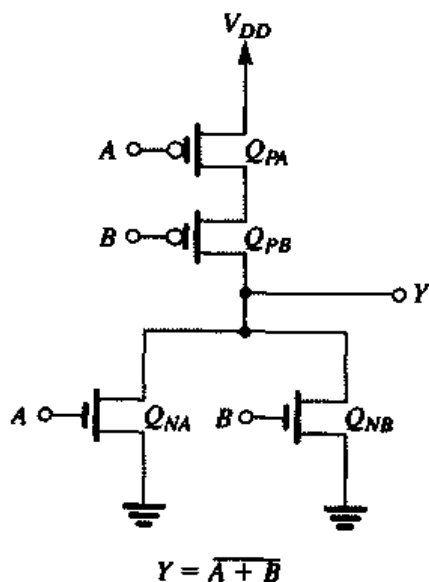


图 10.12 二输入 CMOS 或非门

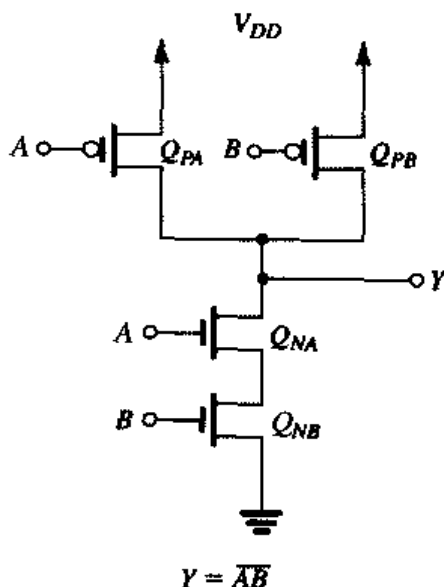


图 10.13 二输入 CMOS 与非门

10.3.4 复杂门

我们考虑一个更复杂的逻辑函数:

$$Y = \overline{A(B+CD)} \quad (10.23)$$

由于 $\bar{Y} = A(B+CD)$, 可见在 A 为高且 B 也为高或者 C 与 D 同时为高的情况下 Y 为低, 从这里就能直接得到 PDN。为了得到 PUN, 我们需要把 Y 表示成反变量的形式, 我们通过反复应用 DeMorgan 定律得到

$$\begin{aligned} Y &= \overline{A(B+CD)} \\ &= \overline{\bar{A} + \overline{B+CD}} \\ &= \overline{\bar{A} + \bar{B} \bar{C} \bar{D}} \\ &= \overline{\bar{A} + \bar{B}(\bar{C} + \bar{D})} \end{aligned} \quad (10.24)$$

因此, 当 A 为低或 B 为低和 C 或 D 为低时 Y 为高。图 10.14 所示的是对应的完整 CMOS 电路。

10.3.5 从 PDN 得到 PUN (或从 PUN 得到 PDN)

根据到现在为止考虑的 CMOS 门电路 (见图 10.14), 我们看到 PDN 和 PUN 是两个对偶的网络: 当一个网络存在串联分支时候, 另一个网络必定存在并联分支。因此我们可以从一个网络得到另一个网络, 这个过程比根据布尔表达式分开设计要简单。比如, 对图 10.14 所示的电路, 我们发现获得 PDN 相对简单, 因为我们已经有了用输入原变量表示的 \bar{Y} 。在另一方面, 为了获得 PUN, 我们不得不改变给出的布尔表达式以得到用反变量表示的 Y , 因为这种形式对设计 PUN 来说很方便。现在我们可以用对偶特性直接从 PDN 得到 PUN。读者可以参考图 10.14 弄清楚这样做是可能的。

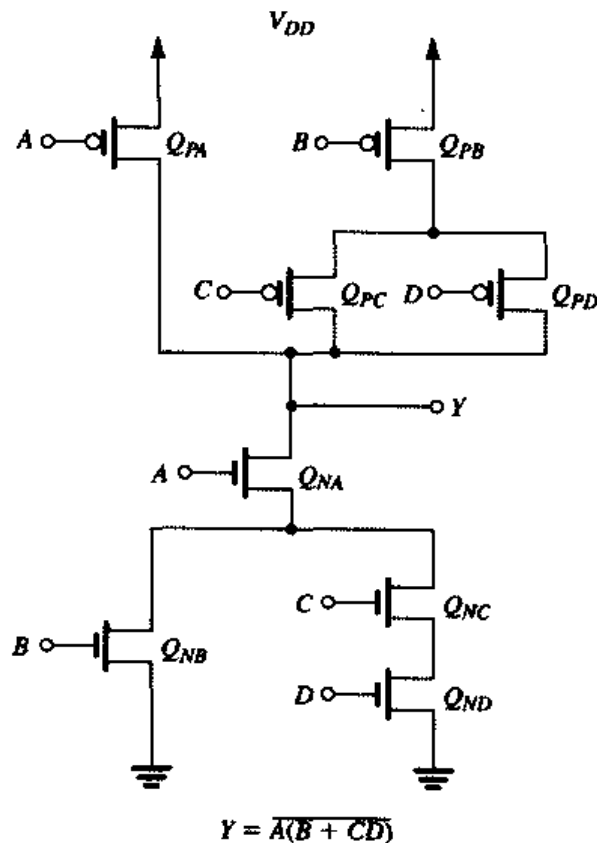


图 10.14 用 CMOS 实现复杂的逻辑门

但要注意的是, 有些时候用对偶的方法从两个网络的一个获得另一个也不是很容易的。在这种情况下我们不得不采用更复杂的过程, 但这不在本书的讨论范围内 [参考 Kang 和 Leblebici (1999)]。

10.3.6 异或函数

一个经常在逻辑设计中用到的函数是异或函数 (XOR):

$$Y = A\bar{B} + \bar{A}B \quad (10.25)$$

我们看到由于给定的是 Y (而不是 \bar{Y}), 所以对设计 PUN 来说更容易。但遗憾的是, Y 不完全是反变量的函数 (我们希望是反变量)。因此, 我们还需要一个反相器。从式 (10.25) 直接得到的 PUN 如图 10.15 (a) 所示。注意, Q_1 和 Q_2 分支实现了第一项 ($A\bar{B}$), 而 Q_3 和 Q_4 分支实现了另一项 ($\bar{A}B$)。同样要注意的是, 我们需要额外的两个反相器来实现 \bar{A} 和 \bar{B} 。

为了设计 PDN, 我们可以通过从图 10.15 (a) 所示的 PUN 得到对偶网络来设计。但我们用另一种方式推导 \bar{Y} 的表达式, 并用它设计 PDN。第一种方法留做练习。我们将使用直接设计的方法。把 DeMorgan 定律应用于式 (10.25) 可得到 \bar{Y} :

$$\bar{Y} = AB + \bar{A}\bar{B} \quad (10.26)$$

对应的 PDN 如图 10.15 (b) 所示, 除了两个额外的反相器之外, 这就是用 CMOS 实现异或逻辑函数的电路。我们注意到异或门需要用 12 个晶体管实现, 是一个相当复杂的网络, 我们将在 10.5 节介绍利用另一种 CMOS 逻辑实现的简单 XOR 电路。

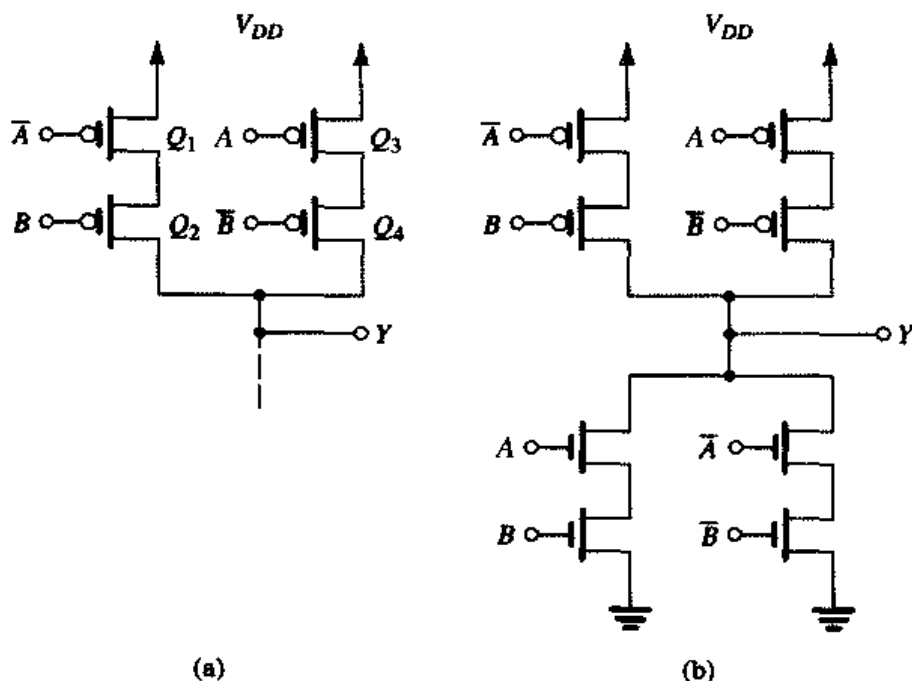


图 10.15 实现异或函数 (XOR): (a) 直接由式 (10.25) 设计的 PUN; (b) 用 (a) 和直接根据式 (10.26) 得到的 PDN 实现的完整的 XOR 电路。注意, 它需要两个反相器 (图中没有显示) 来生成反变量。我们还注意到在这个 XOR 电路中 PDN 和 PUN 不是对偶网络, 但对偶网络实现是可能的 (参见习题 10.27)

从图 10.15 (b) 所示的电路还能看到另一个有趣的现象——PDN 和 PUN 并不是对偶网络。实际上对偶并不是必要的条件。因此尽管总能把一个 PDN (或 PUN) 的对偶作为 PUN (或 PDN), 但网络未必一定要对偶。

10.3.7 设计方法总结

1. PDN 通常可以从原变量表示的 \bar{Y} 的表达式直接设计得到。如果在表达式中出现了反变量,则需要用一个额外的非门来实现它。
2. PUN 通常可以从反变量表示的 Y 的表达式直接设计得到,然后把反变量加到 PMOS 晶体管的栅极。如果表达式中出现原变量,同样需要增加额外的反相器。
3. PDN 可以利用对偶的性质从 PUN 得到(反之亦然)。

10.3.8 确定晶体管尺寸

一旦生成了晶体管门电路,剩下的惟一的重要步骤就是确定所有器件的 W/L 比值。被选定比值的门电路通常要求在两个方向提供的电流驱动能力与基本反相器一样。读者可以回忆一下 10.2 节的内容,对于基本反相器的设计,我们有 $(W/L)_n = n$ 和 $(W/L)_p = p$, 其中 n 通常为 1.5 到 2。对于匹配的设计, $p = (\mu_n/\mu_p)n$ 。因此我们希望对所有逻辑门中的晶体管选择的 W/L 要使 PDN 能够提供的电容放电电流至少与 $W/L = n$ 的 NMOS 晶体管可提供的相同,并且 PUN 能够提供的充电电流至少与 $W/L = p$ 的 PMOS 晶体管可提供的相同。这样可以保证最坏情况下的门的延迟等于基本反相器的延迟^①。

在下面的叙述中会强调“最坏情况”的概念。它是指在确定器件尺寸时首先找到使得输出电流最小的输入组合,然后选择使该最小电流等于基本反相器的电流的器件尺寸。在讨论具体例子之前,我们需要提一下如何决定由许多 MOS 器件组成的电路的电流驱动能力问题。换句话说,我们需要找到 MOS 晶体管网络的等效 W/L 比值。为此我们考虑 MOSFET 的并联和串联连接,找到等效的 W/L 比值。

推导等效 W/L 比值基于 MOSFET 的导通电阻与 W/L 成反比这个事实。因此,如果串联在一起的 MOSFET 的 W/L 比值为 $(W/L)_1, (W/L)_2, \dots$, 则等效串联电阻是导通电阻的和:

$$\begin{aligned} R_{\text{series}} &= r_{DS1} + r_{DS2} + \dots \\ &= \frac{\text{常数}}{(W/L)_1} + \frac{\text{常数}}{(W/L)_2} + \dots \\ &= \text{常数} \left[\frac{1}{(W/L)_1} + \frac{1}{(W/L)_2} + \dots \right] \\ &= \frac{\text{常数}}{(W/L)_{\text{eq}}} \end{aligned}$$

串联晶体管的 $(W/L)_{\text{eq}}$ 的表达式如下:

$$(W/L)_{\text{eq}} = \frac{1}{\frac{1}{(W/L)_1} + \frac{1}{(W/L)_2} + \dots} \quad (10.27)$$

同样,我们可以求得各并联晶体管的 W/L 比值分别为 $(W/L)_1, (W/L)_2, \dots$ 时,等效的 $(W/L)_{\text{eq}}$ 是

$$(W/L)_{\text{eq}} = (W/L)_1 + (W/L)_2 + \dots \quad (10.28)$$

作为一个例子,考虑两个 W/L 比值各自等于 4 的相同的 MOS 晶体管,串联时等效的 W/L 是 2, 并联时等效的 W/L 是 8。

作为确定合适尺寸的例子,参见图 10.16 所示的四输入或非门。这里 PDN 的最坏情况(最低

^① 该表述假设总的逻辑门的有效电容 C 和反相器一样。实际应用中, C 的值比一个门的情况要大,尤其是当扇入增加时。

电流)是在仅有一个 NMOS 晶体管导通时产生的。因此我们选择每一个 NMOS 晶体管的 W/L 的值等于基本反相器的 NMOS 晶体管的值, 即 n 。但对于 PUN, 最坏情况(实际上是仅有的一种情况)是当所有的输入为低, 并且四个串联 PMOS 均导通。由于等效的 W/L 是每个 PMOS 晶体管的 $1/4$, 因此可以选择 PMOS 晶体管的 W/L 是基本反相器的 Q_P 的 4 倍, 也就是 $4p$ 。

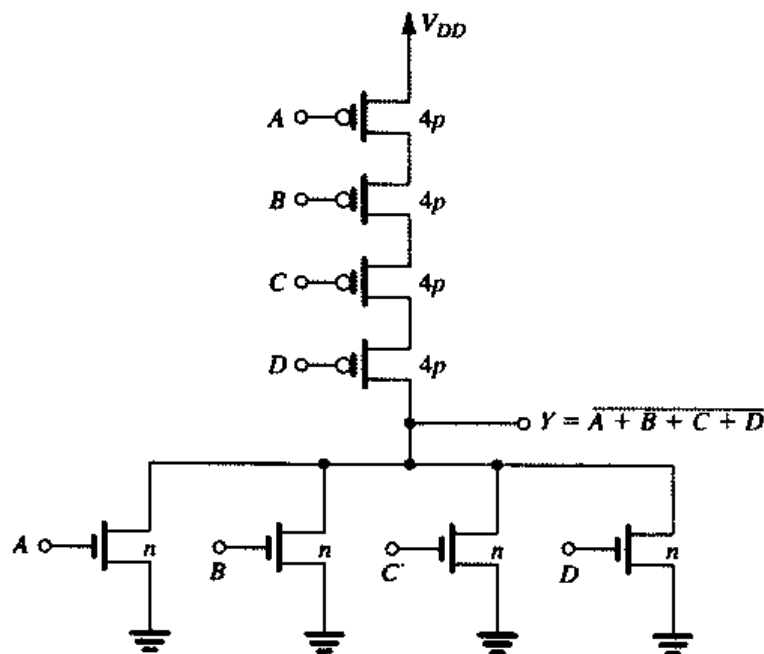


图 10.16 确定四输入或非门的合适的晶体管尺寸。注意, n 和 p 分别代表基本反相器的 Q_N 和 Q_P 的 W/L 比值

图 10.17 所示是另一个确定四输入与非门合适尺寸的例子, 比较图 10.16 和图 10.17 所示的与非门和或非门, 因为 p 通常是 n 的 2~3 倍, 所以或非门往往比与非门需要更大的面积。因为这个原因, 实现 CMOS 组合逻辑时往往采用与非门。

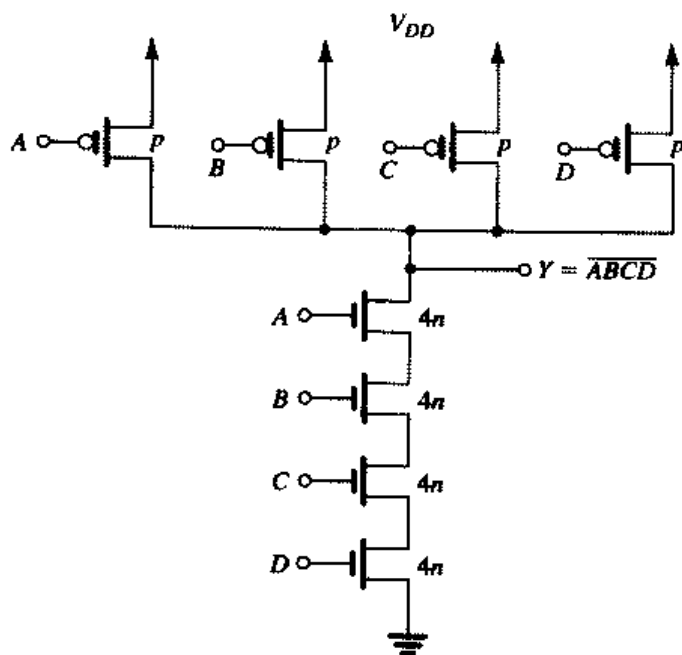


图 10.17 确定四输入与非门的合适的晶体管尺寸。注意, n 和 p 分别代表基本反相器的 Q_N 和 Q_P 的 W/L 比值

例題 10.2 确定如图 10.18 所示晶体管的 W/L 值。假设基本反相器的 $n = 1.5$, $p = 5$, 沟道长度是 $0.25 \mu\text{m}$ 。

解: 参考图 10.18, 并先考虑 PDN。我们注意到最坏情况发生在 Q_{NB} 导通并且 Q_{NC} 或 Q_{ND} 导通的时候。即在最坏的情况下有两个晶体管串联。因此我们选择 Q_{NB} , Q_{NC} 和 Q_{ND} 的宽度是基本反相器的 n 沟道器件的两倍, 所以,

$$Q_{NB} : W/L = 2n = 3 = 0.75/0.25$$

$$Q_{NC} : W/L = 2n = 3 = 0.75/0.25$$

$$Q_{ND} : W/L = 2n = 3 = 0.75/0.25$$

对于晶体管 Q_{NA} , 选择 W/L 等于基本反相器的 n 沟道器件的值:

$$Q_{NA} : W/L = n = 1.5 = 0.375/0.25$$

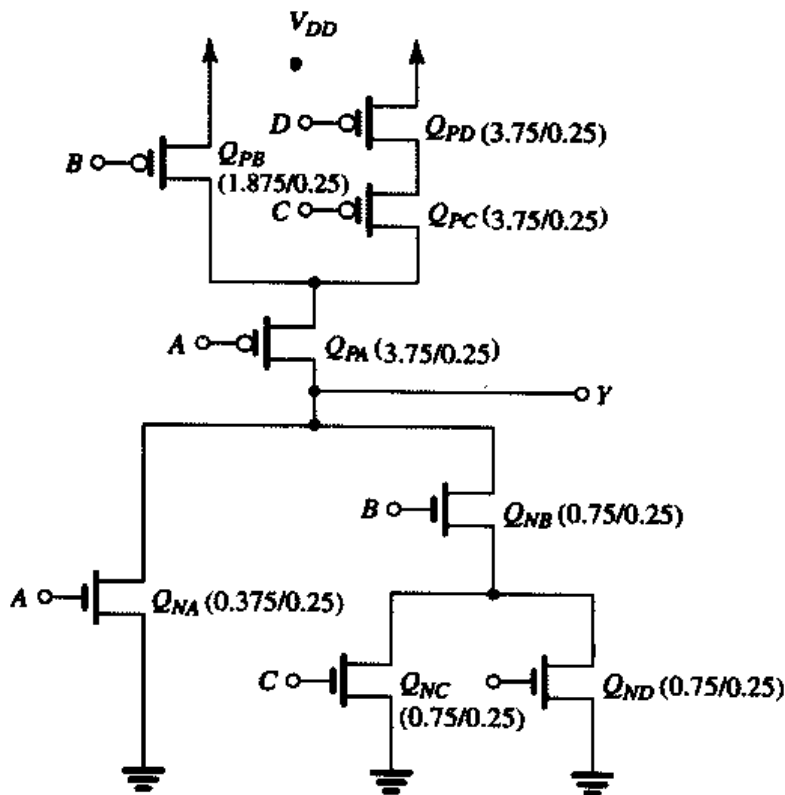


图 10.18 例題 10.2 的电路

接下来考虑 PUN, 这里我们发现在最坏情况下有三个晶体管串联, 它们是 Q_{PA} , Q_{PC} 和 Q_{PD} , 因此它们中每一个晶体管的 W/L 比值应该是基本反相器的 Q_p 的 3 倍, 即 $3p$:

$$Q_{PA} : W/L = 3p = 15 = 3.75/0.25$$

$$Q_{PC} : W/L = 3p = 15 = 3.75/0.25$$

$$Q_{PD} : W/L = 3p = 15 = 3.75/0.25$$

最后可以选择 Q_{PB} 的 W/L 以使等效的 Q_{PB} 和 Q_{PA} 串联时的 W/L 等于 p 。结果得到 Q_{PB} 的比值为 $1.5p$:

$$Q_{PB} : W/L = 1.5p = 7.5 = 1.875/0.25$$

图 10.18 所示为给出了晶体管尺寸的电路。

10.3.9 扇入与扇出对传播延迟的影响

CMOS 门每增加一个输入就需要增加两个晶体管：一个 NMOS 晶体管，一个 PMOS 晶体管。这和其他形式的 MOS 逻辑电路不同，采用其他形式时每增加一个输入只需要增加一个晶体管。CMOS 电路增加的晶体管不但增加了芯片面积，而且还增加了每个门的总等效电容，而且反过来又增加了传播延迟。前面提到的按比例缩放方法可以弥补一些（不是所有） t_p 的增加。具体而言，当增加器件尺寸时，我们可以保持电流驱动能力，但是电容 C 会增加，原因是由于输入数目的增加和器件尺寸的增加所致。扇入增加时 t_p 就会增加，实际应用时扇入是有限制的，比如与非门的扇入数限制为 4。如果需要更多的输入，比较聪明的逻辑设计师应该对给定的逻辑表达式进行改写，使之能够用输入少于 4 的逻辑门实现。这通常意味着级联级数的增加，因而会增加延迟。但是它引起的延迟增加量比增加扇入引起的延迟增加量要小（参见习题 10.36）。

增加扇出会直接增加负载电容，因此将增加传播延迟。

虽然 CMOS 有很多优点，但会面临扇入和扇出增加时电路复杂度增加以及由此带来的芯片面积和传播延迟的增加问题。我们将在下面两节介绍 CMOS 逻辑的一些简单形式，以期降低复杂度，当然这是以牺牲前面提到的那些优点为代价的。

练习 10.4 某工艺采用的参数为： $L = 0.5 \mu\text{m}$ ， $n = 1.5$ ， $p = 6$ 。确定以下两种情况下的晶体管的尺寸：(a) 四输入或非门；(b) 四输入与非门。求两个门的相对面积之比。

答案：(a) NMOS 晶体管： $W/L = 0.75/0.5$ ；PMOS 晶体管： $12/0.5$

(b) NMOS 晶体管： $W/L = 3/0.5$ ；PMOS 晶体管： $3/0.5$

或非门面积/与非门面积 = 2.125

练习 10.5 考虑练习 10.4 中已经确定了晶体管尺寸的与非门，求以下两种情况下最大电流对最小电流之比：(a) 对负载电容充电；(b) 对负载电容放电。

答案：(a) 4；(b) 1

10.4 伪 NMOS 逻辑电路

正如 10.3 节所述，尽管 CMOS 有很多优点，但是也面临着逻辑门复杂度增加带来的芯片面积、电容和延迟增加的问题。因为这个原因，数字集成电路设计者们开始寻找 CMOS 逻辑电路的其他形式，以期作为 10.2 节和 10.3 节介绍的互补电路的补充。它们不是要取代互补 CMOS，而是要用于具有特殊目的的特别应用。本节和下一节将介绍这样两种 CMOS 逻辑电路形式。

10.4.1 伪 NMOS 反相器

图 10.19 (a) 所示的是修改后的 CMOS 反相器，其中输入电压只与晶体管 Q_N 连接，晶体管 Q_P 的栅极接地， Q_P 的作用其实就是 Q_N 的有源负载。我们曾经仔细讨论过电路的工作原理，它与互补 CMOS 相比具有的优势很明显：每一个输入只需要与一个晶体管的栅极相连，或者说，每增加一个栅极输入只需增加一个晶体管（NMOS）。这样，因互补 CMOS 逻辑门中增加扇入带来的面积和延迟的不足就可以减弱。这是深入探讨该修改电路的动机。

图 10.19 (a) 所示的反相器电路可以转变成其他形式的 NMOS 逻辑电路，它由驱动管(Q_N)和负载管（本例为 Q_P ）组成，因此称为伪 NMOS。为了便于比较，我们有必要重提 NMOS 逻辑的两种较早的形式。最早的形式是在 20 世纪 70 年代中期非常流行的采用增强型 MOSFET 作为负载的基本反相器结构，如图 10.19 (b) 所示。增强型负载 NMOS 逻辑电路的缺点是输出逻辑摆幅

相对较小,噪声容限低,静态功耗大。因为这些原因,这种逻辑电路技术现在已经销声匿迹了,它在 20 世纪 70 年代末和 80 年代初就被耗尽型负载 NMOS 电路取代,其中耗尽型 NMOS 晶体管栅极和源极短接作为负载元件。耗尽型负载基本反相器的结构如图 10.19 (c) 所示。

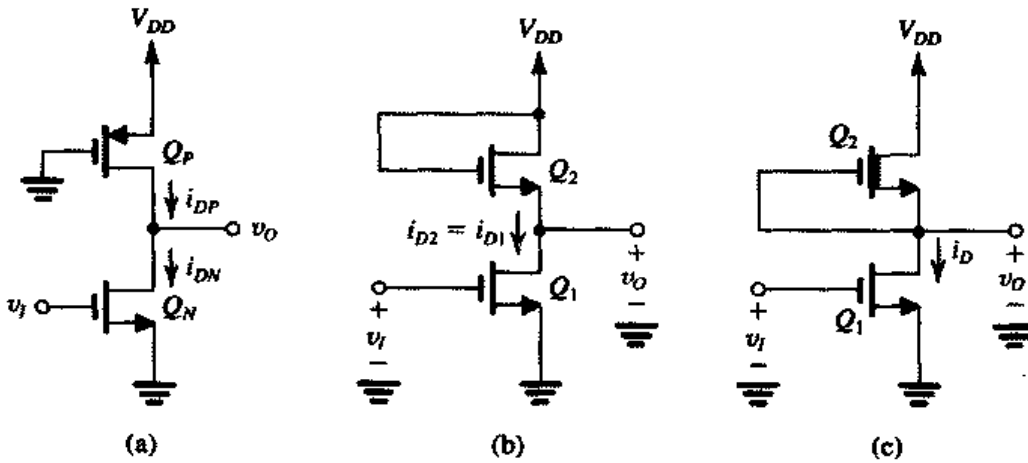


图 10.19 (a) 伪 NMOS 逻辑反相器; (b) 增加型负载 NMOS 反相器; (c) 耗尽型负载 NMOS 反相器

最初我们期望当 $V_{GS} = 0$ 时耗尽型 NMOS 晶体管能够作为一个恒流源工作,成为一个极好的负载元件。^①但是很快发现,耗尽型晶体管的衬底效应使得它的 $i-v$ 特性曲线严重偏离了恒流源的特性要求。诚然,耗尽型负载 NMOS 电路的性能比起它的同伴来要优越,但是在制造耗尽型晶体管的时候需要额外增加一道工艺(称为沟道的离子植入)。尽管耗尽型负载 NMOS 已经被 CMOS 取代,人们还是能够在一些特殊的应用场合见到耗尽型负载电路。本书我们不讨论耗尽型负载 NMOS 逻辑的内容(感兴趣的读者可以参考本书的第三版)。

我们要介绍的伪 NMOS 反相器和耗尽型负载 NMOS 有很多相似之处,但其特性改善了很多,具备和互补 CMOS 电路直接抗衡的优点。

10.4.2 静态特性

伪 NMOS 反相器的静态特性可以采用与互补 CMOS 相同的方法推导。为此,我们注意到 Q_N 和 Q_P 晶体管的漏极电流为

$$i_{DN} = \frac{1}{2} k_n (v_i - V_t)^2, \text{ 这里, } v_o \geq v_i - V_t \text{ (饱和区)} \quad (10.29)$$

$$i_{DN} = k_n \left[(v_i - V_t)v_o - \frac{1}{2}v_o^2 \right], \text{ 这里, } v_o \leq v_i - V_t \text{ (变阻区)} \quad (10.30)$$

$$i_{DP} = \frac{1}{2} k_p (V_{DD} - V_t)^2, \text{ 这里, } v_o \leq V_t \text{ (饱和区)} \quad (10.31)$$

$$i_{DP} = k_p \left[(V_{DD} - V_t)(V_{DD} - v_o) - \frac{1}{2}(V_{DD} - v_o)^2 \right], \text{ 这里, } v_o \geq V_t \text{ (变阻区)} \quad (10.32)$$

其中,假设 $V_m = -V_p = V_t$, 并利用 $k_n = k'_n (W/L)_n$ 和 $k_p = k'_p (W/L)_p$ 进行了简化。

① 电流源负载提供的充电电流不像电阻性负载在 v_o 往 V_{DD} 增加时那样会消失,因此电流源负载的 t_{PLH} 要比电阻性负载的低(参习题 10.38)。当然,电阻性负载已经不在我们的问题之列,因为它所占用的芯片面积太大了(相当于上千个晶体管的面积)。

为了得到反相器的 VTC 曲线, 我们把式 (10.31) 和式 (10.32) 表示的负载曲线叠加在 Q_N 的 $i_D \sim v_{DS}$ 特性曲线 (图中标注为 $i_{DN} \sim v_O$ 曲线) 上, 再根据 $v_{GS} = v_I$ 的不同取值, 建立如图 10.20 所示的结构。为了简化起见, 图中只给出了 v_I 取两个极值时的 Q_N 曲线, 分别对应 $v_I = 0$ 和 V_{DD} 的情况。我们从中可以看出以下两点:

1. 相比 $v_I = V_{DD}$ 时的 Q_N 曲线而言, 负载曲线表现出的饱和电流 [见式 (10.31)] 要小得多。这是因为设计伪 NMOS 反相器时 k_n 通常比 k_p 大 4~10 倍。我们很快会讲到, 这种反相器属于有比型逻辑电路^①, 其比值 $r \equiv k_n/k_p$ 决定了 VTC 曲线的所有转折点 (包括 V_{OL} , V_{IL} 和 V_{IH} 等), 从而也就决定了噪声容限。选择相对较大的 r 值可以减小 V_{OL} , 增大噪声容限。
2. Q_P 的工作特性似乎接近于恒流源, 但事实上它仅仅在 $v_O \leq V_I$ 的小范围内工作在饱和区。当 v_O 取其他值时, Q_P 工作在变阻区。

考虑 v_I 的两种极限情况: 当 $v_I = 0$ 时, Q_N 截止, Q_P 工作在变阻区, 但是其电流和漏源间电压均为零。此时的工作点如图 10.20 中的 A 点所示。并且 $v_O = V_{OH} = V_{DD}$, 而静态电流为零, 于是静态功耗也为零。当 $v_I = V_{DD}$ 时, 反相器工作在图 10.20 中的 E 点。与互补 CMOS 不同的是, 这里的 V_{OL} 不为零, 这显然是一个缺点。另一个缺点是: 在低电压输出状态门电路有电流 (I_{stat}) 流过, 因而会存在静态功耗 ($P_D = I_{stat} \times V_{DD}$)。

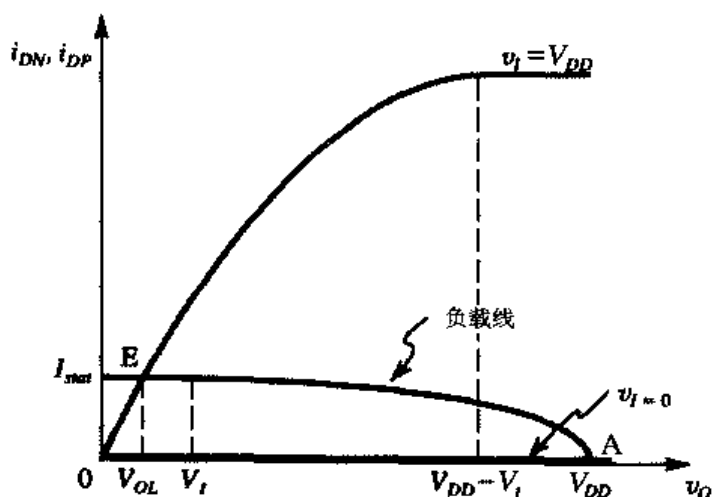


图 10.20 利用图解法确定图 10.19 所示反相器的 VTC 曲线

10.4.3 VTC 的推导

图 10.21 所示的是伪 NMOS 反相器的 VTC 曲线。如图所示, 曲线可分为 4 个明显的区域 (标注为 I 到 IV), 分别对应于 Q_N 和 Q_P 可能的工作状态的不同组合。表 10.1 列出了这四个区域以及各个区域对应的晶体管工作状态和决定条件。利用这张表和式 (10.29) 到式 (10.32) 给出的器件工作特性方程, 我们来推导 VTC 曲线不同区域对应的表达式, 并求出用来表征反相器静态工作特性的重要参数。

^① 对于 NMOS 反相器, V_{OL} 由器件的跨导工艺参数比 $(k'(W/L))_{driver}/(k'(W/L))_{load}$ 决定。因而这种电路被称为有比逻辑电路。而 CMOS 逻辑电路不具有这种关系, 因而可以被称为无比逻辑电路。

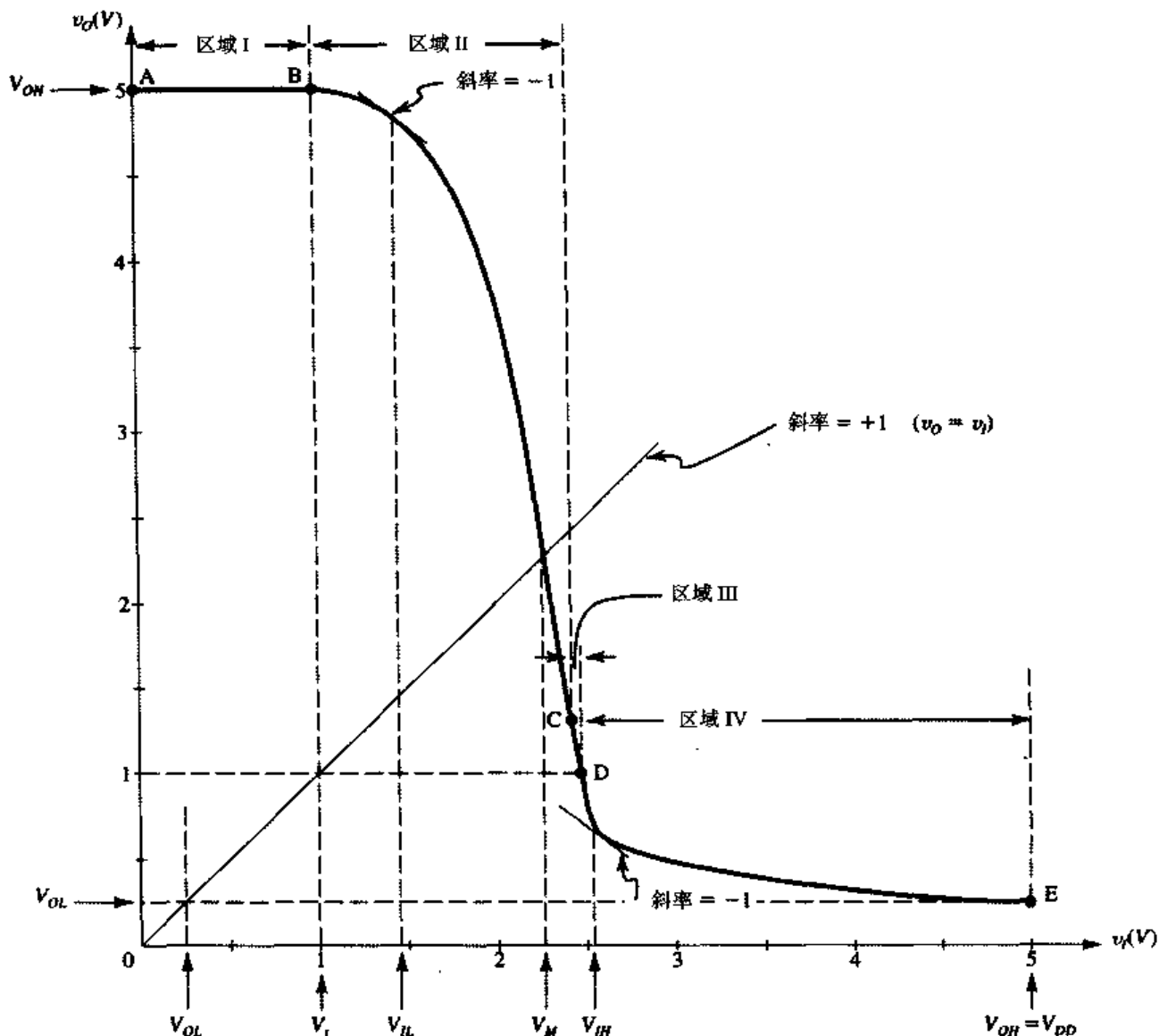


图 10.21 伪 NMOS 反相器的 VTC。图中曲线对应于 $V_{DD} = 5\text{ V}$, $V_{tn} = -V_{tp} = 1\text{ V}$, $r = 9$ 的情况

■ 区域 I (AB 段):

$$v_O = V_{OH} = V_{DD} \quad (10.33)$$

表 10.1 伪 NMOS 反相器的工作区域

区域	VTC 曲线段	Q_N	Q_P	条件
I	AB	截止区	变阻区	$v_I < V_I$
II	BC	饱和区	变阻区	$v_O \geq v_I - V_I$
III	CD	变阻区	变阻区	$V_I \leq v_O \leq v_I - V_I$
IV	DE	变阻区	饱和区	$v_O \leq V_I$

■ 区域 II (BC 段):

令式 (10.29) 中的 i_{DN} 与式 (10.32) 中的 i_{DP} 相等, 并将 $k_n = rk_p$ 代入并化简可得

$$v_O = V_I + \sqrt{(V_{DD} - V_I)^2 - r(V_I - V_I)^2} \quad (10.34)$$

将上式两边微分, 并将 $\partial v_O / \partial v_I = -1$ 和 $v_I = V_{IL}$ 代入可以求出 V_{IL} :

$$V_{IL} = V_i + \frac{V_{DD} - V_i}{\sqrt{r(r+1)}} \quad (10.35)$$

根据定义, 门限电压 V_M (即 V_{th}) 等于 $v_O = v_I$ 时 v_I 的值:

$$V_M = V_i + \frac{V_{DD} - V_i}{\sqrt{r+1}} \quad (10.36)$$

最后, 将 $v_O = v_I - V_i$ 代入式 (10.34) 可以得到区域 II 的终点 (即 C 点)。在该点上, Q_N 离开饱和区, 进入变阻区。

■ 区域 III (CD 段):

这段曲线较短, 不是很重要。D 点处的 $v_O = V_{i_c}$ 。

■ 区域 IV (DE 段):

令式 (10.30) 中的 i_{DN} 与式 (10.31) 中的 i_{DP} 相等, 并将 $k_n = rk_p$ 代入并化简可得

$$v_O = (v_I - V_i) - \sqrt{(v_I - V_i)^2 - \frac{1}{r}(V_{DD} - V_i)^2} \quad (10.37)$$

将上式两边微分, 并将 $\partial v_O / \partial v_I = -1$ 和 $v_I = V_{IH}$ 代入可以求出 V_{IH} :

$$V_{IH} = V_i + \frac{2}{\sqrt{3r}}(V_{DD} - V_i) \quad (10.38)$$

将 $v_I = V_{DD}$ 代入式 (10.37), 可得 V_{OL} 为

$$V_{OL} = (V_{DD} - V_i) \left[1 - \sqrt{1 - \frac{1}{r}} \right] \quad (10.39)$$

反相器处于低输出状态时的静态电流可以由式 (10.31) 得到:

$$I_{\text{stat}} = \frac{1}{2} k_p (V_{DD} - V_i)^2 \quad (10.40)$$

最后, 我们利用式 (10.35) 和式 (10.39) 来确定 NM_L , 利用式 (10.33) 和式 (10.38) 可确定 NM_H :

$$NM_L = V_i - (V_{DD} - V_i) \left[1 - \sqrt{1 - \frac{1}{r}} - \frac{1}{\sqrt{r(r+1)}} \right] \quad (10.41)$$

$$NM_H = (V_{DD} - V_i) \left(1 - \frac{2}{\sqrt{3r}} \right) \quad (10.42)$$

可见, 由于 V_{DD} 和 V_i 由制造工艺决定, 比值 r 是唯一可用来调控 V_{OL} 值和噪声容限的设计参数。

10.4.4 动态工作特性

反相器接负载电容 C 时, 对反相器瞬态响应进行分析得到 t_{PLH} 的过程与互补 CMOS 反相器完全相同。电流 i_{DP} 对电容进行充电, 我们可以用 $v_O = 0$ 到 $v_O = V_{DD}/2$ 区间内 i_{DP} 的平均值来估算 t_{PLH} , 从而得到如下的近似表达式 (这里假定 $V_i = 0.2V_{DD}$):

$$t_{PLH} = \frac{1.7C}{k_p V_{DD}} \quad (10.43)$$

电容放电的情况有所不同, 电流 i_{DP} 需要减去 i_{DN} 才能得到放电电流。得到的近似表达式为

$$t_{PHL} = \frac{1.7C}{k_n \left(1 - \frac{0.46}{r} \right) V_{DD}} \quad (10.44)$$

当 r 较大时, 该式可以简化为

$$t_{PHL} \approx \frac{1.7C}{k_n V_{DD}} \quad (10.45)$$

尽管上述这些表达式与互补 CMOS 反相器相同, 但是伪 NMOS 反相器有一个特殊的问题: k_p 比 k_n 小 r 倍, 因此 t_{PLH} 要比 t_{PHL} 大 r 倍, 所以电路的延迟性能是不对称的。但是, 对于大扇入的情况, 伪 NMOS 门电路需要的晶体管个数较少, 因而电容 C 比对应的互补 CMOS 门电路要小。

10.4.5 设计

设计时需要选定比值 r 和一个晶体管的 W/L 值。另一个晶体管的 W/L 值可以通过 r 算出。我们感兴趣的设计参数有 V_{OL} , NM_L , NM_H , I_{stat} , P_D , t_{PLH} 和 t_{PHL} 。设计时需要重点考虑以下因素:

1. 比值 r 决定了 VTC 曲线的所有转折点。 r 值越大, V_{OL} 越小 [见式 (10.39)], 噪声容限也越大 [见式 (10.41) 和式 (10.42)]。但是, 较大的 r 值会增加动态响应的不对称性, 并且当 $(W/L)_p$ 给定时会增加门的宽度。因而选择 r 时, 需要在噪声容限与硅片面积和 t_p 之间做出权衡。通常, 在 4 到 10 的范围内选择 r 。
2. r 选定后, 可以选择 $(W/L)_p$ 和 $(W/L)_n$ 中的一个值, 另一个也会随之确定。这里, 我们要选择较小的 $(W/L)_n$, 从而使得门电路面积与 C 的值都较小。同样, $(W/L)_p$ 较小可使得 I_{stat} 和 P_D 都较小。另一方面, 我们可能希望 W/L 比值较大, 以使 t_p 较小, 从而提高响应速度。在一般 (高速) 应用条件下, 通常选择合适的 $(W/L)_p$ 值, 使得 I_{stat} 在 $50 \sim 100 \mu A$ 之间。这样, 当 $V_{DD} = 5 V$ 时, P_D 就会在 $0.25 mW$ 到 $0.5 mW$ 的范围内。

10.4.6 门电路

除了负载器件外, 伪 NMOS 门电路与互补 CMOS 门电路的 PDN 完全相同。图 10.22 所示为四输入的伪 NMOS 或非门和与非门电路。每个电路用了 5 个晶体管, 而互补 CMOS 电路中用了 8 个晶体管。在伪 NMOS 电路中, 或非门比与非门更受欢迎, 因为前者没有用到晶体管的串联, 因而可以使用最少数量的 NMOS 器件来实现。

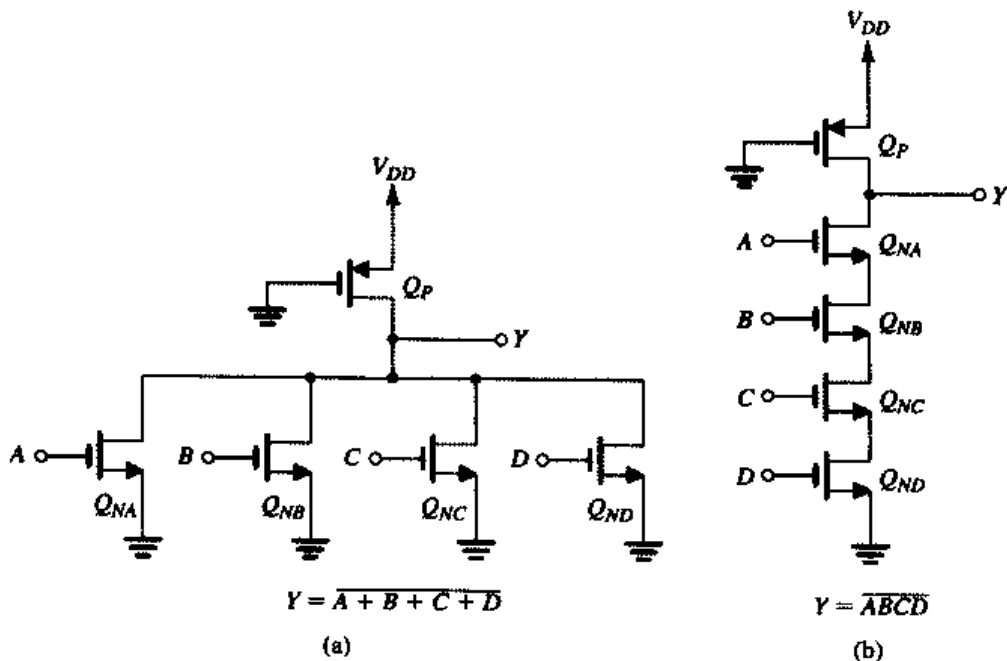


图 10.22 伪 NMOS 型或非门和与非门电路

10.4.7 最后的说明

伪 NMOS 电路特别适用于输出值的常态为高的应用环境中。在这种情况下,静态功耗相当低(因为门电路只在低输出状态时有静态功耗)。另外,输出转换很可能是从高电平到低电平的转换,其传输延迟可以做到尽可能小。这种电路的典型应用有存储器的地址译码器(见 11.5 节)和只读存储器的设计(见 11.6 节)。

例题 10.3 考虑一个利用例题 10.1 中 CMOS 工艺制作的伪 NMOS 反相器。其中, $\mu_n C_{ox} = 115 \mu\text{A}/\text{V}^2$, $\mu_p C_{ox} = 30 \mu\text{A}/\text{V}^2$, $V_m = -V_p = 0.4 \text{ V}$, $V_{DD} = 2.5 \text{ V}$ 。 Q_N 的 W/L 比为 $0.375 \mu\text{m}/0.25 \mu\text{m}$, $r = 9$ 。求:

- V_{OH} , V_{OL} , V_{IL} , V_{IH} , V_M , NM_H 和 NM_L ;
- $(W/L)_p$;
- I_{stat} 和 P_D ;
- t_{PLH} , t_{PHL} 和 t_p 。假定反相器输出端的总电容为 7 fF 。

解:

$$(a) V_{OH} = V_{DD} = 2.5 \text{ V}$$

从式 (10.39) 可求得 V_{OL} 为

$$V_{OL} = (2.5 - 0.4) \left[1 - \sqrt{1 - \frac{1}{9}} \right] = 0.12 \text{ V}$$

从式 (10.35) 可得 V_{IL} 为

$$V_{IL} = 0.4 + \frac{2.5 - 0.4}{\sqrt{9(9+1)}} = 0.62 \text{ V}$$

从式 (10.38) 可得 V_{IH} 为

$$V_{IH} = 0.4 + \frac{2}{\sqrt{3 \times 9}} \times (2.5 - 0.4) = 1.21 \text{ V}$$

从式 (10.36) 可得 V_M 为

$$V_M = 0.4 + \frac{2.5 - 0.4}{\sqrt{9+1}} = 1.06 \text{ V}$$

可得噪声容限为

$$NM_H = V_{OH} - V_{IH} = 2.5 - 1.21 = 1.29 \text{ V}$$

$$NM_L = V_{IL} - V_{OL} = 0.62 - 0.12 = 0.50 \text{ V}$$

可见,噪声容限不等并且 NM_L 相当低。

(b) Q_p 的 W/L 比为

$$\frac{\mu_n C_{ox} (W/L)_n}{\mu_p C_{ox} (W/L)_p} = 9$$

$$\frac{115 \times \frac{0.375}{0.25}}{30(W/L)_p} = 9$$

故

$$(W/L)_p = 0.64$$

(c) 低输出状态时的直流电流可以通过式 (10.40) 确定, 即

$$I_{\text{stat}} = \frac{1}{2} \times 30 \times 0.64 (2.5 - 0.4)^2 = 42.3 \mu\text{A}$$

可得静态功耗为

$$\begin{aligned} P_D &= I_{\text{stat}} V_{DD} \\ &= 42.3 \times 2.5 = 106 \mu\text{W} \end{aligned}$$

(d) 从低到高的输出传播延迟可以通过式 (10.43) 确定, 即

$$t_{PLH} = \frac{1.7 \times 7 \times 10^{-15}}{30 \times 10^{-6} \times 0.64 \times 2.5} = 0.25 \text{ ns}$$

从高到低的输出传播延迟可以通过式 (10.45) 确定, 即

$$t_{PHL} = \frac{1.7 \times 7 \times 10^{-15}}{115 \times 10^{-16} \times \frac{0.375}{0.25} \times 2.5} = 0.03 \text{ ns}$$

现在可得传播延迟为

$$t_p = \frac{1}{2} (0.25 + 0.03) = 0.14 \text{ ns}$$

尽管这里的传播延迟要比例题 10.1 中互补 CMOS 反相器的传播延迟大得多, 但是这样的比较没有多大意义: 伪 NMOS 电路通常出现在扇入较大的门电路中, 而不是以单个反相器的形式出现。 ■

练习 D10.6 保持 r 不变, 重新设计例题 10.3 中的反相器, 使得其静态功耗降低到原来的一半。求新的 W/L 值。同时求出 t_{PLH} , t_{PHL} 和 t_p 。假定 C 保持不变。噪声容限会变吗?

答案: $(W/L)_n = 1.5$; $(W/L)_p = 0.32$; 0.5 ns ; 0.03 ns ; 0.27 ns ; 不变

练习 D10.7 用 $r = 4$ 重新设计例题 10.3 中的反相器。求 V_{OL} 和噪声容限。如果 $(W/L)_n = 0.375 \mu\text{m}/0.25 \mu\text{m}$, 求 $(W/L)_p$, I_{stat} , P_D , t_{PLH} , t_{PHL} 和 t_p 。假定 $C = 7 \text{ fF}$ 。

答案: $V_{OL} = 0.28 \text{ V}$; $NM_L = 0.59 \text{ V}$; $NM_H = 0.89 \text{ V}$; $(W/L)_p = 1.44$; $I_{\text{stat}} = 95.3 \mu\text{A}$; $P_D = 0.24 \text{ mW}$; $t_{PLH} = 0.11 \text{ ns}$; $t_{PHL} = 0.03 \text{ ns}$; $t_p = 0.07 \text{ ns}$

10.5 传输晶体管逻辑电路

在输入和输出节点之间连接一些由开关组成的串联和并联网络, 这些开关受输入逻辑变量的控制 (见图 10.23), 这是从概念上实现各种逻辑功能的简单方法。电路中的每个开关可以用单个 NMOS 晶体管实现 [见图 10.24 (a)], 也可以用一对互补 MOS 晶体管实现。后者被称为 CMOS 传输门结构 [见图 10.24 (b)]。这样组成的逻辑电路形式简单, 特别适用于实现某些特殊逻辑功能, 与互补 CMOS 逻辑电路结合可以有效地实现这些功能。

在这种形式的电路中, MOS 晶体管串接在输入与输出之间, 用来控制信号的传输和阻断, 因而被称为传输晶体管逻辑 (PTL)。正如先前提到的那样, CMOS 传输门经常用做开关, 因而这种逻辑电路又被称为传输门逻辑。这两种说法可以互换, 与开关的实际实现方式无关。

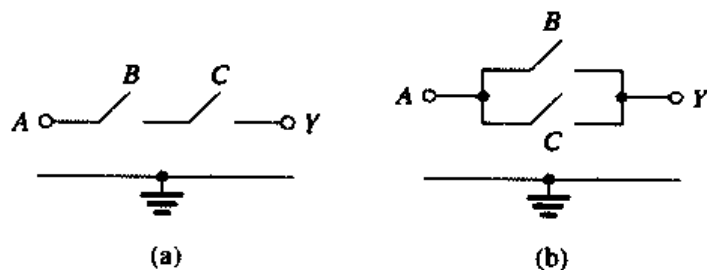


图 10.23 传输晶体管逻辑门模型：(a) 由输入变量 B 和 C 控制的两个开关，它们串接在输入和输出节点之间。若输入端加上输入变量 A ，则输出端（隐含一个对地的负载）实现的功能是 $Y = ABC$ ；(b) 两个开关并联可实现逻辑 $Y = A(B + C)$

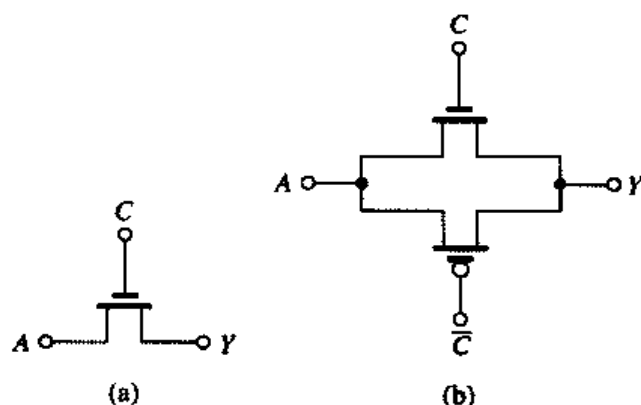


图 10.24 连接节点 A 和 Y 的压控开关的两种实现方式：(a) 单个 NMOS 管；(b) CMOS 传输门

尽管模型简单，但是在设计传输晶体管逻辑电路时要比较小心。下面，我们来分析 PTL 电路设计的基本原则及其应用实例。

10.5.1 基本设计要求

设计 PTL 电路时有一条基本设计要求，就是要保证在任意时刻每个电路节点对 V_{DD} 或对地有一条低阻抗的通路。为了说明这一点，考虑图 10.25 (a) 中的情形：开关 S_1 （通常是一个较大 PTL 网络的一部分，未画出）受变量 B 控制，与 CMOS 反相器输出 A 构成与逻辑。PTL 电路的输出 Y 与另一个反相器的输入相连。显然，若 B 为高，则 S_1 关闭且 $Y = A$ 。 Y 节点要么通过 Q_2 与 V_{DD} 连接（若 A 为高），要么通过 Q_1 接地（若 A 为低）。但是，当 B 变低且 S_1 打开时，情况会怎么样呢？ Y 节点会变成一个高阻节点。如果先前的 v_Y 为零，则会继续保持为零。但是，如果先前的 v_Y 为高电平 V_{DD} ，寄生电容 C 上的电荷可继续维持这个电压，但是只能持续很短的时间：无法避免的漏电流会缓慢对 C 放电， v_Y 也会相应变低。无论如何，这种电路都不能再被视为静态组合逻辑电路了。

解决这个问题比较容易：当 B 变低时，为节点 Y 建立一条低阻通路，如图 10.25 (b) 所示。这里，另一个开关 S_2 受 \bar{B} 控制，连接在 Y 和地之间。当 B 变低时， S_2 关闭，在 Y 和地之间建立一条低阻通路。

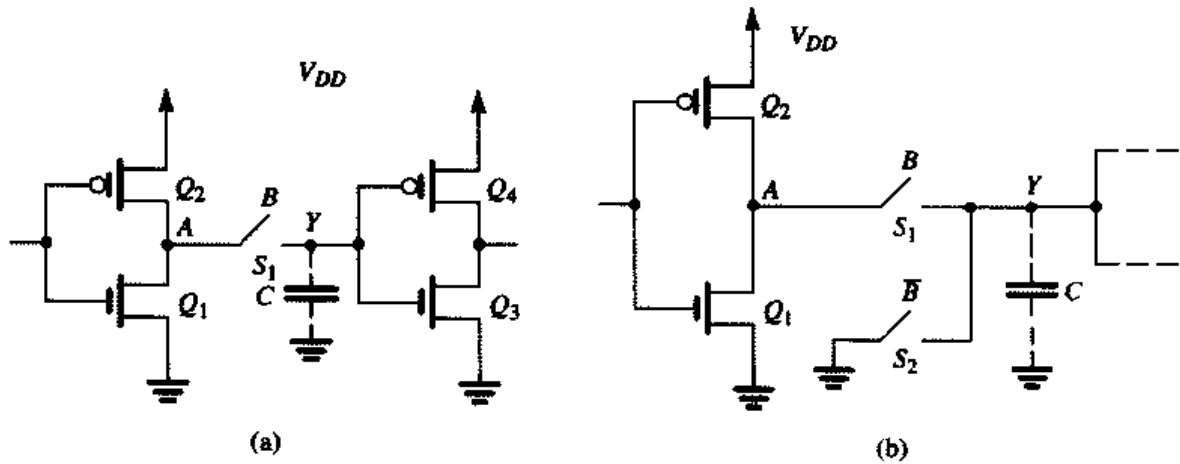


图 10.25 设计 PTL 电路时的一条基本设计要求: 在任意时刻, 每个电路节点对 V_{DD} 或对地有一条阻抗较小的通路; 图 (a) 中当 B 为低且 S_1 打开时不存在这样的通路; 图 (b) 中由开关 S_2 提供这样的通路

10.5.2 作为开关工作的 NMOS 晶体管

用单个 NMOS 晶体管实现 PTL 电路中开关的电路比较简单, 占用的面积和节点电容也较小。但是, 在获得这些优点的同时, 却牺牲了电路的静态及动态性能。为了说明这一点, 考虑图 10.26 所示的电路, 其中 NMOS 晶体管 Q 用做开关, 连接在输入电压 v_i 和输出节点之间。输出端与地之间的总电容用 C 表示。当加在 Q 栅极的控制电压为高电平 V_{DD} 时, 开关闭合, 如图中所示。我们来分析 $t = 0$ 时输入电压 v_i 变成高电平 V_{DD} 后电路的工作情况。假定初始状态的输出电压 v_o 为零, 电容 C 已被完全放电。

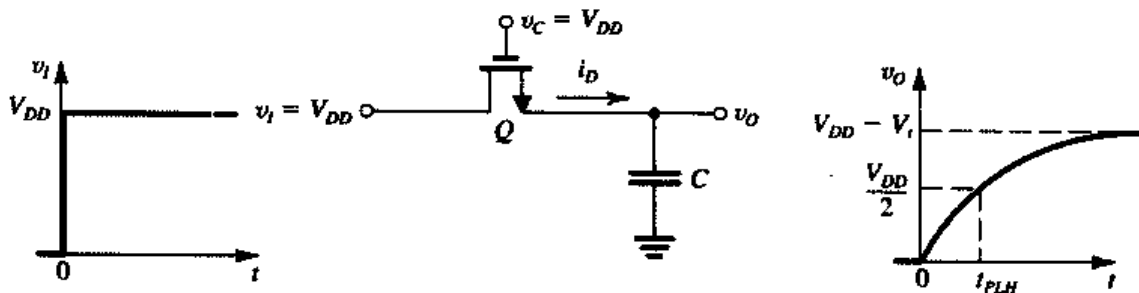


图 10.26 NMOS 晶体管用做 PTL 电路中开关时的工作情况。这里的分析对应于开关闭合 (v_c 为高电平) 和输入由低变高 ($v_i = V_{DD}$) 的情况

v_i 变成高电平后, 晶体管工作在饱和区, 输出电流 i_D 对电容充电:

$$i_D = \frac{1}{2} k_n (V_{DD} - v_o - V_t)^2 \quad (10.46)$$

这里, $k_n = k'_n(W/L)$, 并且因为源极与衬底之间的电压为 v_o , V_t 由衬底效应决定, 因此 [参见 (式 4.33)],

$$V_t = V_{t0} + \gamma(\sqrt{v_o + 2\phi_f} - \sqrt{2\phi_f}) \quad (10.47)$$

所以, 开始时 (即 $t = 0$ 时), $V_t = V_{t0}$, 电流 i_D 较大。但是, 当 C 充电之后, v_o 升高, 故 V_t 变大 [见式 (10.47)], 而 i_D 减小。 i_D 减小可以归结于 v_o 和 V_t 的同时升高。因此, 电容充电的过程会比

较慢。更严重的是,从式(10.46)可以看出,当 v_O 变为 $(V_{DD}-V_t)$ 时 i_D 减小为零,因此输出的高电平电压(V_{OH})将不等于 V_{DD} , V_{OH} 会比 V_{DD} 低 V_t 。更糟的是, V_t 的值会是 V_{t0} 的1.5~2倍!

除了降低了门电路的抗噪声能力以外,较低的 V_{OH} (通常称为弱高电平)会带来另一个缺点:考虑当输出端与一个互补CMOS反相器的输入端相连时的情形(如图10.25所示)。较低的 V_{OH} 会使负载反相器的 Q_P 导通,因此反相器具有一定的静态电流和静态功耗。

图10.26中PTL门的传播延迟 t_{PLH} 定义为从 v_O 到 $V_{DD}/2$ 的时间。利用与前面类似的处理方法可以求出这个值。我们稍后将用一个例子加以说明。

图10.27所示的是当 v_i 变为低电平(0V)时的NMOS开关电路。假定初始状态为 $v_O = V_{DD}$ 。在 $t=0+$ 时,晶体管导通且工作在饱和区:

$$i_D = \frac{1}{2} k_n (V_{DD} - V_t)^2 \quad (10.48)$$

我们注意到,由于源极电压现在为0V(源极和漏极的位置已经交换),衬底效应不存在, V_t 保持为 V_{t0} 。当C放电时, v_O 减小,当减小到 $v_O = V_{DD} - V_t$ 时晶体管进入变阻区。但是,电容仍然继续放电,直到C彻底放电结束且 $v_O = 0$ 为止。因此,NMOS晶体管的 $V_{OL} = 0$,是一个“强低电平”。同样,传播延迟 t_{PHL} 可以用通用方法求得,如下例中所示。

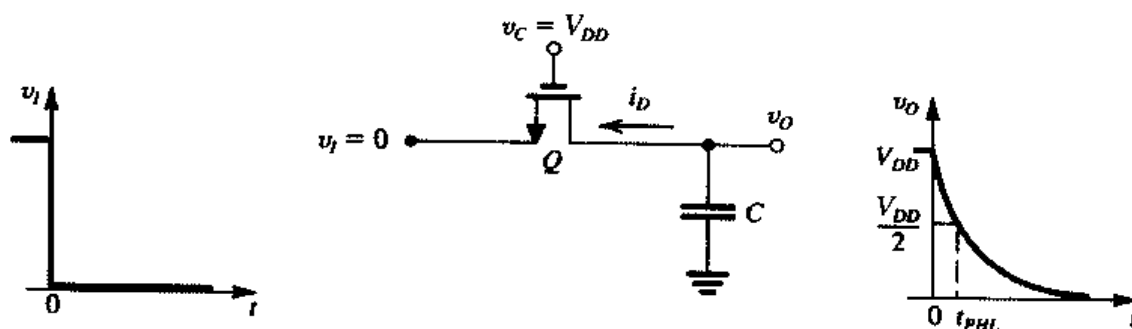


图 10.27 当输入由高变低($v_i = 0$ V)时 NMOS 开关的工作情况。考虑到 NMOS 晶体管的漏极电压总是比源极高,因此与图 10.26 所示的电路相比,漏极和源极的位置发生了交换

例题 10.4 考虑图 10.26 和图 10.27 所示的 NMOS 晶体管开关。其中, $\mu_n C_{ox} = 50 \mu A/V^2$, $\mu_p C_{ox} = 20 \mu A/V^2$, $|V_{t0}| = 1$ V, $\gamma = 0.5 V^{1/2}$, $2\phi_f = 0.6$ V, $V_{DD} = 5$ V。设晶体管的尺寸是这种工艺下最小的,即 $4 \mu m/2 \mu m$ 。假定输出端与地之间的总电容 $C = 50$ fF。

- 在 v_i 为高电平(见图 10.26)的条件下,求 V_{OH} 。
- 如果输出端连接的是一个 CMOS 反相器,其 $(W/L)_p = 2.5(W/L)_n = 10 \mu m/2 \mu m$,若反相器输入端电压为(a)的结果,求反相器的静态电流和功耗,同时求出反相器的输出电压。
- 求 t_{PLH} 。
- 在 v_i 由高电平变为低电平的条件下(见图 10.27),求 t_{PHL} 。
- 求 t_P 。

解:

- 参见图 10.26, V_{OH} 是 Q 停止导通时的 v_O 值:

$$V_{DD} - V_{OH} - V_t = 0$$

故

$$V_{OH} = V_{DD} - V_t$$