

## MSP430x13x, MSP430x14x

### 混合信号微控制器

## 一、概述

### 1.1 一般说明

德州仪器公司的 MSP430 系列是一种特低功耗的混合信号微控制器 ( Mixed Signal Microcontrollers ) 家族, 其中包括几种器件, 它们是由针对各种应用的不同的模块组成的。这些微控制器被设计成可用电池工作且可应用很长时间的器件。具有 16 位 RISC 结构, CPU 中的 16 位寄存器和常数产生器, 使 MSP430 能具有最高的代码效率。数字控制的振荡器可使器件从低功耗方式迅速唤醒, 在少于 6 $\mu$ s 的时间内达到激活方式。MSP430x13x 和 MSP430x14x 系列是一种内部配置两个 16 位定时器、一个高速 12 位 A/D 转换器、一或两个通用串行同步/异步通信接口 ( USART ), 有 48 个 I/O 引脚的微控制器。

典型应用包括捕捉模拟信号的传感系统, 将模拟信号转换成数字值, 然后处理数据并将它们传送给主系统。内部的定时器使得这些配置很适合于工业控制应用, 例如纹波计数器、数字马达控制、EE 仪表、手持式仪表等。硬件乘法器更加强了器件性能并提供宽代码和硬件兼容的系列。

### 1.2 特点

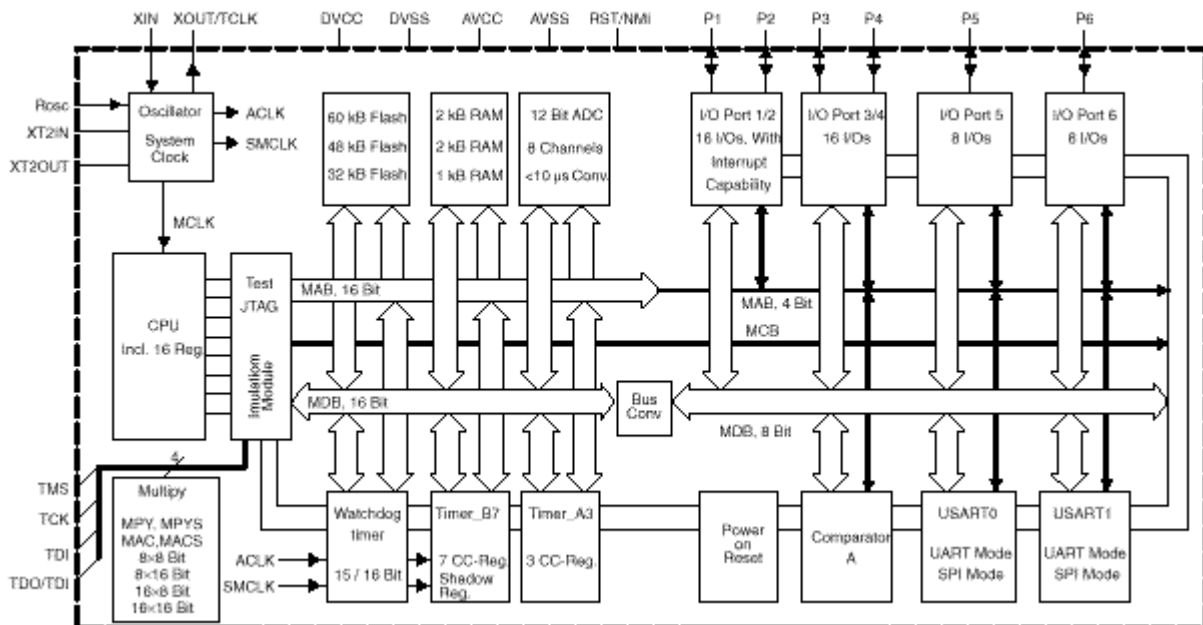
- 低电源电压范围: 1.8~3.6V
  - 特低功耗
    - 等待方式: 1.3  $\mu$  A
    - RAM 保持关闭方式: 0.15  $\mu$  A
  - 低工作电流
    - 7  $\mu$  A@32kHz, 2.2V
    - 250  $\mu$  A@1MHz, 2.2V
  - 5 种节电方式
  - 由等待方式唤醒时间: 6  $\mu$  s
  - 16 位 RISC 结构, 125ns 指令周期
  - 12 位 A/D 转换器, 具有内部基准、采样保持和自动扫描功能
  - 定时器\_B: 带有 7 个俘获/阴影比较寄存器的 16 位定时器
  - 定时器\_A: 带有 3 个俘获/比较寄存器的 16 位定时器
  - 片内比较器
  - 可在电路板上串行编程, 不需要外部编程电压, 由保密熔丝完成的可编程代码保护
  - 系列型号包括:
    - MSP430F133<sup>+</sup>:8KB 闪速存储器, 256B RAM
    - MSP430F135<sup>+</sup>:16KB 闪速存储器, 512B RAM
    - MSP430F147<sup>+</sup>:32KB 闪速存储器, 1KB RAM
    - MSP430F148<sup>+</sup>:48KB 闪速存储器, 2KB RAM
    - MSP430F149<sup>+</sup>:60KB 闪速存储器, 2KB RAM
  - 64 脚四方平面型封装 ( QFP )
- 注: <sup>+</sup>新产品信息

1.3 可选项

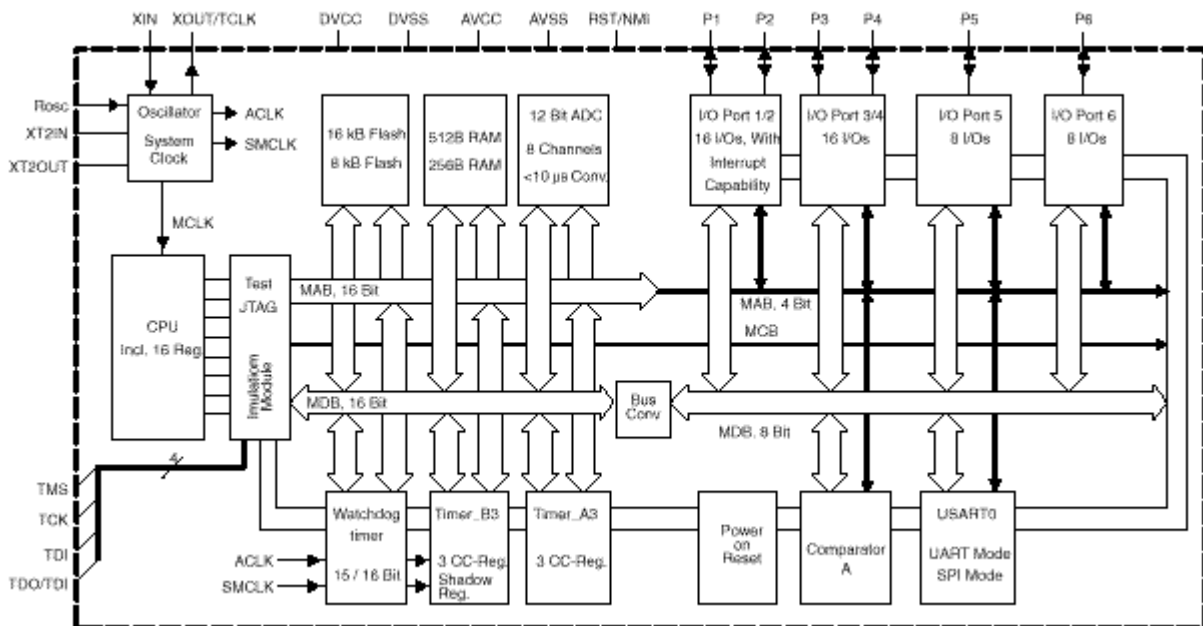
T <sub>A</sub>	封装
	塑料 64 脚 QFP ( PM )
-40 至 85	MSP430F133IPM MSP430 F135IPM MSP430 F147IPM MSP430 F148IPM MSP430 F149IPM

1.4 方框图

1.4.1 MSP430x14x



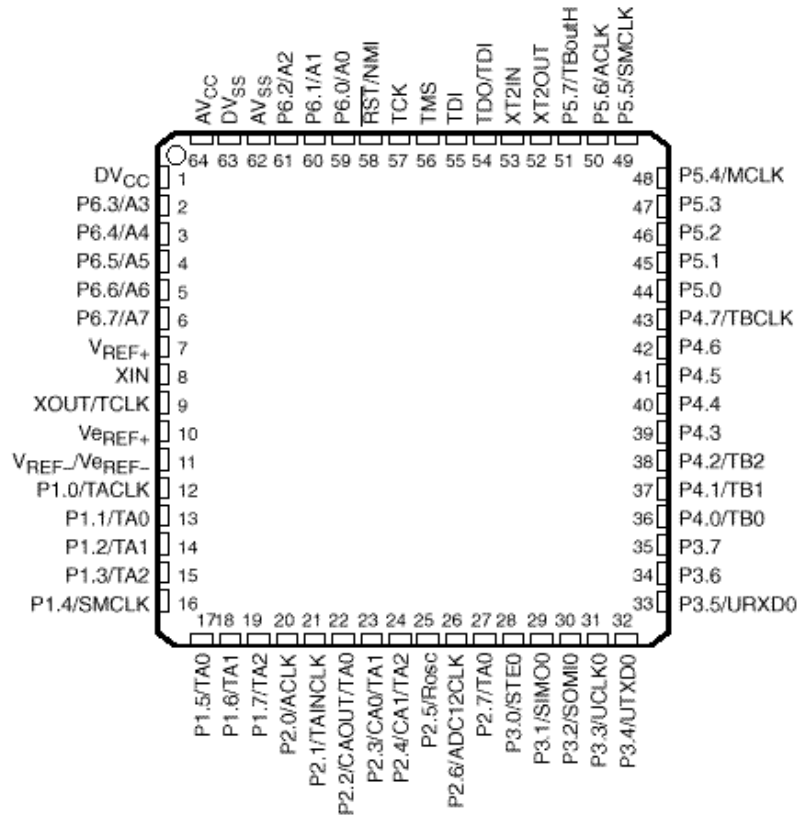
1.4.2 MSP430x13x



## 1.5 引脚排列及引脚说明

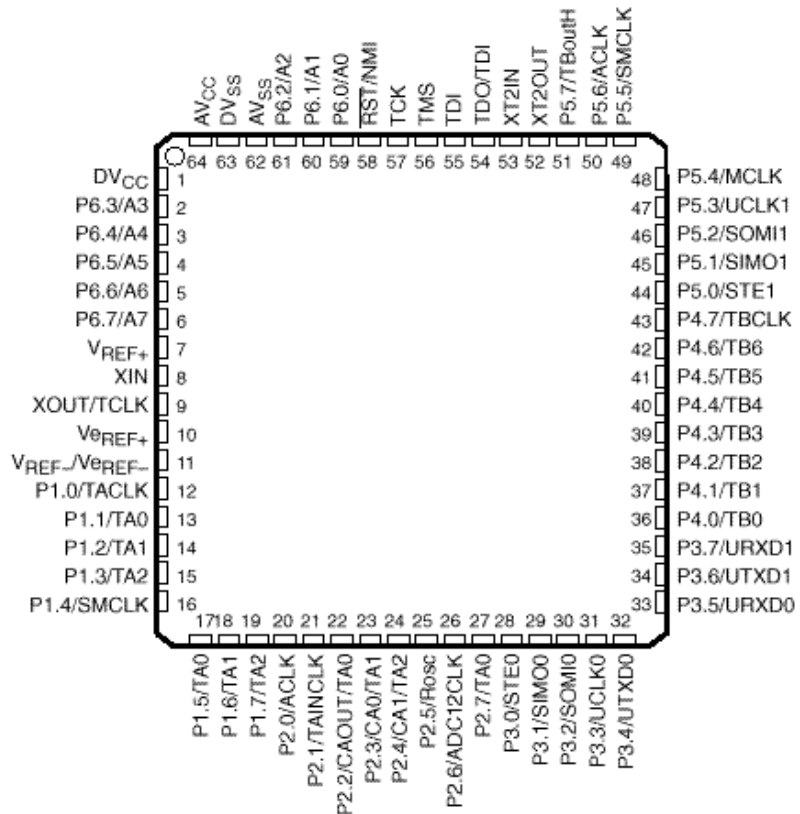
### 1.5.1 MSP430F133、MSP430F135 的引脚排列

PM 封装 (顶视)



### 1.5.2 MSP430F147、MSP430F148、MSP430F149 的引脚排列

PM 封装 (顶视)



## 1.5.3 MSP430x13x、MSP430x14x 的引脚说明

引脚		I/O	说 明
名称	号		
AV <sub>CC</sub>	64		模拟电源电压，正端。只向模数转换器的模拟部分供电
AV <sub>SS</sub>	62		模拟电源电压，负端。只向模数转换器的模拟部分供电
DV <sub>CC</sub>	1		数字电源电压，正端。向所有数字部分供电
DV <sub>SS</sub>	63		数字电源电压，负端。向所有数字部分供电
P1.0/TACLK	12	I/O	通用数字 I/O 引脚/定时器_A，时钟信号 TACLK 输入
P1.1/TA0	13	I/O	通用数字 I/O 引脚/定时器_A，俘获：CCI0A 输入，比较：Out0 输出
P1.2/TA1	14	I/O	通用数字 I/O 引脚/定时器_A，俘获：CCI1A 输入，比较：Out1 输出
P1.3/TA2	15	I/O	通用数字 I/O 引脚/定时器_A，俘获：CCI2A 输入，比较：Out2 输出
P1.4/SMCLK	16	I/O	通用数字 I/O 引脚/SMCLK 信号输出
P1.5/TA0	17	I/O	通用数字 I/O 引脚/定时器_A，比较：Out0 输出
P1.6/TA1	18	I/O	通用数字 I/O 引脚/定时器_A，比较：Out1 输出
P1.7/TA2	19	I/O	通用数字 I/O 引脚/定时器_A，比较：Out2 输出
P2.0/ACLK	20	I/O	通用数字 I/O 引脚/ACLK 输出
P2.1/TAINCLK	21	I/O	通用数字 I/O 引脚/定时器_A，INCLK 时钟信号
P2.2/CAOUT/TA0	22	I/O	通用数字 I/O 引脚/定时器_A，俘获：CCI0B 输入/比较器_A 输出
P2.3/CA0/TA1	23	I/O	通用数字 I/O 引脚/定时器_A，俘获：Out1 输出/比较器_A 输入
P2.4/CA1/TA2	24	I/O	通用数字 I/O 引脚/定时器_A，俘获：Out2 输出/比较器_A 输入
P2.5/R <sub>osc</sub>	25	I/O	通用目的数字 I/O 引脚，决定 DCO 额定频率的外部电阻接入端
P2.6/ADC12CLK	26	I/O	通用数字 I/O 引脚，变换时钟—12 位 ADC
P2.7/TA0	27	I/O	通用数字 I/O 引脚/定时器_A，比较：Out0 输出
P3.0/STE0	28	I/O	通用数字 I/O，从发送器使能—USART0/SPI 方式
P3.1/SIMO0	29	I/O	通用数字 I/O，USART0 的从入/主出/SPI 方式
P3.2/SOMI0	30	I/O	通用数字 I/O，USART0 的从出/主入/SPI 方式
P3.3/UCLK0	31	I/O	通用数字 I/O，外部时钟输入—USART0/UART 或 SPI 方式，时钟输出—USART0/SPI 方式
P3.4/UTXD0	32	I/O	通用数字 I/O，发送数据输出—USART0/UART 方式
P3.5/URXD0	33	I/O	通用数字 I/O，接收数据输入—USART0/UART 方式
P3.6/UTXD1†	34	I/O	通用数字 I/O，发送数据输出—USART1/UART 方式
P3.7/URXD1†	35	I/O	通用数字 I/O，接收数据输入—USART1/UART 方式
P4.0/TB0	36	I/O	通用目的数字 I/O，俘获 I/P 或 PWM 输出口—定时器_B7 CCR0
P4.1/TB1	37	I/O	通用目的数字 I/O，俘获 I/P 或 PWM 输出口—定时器_B7 CCR1
P4.2/TB2	38	I/O	通用目的数字 I/O，俘获 I/P 或 PWM 输出口—定时器_B7 CCR2
P4.3/TB3†	39	I/O	通用目的数字 I/O，俘获 I/P 或 PWM 输出口—定时器_B7 CCR3
P4.4/TB4†	40	I/O	通用目的数字 I/O，俘获 I/P 或 PWM 输出口—定时器_B7 CCR4
P4.5/TB5†	41	I/O	通用目的数字 I/O，俘获 I/P 或 PWM 输出口—定时器_B7 CCR5
P4.6/TB6†	42	I/O	通用目的数字 I/O，俘获 I/P 或 PWM 输出口—定时器_B7 CCR6
P4.7/TBCLK	43	I/O	通用目的数字 I/O，输入时钟 TBCLK—定时器_B7
P5.0/STE1†	44	I/O	通用目的数字 I/O，从机发送使能—USART1/SPI 方式
P5.1/SIMO1†	45	I/O	通用目的数字 I/O，USART1 的从机输入/主机输出/SPI 方式
P5.2/SOMI1†	46	I/O	通用目的数字 I/O，USART1 的从机输出/主机输入/SPI 方式
P5.3/UCLK1†	47	I/O	通用目的数字 I/O，外部时钟输入—USART1/UART 或 SPI 方式，时钟输出—USART1/SPI 方式
P5.4/MCLK	48	I/O	通用目的数字 I/O，主系统时钟 MCLK 输出
P5.5/SMCLK	49	I/O	通用目的数字 I/O，子系统时钟 SMCLK 输出
P5.6/ACLK	50	I/O	通用目的数字 I/O，辅助时钟 ACLK 输出
P5.7/TboutH	51	I/O	通用目的数字 I/O，切换所有 PWM 数字输出口为高阻抗——定时器 B7 TB0 至 TB6

P6.0/A0	59	I/O	通用数字 I/O ，模拟输入 a0 — 12 位 ADC
P6.1/A1	60	I/O	通用数字 I/O ，模拟输入 a1 — 12 位 ADC
P6.2/A2	61	I/O	通用数字 I/O ，模拟输入 a2 — 12 位 ADC
P6.3/A3	2	I/O	通用数字 I/O ，模拟输入 a3 — 12 位 ADC
P6.4/A4	3	I/O	通用数字 I/O ，模拟输入 a4 — 12 位 ADC
P6.5/A5	4	I/O	通用数字 I/O ，模拟输入 a5 — 12 位 ADC
P6.6/A6	5	I/O	通用数字 I/O ，模拟输入 a6 — 12 位 ADC
P6.7/A7	6	I/O	通用数字 I/O ，模拟输入 a7 — 12 位 ADC
RST /NMI	58	I	复位输入，不可屏蔽中断输入口，或自动加载程序启动（F 版本器件）
TCK	57	I	测试时钟，TCK 是用于器件编程测试和自动加载程序启动的时钟输入口（F 版本器件）
TDI	55	I	测试数据输入，TDI 用作数据输入口。器件的保护熔丝被连接到 TDI
TDO/TDI	54	I/O	测试数据输出口，TDO/TDI 是数据输出或编程数据输入端
TMS	56	I	测试方式选择，TMS 用作器件编程和测试的输入口
V <sub>eREF+</sub>	10	I/P	送到 ADC 的外部基准电压输入口
V <sub>REF+</sub>	7	O	ADC 内部基准电压的正输出端
V <sub>REF-</sub> /V <sub>eREF-</sub>	11	O	ADC 的内部基准电压或外部加的基准电压的负端
XIN	8	I	晶体振荡器 XT1 的输入口，可接标准的或时钟的晶体
XOUT/TCLK	9	I/O	晶体振荡器 XT1 的输出端或测试时钟的输入端
XT2IN	53	I	晶体振荡器 XT2 的输入口，只能接标准晶体
XT2OUT	52	O	晶体振荡器 XT2 的输出口

## 二、各组成部分的简要说明

### 2.1 处理单元

处理单元是以一种一致的和正交设计的 CPU 和指令集为基础的。这种设计结构导致一种类似 RISC 的结构，它对应用开发高度透明并容易编程而且性能卓越。所有的操作，除了程序流指令以外，都是自然地作为寄存器操作来完成的，它有 7 种源寻址方式和 4 种目标操作数方式。

### 2.2 CPU（中央处理单元）

所有的 16 个寄存器都位于 CPU 内部，以减少指令的执行时间。这是因为寄存器、寄存器间的操作执行时间减少为处理器频率的一个周期。

4 个寄存器保留作为特别用途，即用作程序计数器、堆栈指针、状态寄存器和常数产生器。剩余的 12 个寄存器用作通用寄存器。

通过数据、地址和控制总线将外围设备（片内的——译者注）连接到 CPU，并且可以容易地用各种存储器操作指令来处理。

CPU 中的 16 个寄存器如下图示。

程序计数器	PC/R0
堆栈指针	SP/R1
状态寄存器	SR/CG1/R2
常数产生器	CG2/R3
通用寄存器	R4
通用寄存器	R5
通用寄存器	R14
通用寄存器	R15

### 2.3 指令集

指令集为这种寄存器-寄存器结构给出了一种强大的和容易使用的汇编语言。这个指令集包括 51 条不同功能的指令，它有三种格式和七种寻址方式。

表 1 是这三种格式的总结和例子，表 2 列出了七种寻址方式。

表 1 指令字格式

双操作数，源-目标	例如 ADD R4 , R5	R4+R5	R5
单操作数，仅目标	例如 CALL R8	PC ( TOS ) ,	R8 PC
相对跳转，无条件/条件	例如 JNE	如不相等，	跳转

大多数指令能对字和字节数据进行操作。字节操作作用后缀 B 进行标识。

例子： 字操作指令

```
MOV EDE, TONI
ADD #235h, &MEM
PUSH R5
SWPB R5
```

字节操作指令

```
MOV.B EDE, TONI
ADD.B #35h, &MEM
PUSH.B R5
—
```

表 2 寻址方式说明

寻址方式	s	d	语法	例子	操作
寄存器			MOV Rs, Rd	MOV R10, R11	R10 R11
索引			MOV X(Rn), Y(Rm)	MOV 2(R5), 6(R6)	M(2+R5) M(6+R6)
符号 (相对于 PC)			MOV EDE, TONI		M(EDE) M(TONI)
绝对			MOV &MEM, &TCDAT		M(MEM) M(TCDAT)
间接			MOV @Rn, Y(Rm)	MOV @R10, Tab(R6)	M(R10) M(Tab+R6)
间接自动增量			MOV @Rn+, RM	MOV @R10+, R11	M(R10) R11, R10+2 R10
立即			MOV #X, TONI	MOV #45, TONI	#45 M(TONI)

注： s=源， d=目标， Rs/Rd=源寄存器/目标寄存器， Rn=寄存器号码

计算分支 ( BR ) 和子程序调用 ( CALL ) 指令使用与别的指令相同的寻址方式。这些寻址方式提供间接寻址，较理想地适合于计算分支和调用。这种编程功能的充分使用导致程序结构不同于传统的 8 位和 16 位控制器。例如，许多程序可以很容易地设计成使用指针和堆栈以取代使用标志类型的程序作为流程控制。

### 三、工作方式和中断

MSP430 工作方式支持多种超低功率和超低能耗的高级需求。这是由于在不同的模块和 CPU 状态工作方式期间工作的智能管理所取得的。在中断事件处理时，也是完全支持这些高级需求的。一个中断事件使系统从各种工作方式中唤醒，并使用 RETI 指令返回到中断事件以前所选择的状态。CPU 和模块的不同需求，受系统价格和电流消耗因素所驱使，需要使用不同的时钟信号：

- 辅助时钟 ACLK (来自 LFXT1CLK 晶体的频率)，用于外围模块
- 主系统时钟 MCLK，用于 CPU 和系统
- 子系统时钟 SMCLK，用于外围模块

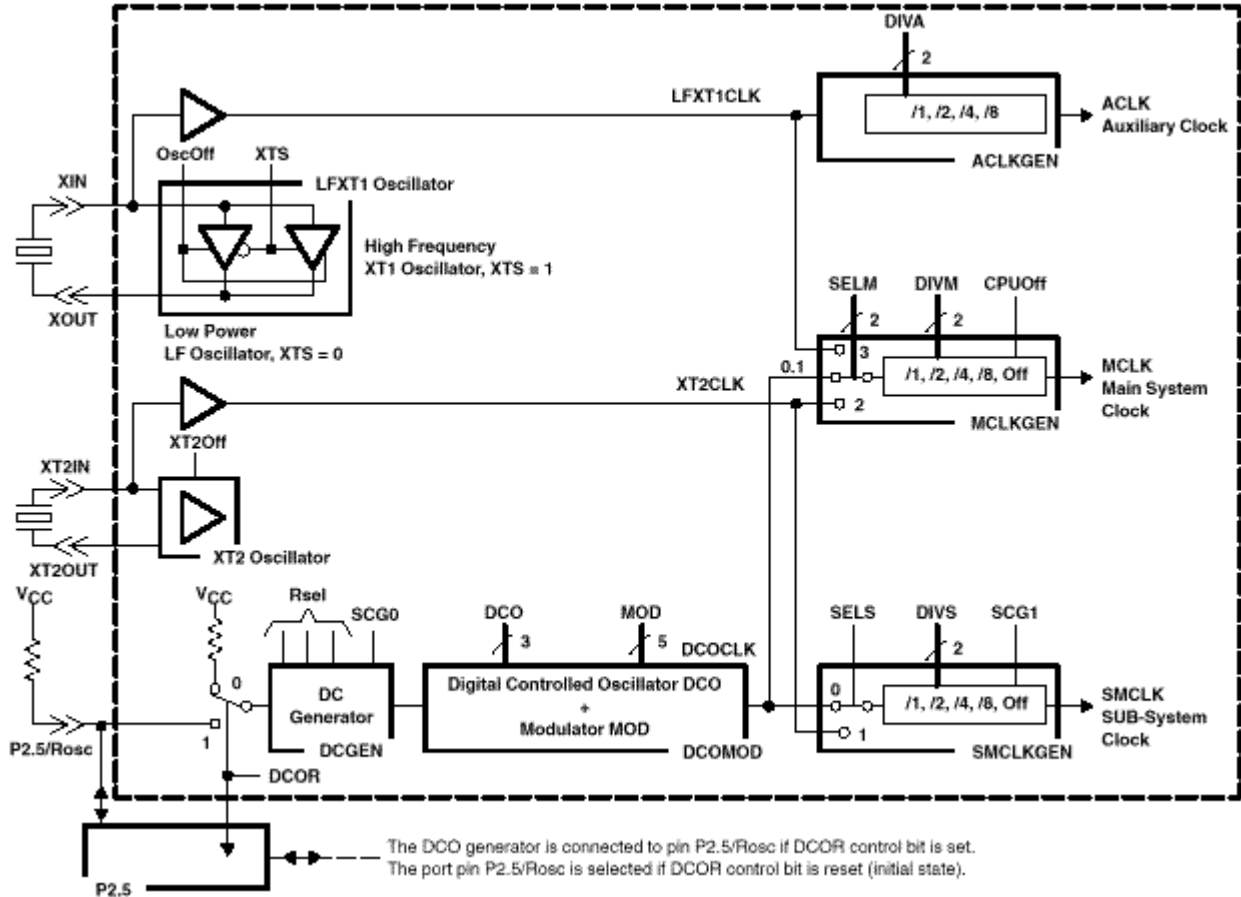
这些时钟源的任何一种 ( LFXT1CLK、 XT2CLK 或 DCOCLK ) 都可以用来驱动 MSP430 系统。

LFXT1CLK 是将一个低功率、低频率的晶体接到振荡器，一个高频率的晶体接到振荡器或者加一个外部时钟源而构成的。如果控制位 XTS 被置位则使用高频率的晶体振荡器。如果当前工作方式不需要 LFXT1CLK，则晶体振荡器可以被关断 (见下图)。

XT2CLK 是由于将一个高频率的晶体接到振荡器或是加一个外部时钟源而构成。如果当前工作方式不

需要晶体振荡器 XT2，则可以用 XT2off 位将其关断（见下图）。

当 DCOCLK 激活时，它的频率由软件选择或调整。当 DCOCLK 未被 CPU 或外围模块使用时，DCOCLK 不激活或停止。当 SCG0 被复位并且不需要 DCOCLK 时，dc 产生器停止。dc 产生器决定 DCO 的基本频率，该频率可以由一个外部的电阻来设置并且通过选用内部电阻可以分 8 级进行调整（见下图）。



注：为了保证开始程序的正常执行，系统时钟产生器开始总是选择 DCOCLK 作为 MCLK（CPU 时钟）。通过控制位的操作，软件决定了最后的系统时钟。

如果选用晶体振荡器（XT1 或 XT2）作为 MCLK 而又出现故障时，则硬件会选择 DCOCLK（DCO 和 DCGEN 都接通）作为系统时钟 MCLK。没有这种“强迫时钟方式”，则 NMI（由振荡器故障标志发出的请求）不被处理而可能失去控制。没有“强迫时钟方式”，在故障的振荡器重新开始以前处理器将不执行任何代码。

### 3.1 低功耗功能

各种工作方式由软件通过控制内部时钟系统的操作来得到控制。这个时钟系统通过许多硬件和软件的功能组合，用最低的功率消耗和最优的系统价格来运行应用程序：

- 使用内部时钟（DCO）产生器，不使用任何外部元件
- 选择一外部晶体或陶瓷谐振器以达到最低频率或价格
- 选择和激活适当的时钟信号（LFXT1CLK，XT2off 和/或 DCOCLK）和时钟预驱动器功能。控制位 XT2off 在控制寄存器 BCSCTL1 中
- 使用一外部时钟源

四个控制位影响时钟系统的工作，并且支持从低功耗工作方式快速打开，它们处于状态寄存器 SR 中。这四个控制 CPU 和系统时钟产生器的位是 SCG1、SCG0 和 OscOff 和 CPUOff，如下说明：

### 3.1.1 状态寄存器 R2

15	9	8	7	6	5	4	3	2	1	0
为将来增强保留	V	SCG1	SCG0	OscOff	CPUOff	GIE	N	Z	C	
rw-0	rw-0	rw-0	rw-0	rw-0	rw-0	rw-0	rw-0	rw-0	rw-0	rw-0

当系统时钟产生器的基本功能建立以后，CPUOff、SCG1、SCG0和OscOff位是最重要的低功率控制位。无论什么时候一中断被接受，它们被压入堆栈，并且因此得到保存，而在中断以后，先前的工作方式可以被取回。在一中断处理子程序执行时，这些位可以通过间接访问堆栈中的数据来操作；这样允许程序从中断返回（RET1）后，以另一种功率工作方式恢复运行。

SCG1：用于外围设备的时钟信号SMCLK，当这一位被复位时即使能，或当这一位被置位时即禁止。

SCG0：当它被复位时，直流产生器处于激活状态。只有当SCG0位被置位和DCOCLK信号不用于MCLK或SMCLK时，DCO（数控振荡器）可处于不激活状态。直流产生器消耗的电流确定DCOCLK的基本频率，它是一个直流电流。

如果时钟信号DCOCLK不用于MCLK或SMCLK，或如果SCG0位被置位时，时钟信号DCOCLK处于不激活状态。有两种情况SCG0位不能关断DCOCLK信号：

1. DCOCLK频率用于MCLK（CPUOff=0和SELM.1=0）。
2. DCOCLK频率用于SMCLK（SCG1=0和SELS=0）。

注：当电流被关断（SCG0=1），DCOCLK的开始稍微延迟。这延迟在μs级范围内，确切值见器件参数表。

OscOff：当OscOff位被复位时，LFXT1晶体振荡器被激活。只有当OscOff位被置位和不用于MCLK或SMCLK时，LFXT1晶体振荡器才能被禁止。当使用OscOff选项时，启动晶体振荡器的设置时间是需要考虑的。掩膜编程（ROM）器件可以禁止这一功能，以使振荡器可以永远不被软件所关断。

CPUOff：当这一位被复位时，用于CPU的时钟信号MCLK，处于激活状态，当这一位被置位时，MCLK即被停止。

### 3.2 中断矢量地址

中断矢量和上电开始地址位于存储器的0FFFFh-0FFE0h地址范围。

这个矢量包含相应中断处理指令序列的16位地址。

中断源	中断标志	系统中断	字地址	优先级
上电，外部复位，看门狗，闪速存储器	WDTIFG（见注1） KEYV（见注1）	复位	0FFFEh	15，最高
NMI，振荡器故障，闪速存储器非法访问	NMIIFG，OFIFG（见注1和注4） ACCVIFG（见注1和注4）	(不)可屏蔽，(不)可屏蔽 (不)可屏蔽	0FFFCh	14
定时器_B7（见注5）	BCCIFG0（见注2）	可屏蔽	0FFFAh	13
定时器_B7（见注5）	BCCIFG1至BCCIFG6 BCCIFG（见注1和注2）	可屏蔽	0FFF8h	12
比较器_A	CMPAIFG	可屏蔽	0FFF6h	11
看门狗定时器	WDTIFG	可屏蔽	0FFF4h	10
USART0接收	URXIFG.0	可屏蔽	0FFF2h	9
USART0发送	UTXIFG.0	可屏蔽	0FFF0h	8
ADC	ADCIFG（见注1和注2）	可屏蔽	0FFEEh	7
定时器_A3	CCIFG0（见注2）	可屏蔽	0FFEEh	6
定时器_A3	CCIFG1，CCIFG2 TAIFG（见注1和注2）	可屏蔽	0FFEAh	5
I/O端口P1（8个标志）	P1IFG.0至P1IFG.7（见注1和注2）		0FFE8h	4
USART1接收	URXIFG.1	可屏蔽	0FFE6h	3
USART1发送	UTXIFG.1	可屏蔽	0FFE4h	2
I/O端口P2（8个标志）	P2IFG.0到P2IFG.7（见注1和注2）	可屏蔽	0FFE2h	1
			0FFE0h	0，最低



注：1. 多源标志。

2. 中断标志位于模块中。
3. 不可屏蔽：无论是单独的或总体的中断使能位都不能禁止中断事件。
4. (不)可屏蔽：单独的中断使能位可以禁止中断事件，但总体的中断使能位则不能。
5. MSP430x14x 系列中的定时器\_B7 有 7 个 CCR ；定时器\_B3 有 3 个 CCR ；定时器\_B3 只有中断标志 CCIFG0、1 和 2 ，以及中断使能位 CCIE0、1 和 2 。

#### 四、特殊功能寄存器 ( SFR )

大部分的中断和模块的使能位处于最低的地址空间。没有功能目的的一些特殊功能寄存器的位现在在此器件中物理上并不存在。这样的安排有利于简化软件访问。

##### 4.1 interrupt enable 1 and 2 ( 中断使能 1 和 2 )

地址	7	6	5	4	3	2	1	0
0h	UTXIE0	URXIE0	ACCVIE	NMIIE			OFIE	WDTIE
	rw-0	rw-0	rw-0	rw-0			rw-0	rw-0

WDTIE : 看门狗定时器使能信号

OFIE : 振荡器故障使能信号

NMIIE : 不可屏蔽中断使能信号

ACCVIE : 闪速存储器非法访问

URXIE0 : USART0、UART 和 SPI 接收中断使能信号

UTXIE0 : USART0、UART 和 SPI 发送中断使能信号

地址	7	6	5	4	3	2	1	0
01h			UTXIE1	URXIE1				
			rw-0	rw-0				

URXIE1 : USART1、UART 和 SPI 接收中断使能信号

UTXIE1 : USART1、UART 和 SPI 发送中断使能信号

##### 4.2 interrupt flag register 1 and 2 ( 中断标志寄存器 1 和 2 )

地址	7	6	5	4	3	2	1	0
02h	UTXIFG0	URXIFG0		NMIIFG			OFIFG	WDTIFG
	yw-1	rw-0		rw-0			rw-1	rw-0

WDTIFG : 在溢出或安全标志违章时置位；V<sub>CC</sub> 上电或 RST/NMI 引脚处于复位状态时复位

OFIFG : 振荡器故障时标志置位

NMIIFG : 通过  $\overline{\text{RST}}/\text{NMI}$  引脚置位

URXIFG0 : USART0、UART 和 SPI 接收标志

UTXIFG0 : USART0、UART 和 SPI 发送标志

地址	7	6	5	4	3	2	1	0
03h			UTXIFG1	URXIFG1				
			rw-0	rw-0				

URXIFG1 : USART1、UART 和 SPI 接收标志

UTXIFG1 : USART1、UART 和 SPI 发送标志

### 4.3 module enable registers 1 and 2 ( 模块使能寄存器 1 和 2 )

地址	7	6	5	4	3	2	1	0
04h	UTXE0	URXE0, USPIE0						
	rw-0	rw-0						
URXE0 :	USART0、UART 接收使能							
UTXE0 :	USART0、UART 发送使能							
USPIE0 :	USART0、SPI ( 同步外围接口 ) 发送和接收使能							
地址	7	6	5	4	3	2	1	0
05h			UTXE1	URXE1, USPIE1				
			rw-0	rw-0				
URXE1 :	USART1、UART 接收使能							
UTXE1 :	USART1、UART 发送使能							
USPIE1 :	USART1、SPI ( 同步外围接口 ) 发送和接收使能							

例图说明

- rw : 位可读可写
- rw-0 : 位可读可写, 它由 PUC 复位
- 在器件中不存在的 SFR 位

### 4.4 存储器组织

		MSP430F133	MSP430F135	MSP430F147	MSP430F148	MSP430F149
存储器 主: 中断向量 主: 代码存储器 信息存储器	Size	8kB	16kB	32kB	48kB	60kB
	Flash	0FFFFh—0FFE0h	0FFFFh—0FFE0h	0FFFFh—0FFE0h	0FFFFh—0FFE0h	0FFFFh—0FFE0h
自举存储器	Flash	0FFFFh—0E000h	0FFFFh—0C000h	0FFFFh—08000h	0FFFFh—04000h	0FFFFh—01100h
	Size	256 Byte	256 Byte	256 Byte	256 Byte	256 Byte
RAM	Flash	010FFh—01000h	010FFh—01000h	010FFh—01000h	010FFh—01000h	010FFh—01000h
	Size	1kB	1kB	1kB	1kB	1kB
ROM	ROM	0FFFh—0C00h	0FFFh—0C00h	0FFFh—0C00h	0FFFh—0C00h	0FFFh—0C00h
	Size	256 Byte	512 Byte	1kB	2kB	2kB
外围	Size	02FFh—0200h	03FFh—0200h	05FFh—0200h	09FFh—0200h	09FFh—0200h
	16-bit	01FFh—0100h	01FFh—0100h	01FFh—0100h	01FFh—0100h	01FFh—0100h
	8-bit	0FFh—010h	0FFh—010h	0FFh—010h	0FFh—010h	0FFh—010h
	8-bit SFR	0Fh—00h	0Fh—00h	0Fh—00h	0Fh—00h	0Fh—00h

## 五、引导 ROM 内含有自动加载程序 ( bootstrap loader )

自动加载程序的意图是将数据下载到闪存存储器模块内。各种写、读和擦除操作都需要合适的下载环境。自动加载程序仅只用于 F 类器件。

### 5.1 自动加载程序的功能

读的定义: 提供和发送外围寄存器或存储器的数据至引脚 P1.1 ( BSLTX )。

写的定义: 从引脚 P2.2 ( BSLRX ) 读出数据并将它们写入闪存存储器。

### 5.2 非保护功能

块擦除, 主存储器 ( Segment 0 to Segment n , 段 0 至段 n ) 的擦除, 以及信息存储器 ( Segment A and Segment B , 段 A 和段 B ) 的擦除。

通过自动加载程序访问 MSP430 是被保护的。在任何保护功能被完成以前 MSP430 必须被使能。在 0FFE0h 至 0FFFFh 中的 256 位提供访问关键。

### 5.3 保护功能

如果访问被使能，则所有的保护功能即可执行：

- 写/编程字节写入 F 存储器，通过的参数是起始地址和字节数目（ F 存储器的段写特性对 UART 协议不支持也无用）

- 在主存储器中的段 0 至段 n 的段擦除和信息存储器中的段 A 和段 B 的段擦除
- 在主存储器和信息存储器中读全部数据
- 读出和写入所有的外围模块和 RAM 的字节
- 立即修改 PC（程序计数器）和启动程序执行

注：数据和代码的越权读出由用户对中断存储器单元中数据的定义来防止。

### 5.4 自动加载程序的特点

- UART 通信协议，固定为 9600 波特
- 端口 P1.1 引脚用于发送， P2.2 引脚用于接收
- TI 标准串行协议
- 仅只用于闪速存储器版本
- 由在 0FFFEh 的用户矢量或者自动加载程序（启动矢量位于地址 0C00h）启动程序的执行

### 5.5 用于串行输入/输出的硬件资源

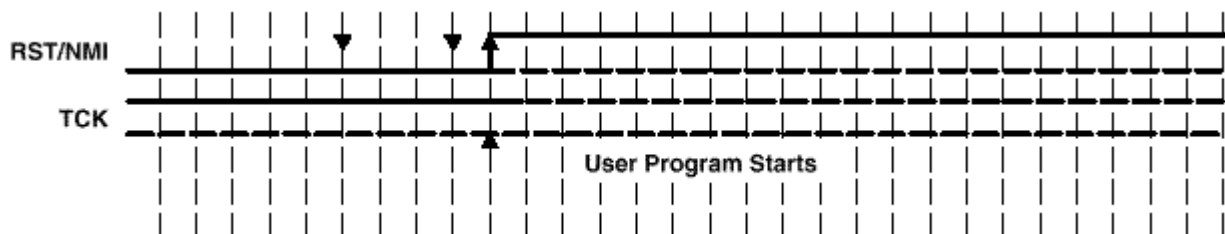
- 引脚 P1.1 和 P2.2 用作串行数据传送
- Test 和  $\overline{\text{RST}}/\text{NMI}$  在复位或自动加载程序矢量处启动程序的执行
- 基本的时钟模块： Rsel=5， DCO=4， MOD=0， DCOCLK 用于 MCLK 和 SMCLK，用于 MCLK 和 SMCLK 的时钟分频器处于缺省值：分频为 1

- Timer\_A： Timer\_A 工作于连续方式作为可选的 MCLK 时钟源，输入分频器设置为 1，使用 CCR0 以及查询 CCIFG0

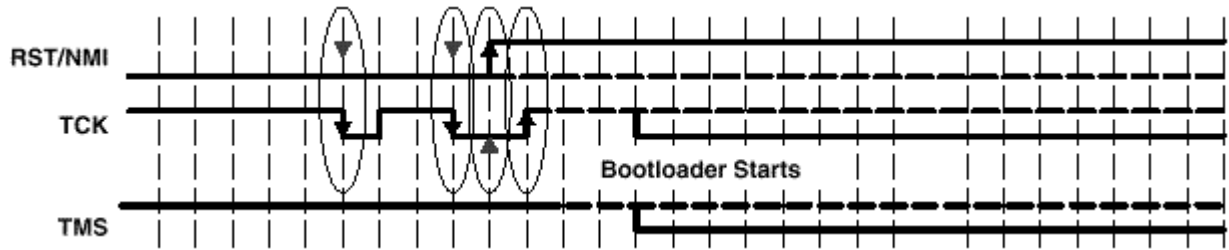
- WDT：看门狗定时器暂停
- 中断： GIE=0， NMIE=0， OFIFG=0， ACCVIFG=0
- 存储器地址和堆栈指针：

如果堆栈指针指向大于 0220h 的 RAM 地址，则指定了 6 字节的堆栈再加 0200h 至 0219h 的 RAM 地址。否则堆栈指针设在 0220h 并指定从 0200h 至 021Fh 的 RAM。

如果 TCK 被保持为高电平而  $\overline{\text{RST}}/\text{NMI}$  脚从低变高，则程序从用户的复位矢量 FFFEh（标准方法）开始执行。如下图示：



如果在 TCK 脚加上至少 2 个负的边沿而  $\overline{\text{RST}}/\text{NMI}$  脚为低电平，并且当 TCK 为低时  $\overline{\text{RST}}/\text{NMI}$  由低变高，则程序从自动加载程序矢量 0C00h（引导 ROM）开始执行。如下图所示：



自动加载程序将不被启动（通过地址 0C00h 处的矢量），如果：

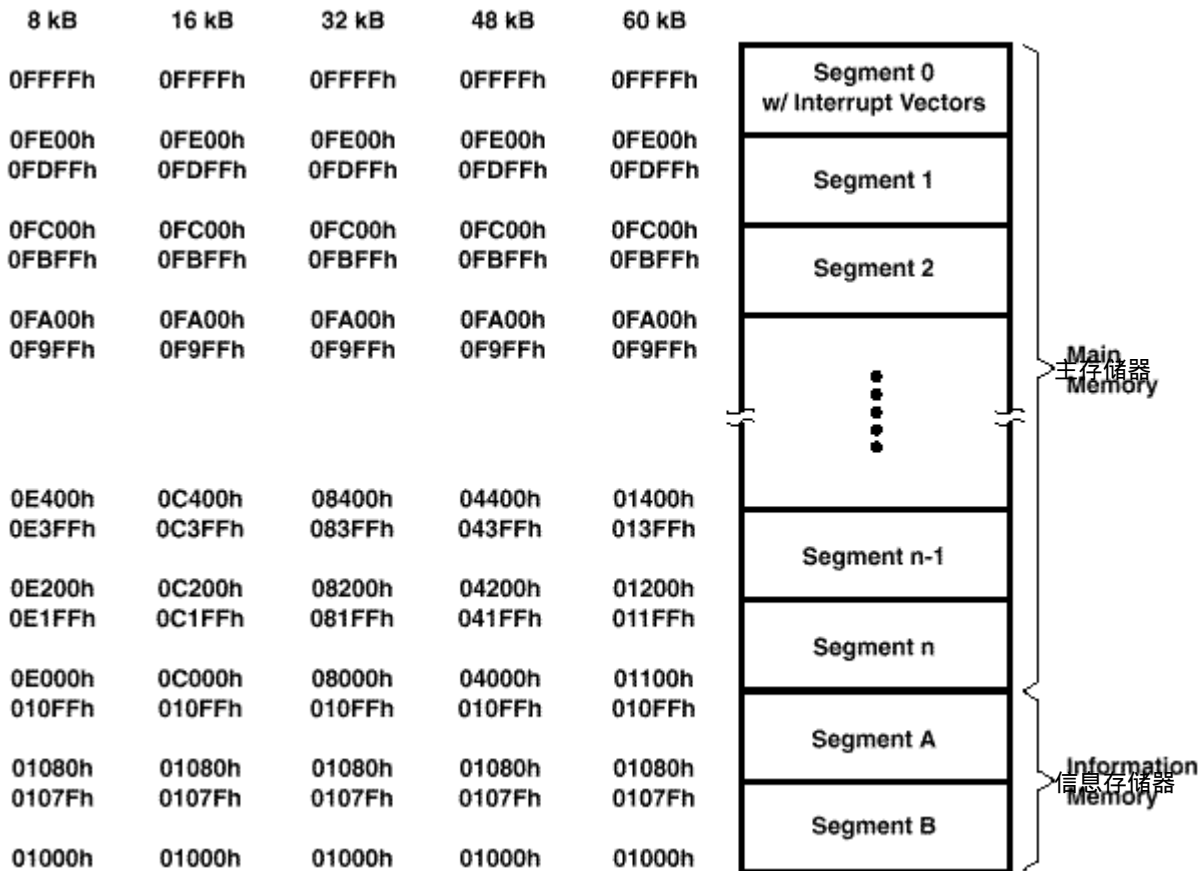
- 在 TCK 引脚处只有少于两个负边沿而  $\overline{\text{RST}}/\text{NMI}$  为低
- 如果 TCK 为高时  $\overline{\text{RST}}/\text{NMI}$  从低变高
- JTAG 已经控制了 MSP430 的资源
- 电源电压  $V_{CC}$  跌落并执行了一次 POR（上电复位）

注：6. TCK 的缺省电平为高。为了进入自动加载程序必须加一个有效低电平。其它有用一个使用缺省低电平引脚的 MSP430 可以使用相反的信号。

7. 当 TCK 时钟加上时 TMS 信号必须为高。这样可以保证在它的缺省方式时 JTAG 的控制功能。

## 六、闪速存储器

· 闪速存储器有 n 段主存储器和每段为 128 字节的信息存储器两段（A 和 B）。主存储器的每一段为 512 字节。如下图所示。



闪速存储器组成图

· 一次就可以擦除从段 0 至 n，每一段也可以单独擦除。

· 段 A 和段 B 可以单独地分别擦除，也可以作为一组与段 0~n 一起擦除。段 A 和段 B 也称为信息存储器。

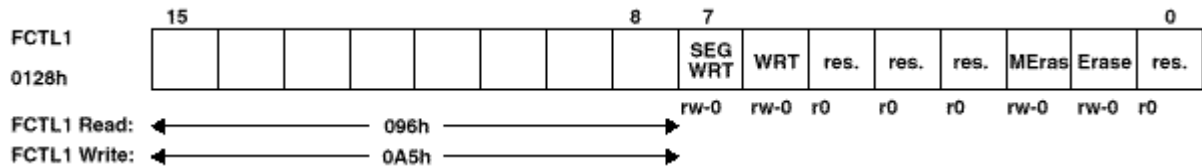
- 安全保险丝熔断后是不可逆的，它将使以后对 JTAG 的进一步访问不再可能。
- 外部不须加  $V_{PP}$ ，编程/擦除电压由内部产生，但这时  $V_{CC}$  需要的电流增加。
- 编程和擦除时序由闪速存储器内的硬件控制，不需要软件干涉。
- 控制硬件称为闪速时序产生器。闪速时序产生器的输入频率必须在适当的范围内并且必须在写/编程或擦除操作完成之前一直保持不变。
- 当编程或擦除时，不能执行闪速存储器中的代码，并且必须将 GIE、NMIIE、ACCVIE 和 OFIE 位置 0 以禁止中断。如果一个用户程序需要与闪速存储器的编程或擦除操作同时执行，该程序必须从闪速存储器以外的存储器中执行（例如：引导 ROM、RAM）。当发生闪速存储器的编程或擦除已开始而程序计数器 PC 正指向闪速存储器的情况时，CPU 将执行 JMP\$ 指令直到闪速编程或擦除操作完成为止。通常是执行先前的运行程序然后再重新开始。
- 未编程的新器件可能在信息存储器中有一些被编程的字节（在制造时测试需要）。用户在第一次使用时先要完成一次对信息存储器的擦除。

### 6.1 闪速存储器控制寄存器 FCTL1

当 PUC 时所有的控制位都复位。在  $V_{CC}$  加上以后 PUC 被激活，一次复位条件被加到  $\overline{RST}$  /NMI 引脚，看门狗定时器期满，看门狗发生一次非法访问，或执行一次不适当的闪速操作。关于控制位功能的更详细的说明可在闪速存储器模块说明中找到（MSP430x1xx User's Guide, Literature Number SLAU049）。当擦除、块擦除或写（编程）时的任何向控制寄存器 FCTL1 的写入将以非法访问 ACCVIFG=1 来结束。如果等待方式有效（WAIT=1），控制寄存器可在一次有效的段写方式中被写入。为了段写方式需要加特殊的条件。详细说明请见 MSP430x1xx User's Guide。

任何时候读访问都是可能的，不受限制。

控制寄存器 FCTL1 的控制位如下：



- Erase 0128h, bit1, 擦除一段
  - 0：不开始段擦除
  - 1：允许擦除 1 段。被擦除的段由对段内任何地址的一次伪（dummy）写操作来规定。当擦除操作完成后 Erase 位自动复位。
- MEras 0128h, bit2, 块擦除，主存储器各段都一起被擦除
  - 0：不开始段擦除
  - 1：允许擦除主存储器各段。当执行一次对主存储器内任何地址的伪写操作即开始擦除。当擦除操作完成以后 MEras 位自动复位。
- WRT 0128h, bit6, 要执行一次成功的写操作 WRT 位必须被置位。如果 WRT 位是复位的而企图对闪速存储器进行一次写访问，则将发生一次非法访问且 ACCVIFG 将置位。见以下注 8。
- SEGWRT 0128h, bit7, 可以用 SEGWRT 位来减少总的编程时间。
  - 当需要对大量的数据进行编程时，段写位 SEGWRT 位是有用的。在一段编程完成后，必须完成一次复位和一次置位以便使能对下一个段的访问。在执行下一个写指令之前 WAIT 位必须为高。
  - 0：不选用段写加速。
  - 1：使用段写。在段与段之间，该位需要复位和置位。

注：8. 当编程、擦除或块擦除时只允许指令提取的访问。当这些操作时任何其它对闪速存储器的访问将导致 ACCVIFG 位的置位。要用一次 NMI 中断来处理这种非法访问。可以对闪速存储器进行访问时，各控制位允许的组合同如表 3 所列。

表 3 要访问 F 存储器时各控制位允许的组

	SEGWRT	WRT	MEras	Eras	Busy	WAIT	LOCK
写字或字节	0	1	0	0	0	0	0
在同一段内写字或字节, 段写方式	1	1	0	0	0	1	0
通过向目标段中任意地址写, 以擦除一段	0	0	0	1	0	0	0
擦除了信息存储器(段 A 和 B)以外的所有段(0至n)	0	0	1	0	0	0	0
通过向闪存存储器模块中任意地址写, 以擦除所有段(0至n和A与B)	0	0	1	1	0	0	0

注：9. 本表示出了控制位 SEGWRT、 WRT、 MEras、 Erase 和 Busy 所有的有效组合。任何其它组合将导致一次非法访问。

### 6.2 闪存存储器时序产生器、控制寄存器 FCTL2

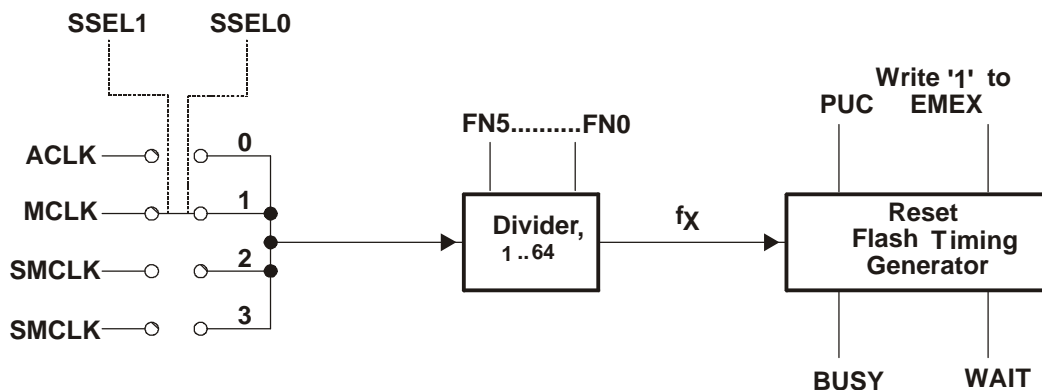
时序产生器(下图)由选定的时钟源产生用于写、擦除和块擦除所需要的所有的时序信号。可以由控制寄存器 FCTL2 中的控制位 SSEL0 和 SSEL1 选择三个不同的时钟源中的一个。选定的时钟源必须被分频以满足推荐的工作条件中规定的频率要求。

闪存时序产生器由 PUC 复位。如果紧急出口位 EMEX 被置位则它也被复位。

如果 BUSY 位是置位的, 则控制寄存器 FCTL2 不可以写入; 否则将发生一次非法访问 (ACCVIFG=1)。

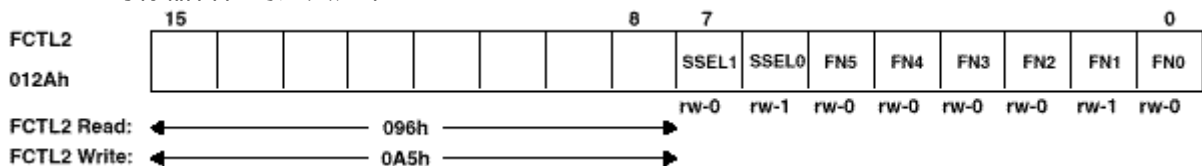
任何时候读访问是可能的而不受限制。

下图是闪存存储器时序产生器的方框图。



闪存存储器时序产生器方框图

FCTL2 寄存器各位的定义如下：



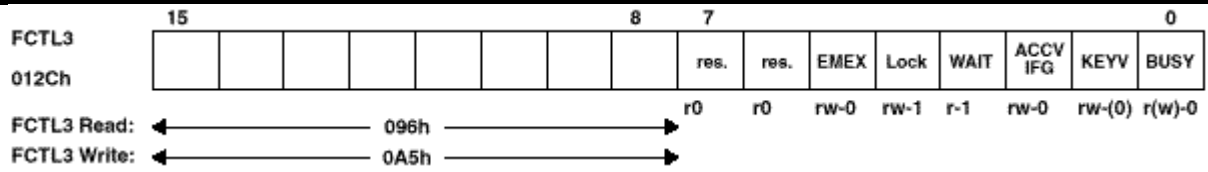
FN0~FN5 012Ah, bit0~5 这 6 位定义对时钟信号的分频比率, 分频比率从 1 到 64, 按照 FN5 至 FN0 的数字值加 1 即为分频比率。

SSEL0, SSEL1 012Ah, bit6、7 时钟源选择

- 0 : ACLK
- 1 : MCLK
- 2 : SMCLK
- 3 : SMCLK

### 6.3 闪存存储器控制寄存器 FCTL3

修改这个控制寄存器不受限制。



BUSY , 012Ch , bit0 , BUSY 位指示对闪存存储器的访问是允许的 ( BUSY=0 ) , 或者会发生一次非法访问。BUSY 位是只读的, 但允许写操作。在每次写和擦除周期以前必须测试 BUSY 位。

0 : 闪存存储器不忙

1 : 闪存存储器忙; 如果段写功能处于“等待”方式时, 它将保持“忙”状态

KEYV , 012Ch , bit1 , 识别码非法 ( Key Violation )

0 : 识别码 0A5h ( 高字节 ) 不是非法的

1 : 识别码 0A5h ( 高字节 ) 是非法的。当执行对寄存器 FCTL1、FCTL2 或 FCTL3 的写访问时高字节不等于 0A5h 即出现非法。如果密码识别码是非法的, 位 KEYV 即被置位并且完成一次 PUC。

ACCVIFG , 012Ch , bit2 , 非法访问中断标志

只有当一次写或擦除操作是激活的, 非法访问中断标志被置位。如果闪存存储器模块要被写入或读出而它正处于忙状态才会发生非法访问。正当写、擦除和块擦除期间可以提取指令, 但正当在段写期间不能提取指令。当非法访问中断使能位被置位, 则中断服务请求被接受并在 NMI 中断向量地址处程序继续进行。

读控制寄存器不会置位 ACCVIFG 位。

WAIT , 012Ch , bit3 , 在段写方式中, WAIT 位指示闪存存储器准备接收下一个编程的数据。WAIT 位是只读的, 但向 WAIT 位写是允许的。

0 : 段写操作已经开始编程正在进行

1 : 段写操作是激活的, 而数据编程已完成。

LOCK , 012Ch , bit4 , 当任何写、段擦除或块擦除请求时, LOCK 位可以置位。任何激活的序列正在进行时通常是会完成的。在段写方式中, 在方式结束后 SEGWRTE 位被复位而 WAIT 位被置位。LOCK 位由软件或硬件控制。如果在段写方式时发生一次非法访问, 则 ACCVIFG 位和 LOCK 位会置位。

0 : 闪存存储器可以读、编程、擦除和块擦除

1 : 闪存存储器可以读、但不能编程、擦除和块擦除。当前的编程、擦除或块擦除操作将正常地完成。当闪存存储器模块被访问而 LOCK 位是置位的, 则非法访问中断标志 ACCVIFG 被置位。

EMEX , 012Ch , bit5 , 紧急出口, 该紧急出口只有在闪存存储器写或擦除操作失去控制时才使用。

0 : 没有作用

1 : 立即停止正在进行的操作, 并且在闪存存储器控制器中将所有的内部部件掉电。电流消耗立即降低。控制寄存器 FCTL1 中的所有各位被复位。由于 EMEX 位是由硬件自动复位的, 因此软件读 EMEX 位总是为 0。

### 6.4 闪存存储器, 中断和安全关键代码非法

一个 NMI 中断矢量用于三个 NMI ( 不可屏蔽中断 ) 事件:  $\overline{\text{RST}}/\text{NMI}$  ( NMIIFG )、振荡器故障 ( OFIFG ) 和闪存存储器非法访问 ( ACCVIFG )。因为这些标志都保持置位直到它们被软件复位, 所以软件可以确知中断请求源。要使标志使能必须在中断返回指令 RETI 之前由一条指令设置。这可确保堆栈处于控制之下。一个挂起的 NMI 中断请求将不增加不需要的堆栈需求。

关于不可屏蔽中断源的方框图见图 1。

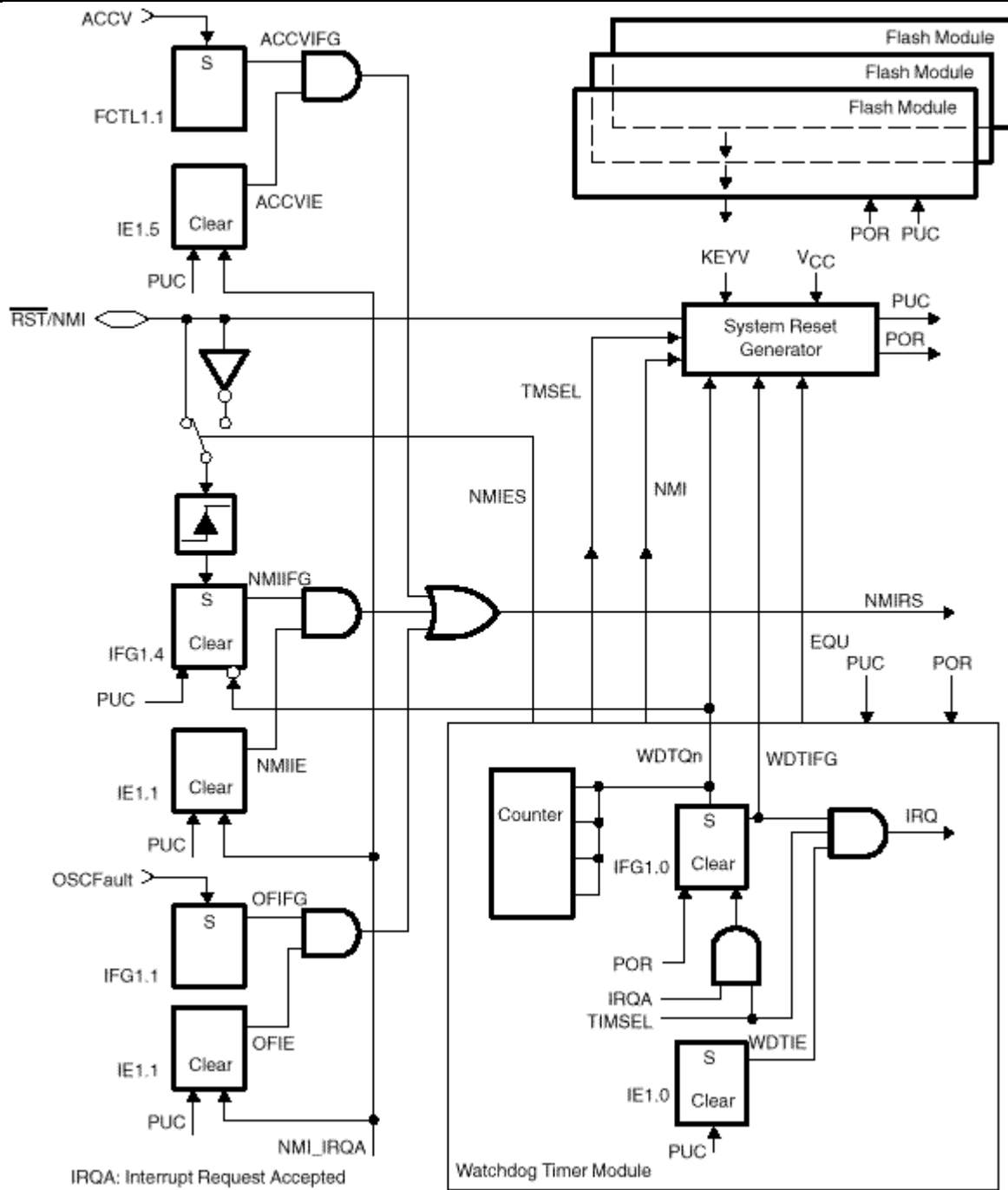


图 1 NMI 中断源的方框图

## 七、外围模块

外围模块通过数据、地址和控制总线与 CPU 相连，并且可以用各种存储器操作指令容易地处理。

### 7.1 振荡器和系统时钟

系统中使用的有三个时钟：系统（主）时钟 MCLK、子系统（子）时钟 SMCLK 和辅助时钟 ACLK，说明如下：

主系统（Main system）时钟 MCLK，用于 CPU 和系统

子系统（Subsystem）时钟 SMCLK，用于外围模块

辅助（Auxiliary）时钟 ACLK，来源于 LFXT1CLK（晶体频率），用于外围模块

在上电复位（POR）后缺省情况下使用 DCOCLK，DCOR 位被复位，DCO（数控振荡器）被设置为额定的初始频率。此外，如果 LFXT1CLK 或 XT2CLK 在被用作 MCLK 时发生故障，则 DCOCLK 会自



动被选用以保证正常工作。

SMCLK 可以由 XT2CLK 或者 DCOCLK 产生。ACLK 总是由 LFXT1CLK 产生。

晶体振荡器 LFXT1 可以以钟表晶体 ( 32768Hz ) 工作或用高频的陶瓷谐振器或晶体工作。晶体或陶瓷谐振器跨接到两个端点。用钟表晶体工作时不需要外部元件。如果选用高频率 XT1 方式, 则从 XIN 至  $V_{SS}$  和 XOUT 至  $V_{SS}$  的外部电容应按晶体制造商规定的要求选用。

加上  $V_{CC}$  电压以后 LFXT1 振荡器开始工作。如果 OscOff 位置 1, 则当振荡器没有用作 MCLK 时停止工作。

晶体振荡器 XT2 与振荡器 LFXT1 相同, 但只用较高频率的陶瓷谐振器或晶体工作。晶体或陶瓷谐振器跨接到两个端点。接在 XT2IN 至  $V_{SS}$  和 XT2OUT 至  $V_{SS}$  的外部电容应按晶体制造商规定的要求选用。

加上  $V_{CC}$  电压以后 XT2 停止工作 这是因为 XT2 振荡器控制位 XT2off 被置位。如果 XT2off 位被置 1, 则当它没有被用作 MCLK 时 XT2 振荡器停止。

通过接口引脚, 时钟信号 ACLK、MCLK 和 SMCLK 可用于外部电路。

不同的要求和系统条件决定了不同的系统时钟要求, 包括:

- 为了快速反应系统的硬件请求或事件使用高频率
- 使用低频率可以减少电流消耗、降低 EMI 等
- 用于定时器应用的时钟如实时时钟 ( RTC ) 要求稳定的外围时钟
- 启动-停止工作的延迟要求最小

## 7.2 乘法

乘法操作由一个专用的外围模块来支持。模块可完成  $16 \times 16$ 、 $16 \times 8$ 、 $8 \times 16$  和  $8 \times 8$  位的操作。该模块能支持有符号的和无符号的乘法以及有符号和无符号乘和累加操作。在操作数已经被加载到外围寄存器以后, 操作的结果可立即访问。不需要额外的时钟周期。

## 7.3 数字 I/O

有六个 8 位 I/O 端口 端口 P1 至端口 P6。P1 和 P2 两个端口都有七个控制寄存器, 而端口 P3、P4、P5 和 P6 只用四个控制寄存器, 这给予应用程序最大的数字输入/输出灵活性:

- 所有各个 I/O 位都可独立编程
- 任何输入、输出和中断条件的组合是可能的
- 外部事件的中断处理可在 P1 端口和 P2 端口的所有 8 位上实现
- 可用所有指令对所有寄存器读/写访问

这七个寄存器是:

- 输入寄存器            在端口 P1 至 P6 的 8 位
- 输出寄存器           在端口 P1 至 P6 的 8 位
- 方向寄存器           在端口 P1 至 P6 的 8 位
- 中断边缘选择        在端口 P1 和 P2 的 8 位
- 中断标志             在端口 P1 和 P2 的 8 位
- 中断允许             在端口 P1 和 P2 的 8 位
- 选择 ( 端口或模块 ) 在端口 P1 至 P6 的 8 位

所有这些寄存器包含 8 位。提供两个中断矢量: 一个通常用于在端口 P1.0 到端口 P1.7 上的任何中断事件, 另一个通常用于在端口 P2.0 到端口 P2.7 上的任何中断事件。

端口 P3、P4、P5 和 P6 无中断能力。

## 7.4 看门狗定时器

看门狗定时器 ( WDT ) 模块的重要功能是在软件发生问题时完成被控制系统的重新启动。如果选定的时间间隔超时, 即产生一次系统复位。如果在应用中不需要看门狗功能, 此模块可以用作一个间隔定时器, 在选定的时间间隔以后, 它将产生一个中断。

看门狗定时器计数器 ( WDTCNT ) 是一个 15/16 位增量计数器, 它不能由软件直接访问。 WDTCNT 由看门狗定时器控制寄存器 ( WDTCTL ) 控制, 它是一个 8 位的读/写寄存器。在两种工作方式 ( 看门狗或定时器 ) 中, 要想写入到 WDTCTL 中, 只有通过在高字节中使用正确的口令 ( 05Ah ) 才可能。低字节存储的数据写入到 WDTCTL 中。如果任何不等于 05Ah 的数值写入到 WDTCTL 的高字节, 一次系统复位 PUC 将产生。当口令被读时, 它的值是 069h, 那将使意外地写入到 WDTCTL 寄存器的操作减至最少。低字节储存写入 WDTCTL 的数据。除了看门狗定时器的控制位外, 在 WDTCTL 寄存器中还有两位用于配置 NMI 引脚。

### 7.5 USART0 和 USART1

在 MSP430x14x 中有两个 USART 外围模块: USART0 和 USART1 ;但在 MSP430x13x 中只有一个: USART0。这两个 USART 具有相同的功能, 在 MSP430x1xx User's Guide 的应用章节中说明。它们使用不同的引脚进行通信, 以及不同的寄存器作为模块控制。这些寄存器有相同的功能但不同的地址。

通用的同步/异步接口是一个用于串行通信的专用外围模块。USART 支持同步 SPI ( 3 或 4 引脚 ) 标准和异步 UART 通信协议, 使用双缓冲发送和接收通道。7 或 8 位长度的数据流可以由程序或外部时钟决定的速率传送。低功耗应用软件由 UART 方式选项来优化, 该选项可供全帧只有一个数据字节的接收之用。然后应用软件必须决定是否后续的数据需要处理。该选项减少了功耗。

每个 USART 模块中都安排了两上专用的中断向量——一个用于接收通道, 另一个用于发送通道。

### 7.6 定时器\_A ( 3 俘获/比较寄存器 )

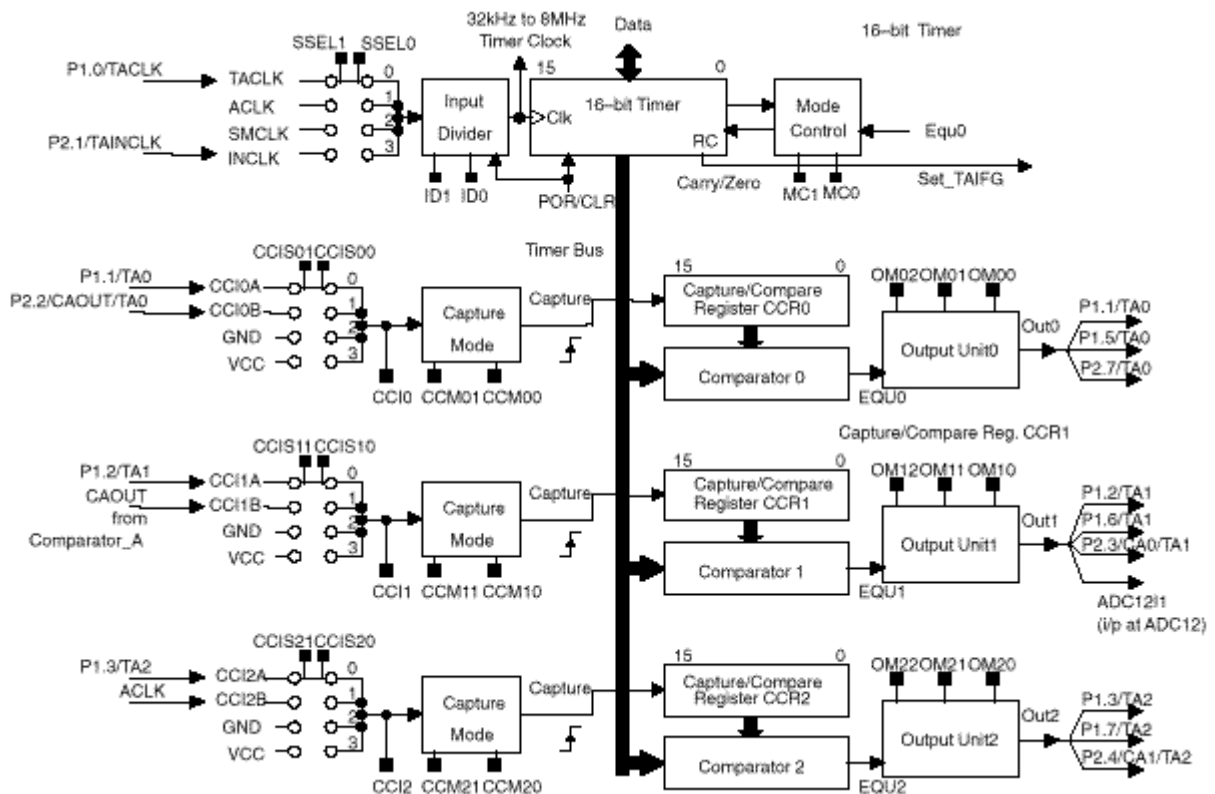


图 2 MSP430x13x/14x 定时器\_A 的结构

定时器\_A 模块提供一个十六位计数器和三个俘获/比较寄存器 ( 见图 2 )。定时器时钟源可以选为来自一个外部源 TACLK ( SSEL=0 或 3 ) 或来自两个内部时钟源 ACLK ( SSEL=1 ) 或 SMCLK ( SSEL=2 )。时钟源可被一、二、四或八整除。定时器可以完全得到控制 ( 在字方式 ), 因为它可以暂停, 读和写。它可以被停止, 继续运行, 向上计数或上/下计数, 使用一个比较方块 ( block ) 来确定周期。三个俘获/比较方块 ( block ) 可由应用程序配置以运行在俘获或比较方式。

俘获方式主要用于测量外部或内部事件, 使用信号的正向、负向或两个边沿的任意组合。俘获方式也

可由软件启动和终止。三个不同的外部事件 TA0、TA1 和 TA2 可以选择。在俘获/比较寄存器 CCR2 中，如果 CCI2B 被选中时，ACLK 是俘获信号。如果 CCISx=2 或 CCISx=3，软件俘获被选中。

比较方式主要用于为软件或应用硬件产生定时，或为各种目的象 D/A 转换功能或马达控制产生脉宽调制（PWM）输出信号。单个输出模块分配给三个俘获/比较寄存器中的一个。该模块可独立运行于比较功能，或被各种方式触发。

定时器\_A 模块使用两个中断矢量。一个矢量分配给俘获/比较方块 CCR0，一个通用中断矢量用于定时器和两个俘获/比较方块。三个中断事件使用相同的矢量，由各自的中断矢量字来识别。中断矢量字用于对程序计数器添加偏移以继续运行在相应程序位置的中断处理软件。这样就简化了中断处理程序，并且在中断处理程序中给每个中断事件同样的五个周期的额外支出。

## 7.7 定时器\_B（在 'x14x 中有 7 个俘获/比较寄存器，'x13x 中有 3 个俘获/比较寄存器）

除了以下各点外，定时器\_B7 与定时器\_A3 相同：

- 定时器计数器可配置成工作于 8、10、12 或 16 位方式
- 当在比较方式时俘获/比较寄存器的功能稍许有些不同。在定时器\_B 中，比较数据写入俘获/比较寄存器，然后再传送至有关的比较锁存器进行比较
- 所有输出电平 Outx 可由 TboutH 外部信号设置为 Hi-Z
- 在定时器\_B 中没有 SCCI 位
- 定时器\_B7 有 7 个俘获/比较寄存器

该定时器模块有一个 16 位计数器和 7 个俘获/比较寄存器。定时器时钟源可从一个外部源 TBCLK（SSEL=0 或 3）或从两个内部源 ACLK（SSEL=1）和 SMCLK（SSEL=2）中选择。时钟源可被 1、2、4 或 8 分频。定时器可以得到完全的控制（在字方式）：它可以被暂停、读和写；它可被停止、连续运行或用于向上计数或向上/向下计数，使用一个比较块（block）来确定周期。7 个俘获/比较块可由应用程序配置以运行在俘获或比较方式。

俘获方式主要用于测量外部或内部事件，使用信号的正向、负向或两个边沿的任意组合。俘获方式可由软件终止。任意七个不同的外部事件 TB0 至 TB6 可以选择。在俘获/比较寄存器 CCR6 中，如果 CCI6B 被选中时，ACLK 是俘获信号。如果 CCISx=2 或 CCISx=3，软件俘获被选中。

比较方式主要用于为软件或应用硬件产生定时，或为各种目的象 D/A 转换功能或马达控制产生脉宽调制（PWM）输出信号。单个输出模块分配给七个俘获/比较寄存器中的一个。该模块可独立运行于比较功能，或被各种方式触发。比较是与在比较锁存器（TBCLx）而不是在比较寄存器中的数据进行的。

定时器\_B 模块使用两个中断矢量。一个单独矢量分配给俘获/比较方块 CCR0，一个通用中断矢量用于定时器和其他六个俘获/比较方块。七个中断事件使用相同的矢量，由各自的中断矢量字为识别。中断矢量字用于对程序计数器添加偏移以继续运行在相应程序位置的中断处理软件。这样就简化了中断处理程序，并且在中断处理程序中给每个中断事件同样的五个周期的额外支出。

## 7.8 比较锁存器（TBCLx）

比较锁存器可直接由软件加载或通过选择的情况由 PWM 功能触发。这些锁存器都由 POR 信号复位。

立即加载 TBCLx，CLLD=0：俘获/比较寄存器 CCRx 和相应的比较锁存器被同时加载

为零时加载 TBCLx，CLLD=1：当 16 位定时器 TBR 计数至零时，在俘获/比较寄存器 CCRx 中的数据被加载到相应的比较锁存器

为零+周期时加载 TBCLx，CLLD=2：当 16 位定时器 TBR 计数至零或当下一周期开始时（在 UP/DOWN 方式），在俘获/比较寄存器 CCRx 中的数据被加载到相应的比较锁存器

在 EQUx 时加载 TBCLx，CLLD=3：当 CCRx 等于 TBR 时，在俘获/比较寄存器 CCRx 中的数据被加载到相应的比较锁存器

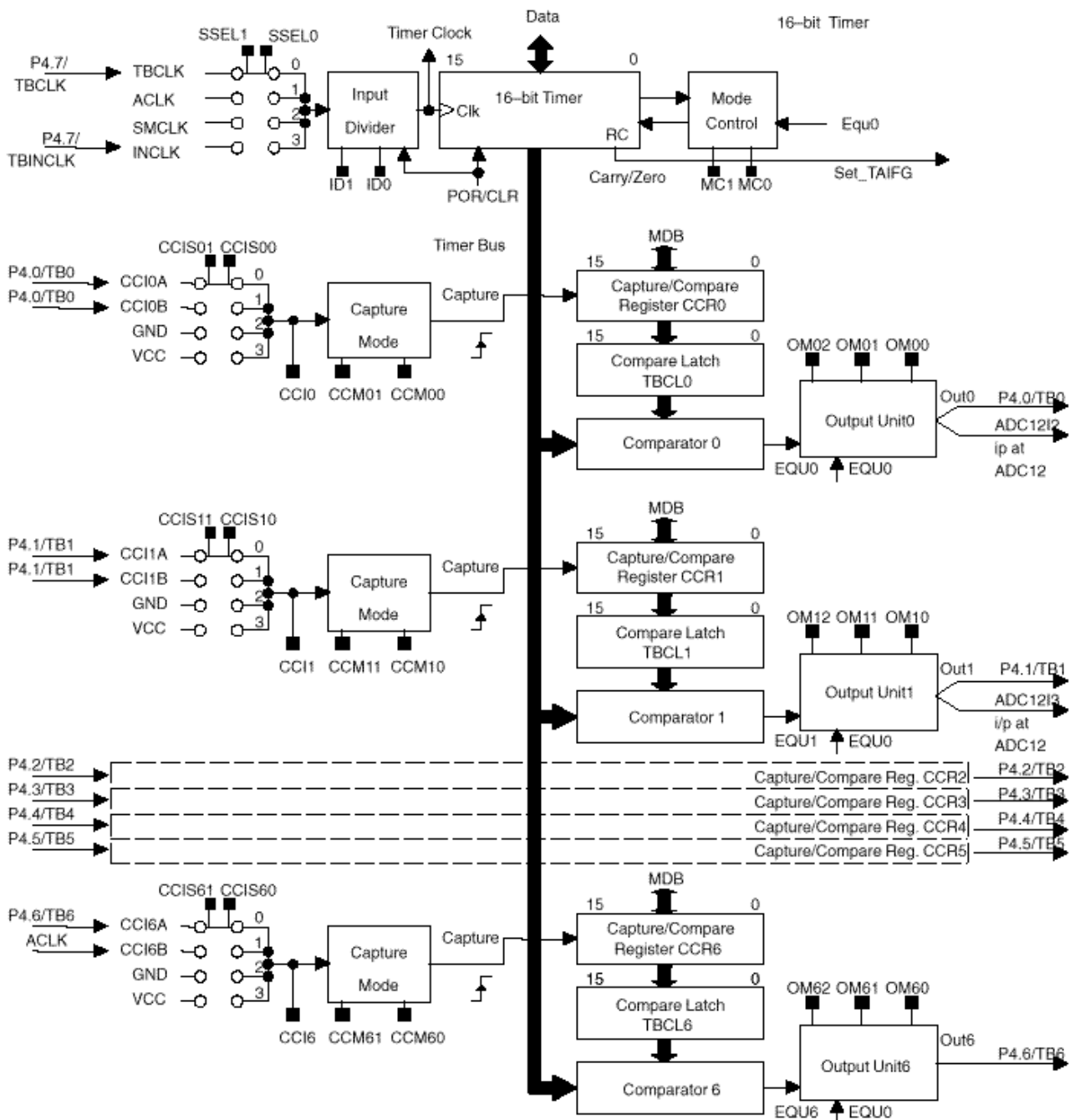
可以单个地也可以成组地加载比较锁存器。单个地加载即是只要所选中的加载条件（见上）为真，则 CCRx 中的数据加载到 TBCLx 中。

单个地加载 TBCLx, TBCLGRP=0 : 当所选的加载条件 ( CLLD ) 为真时, 比较锁存器 TBCLx 被加载  
 双加载 TBCLx 方式, TBCLGRP=1 : 当将数据写到相同组中的两个 CCRx 寄存器中并且加载条件  
 ( CLLD ) 为真时, 两个比较锁存器 TBCLx 被加载。定义的三个组是: CCR1+CCR2、CCR3+CCR4 和 CCR5+CCR6

三加载 TBCLx 方式, TBCLGRP=2 : 当将数据写到相同组中几个 CCRx 寄存器中并且加载条件  
 ( CLLD ) 为真时, 三个比较锁存器 TBCLx 被加载。定义的两个组是: CCR1+CCR2+CCR3 和 CCR4+CCR5+CCR6

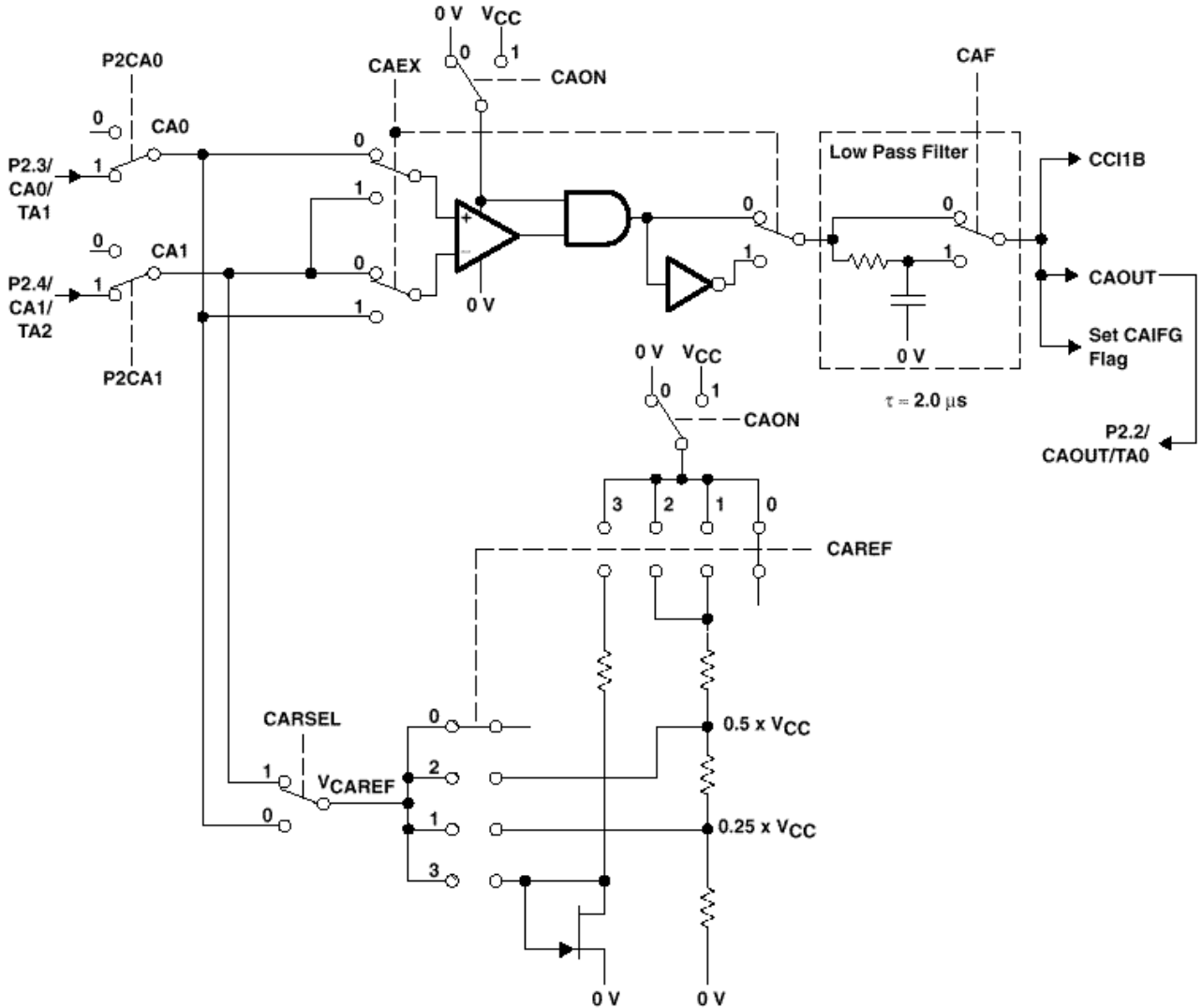
全加载 TBCLx 方式, TBCLGRP=3 : 当将数据写到全部七个 CCRx 寄存器中 然后加载条件 ( CLLD )  
 为真时, 全部 CCRx 数据  
 CCR0+CCR1+CCR2+CCR3+CCR4+CCR5+CCR6  
 被同时加载到相应的 SHRx 比较锁存器

比较锁存器方块图如下。



### 7.9 比较器\_A

比较器模块的主要功能是支持精密的 A/D 单斜率转换器的应用、电池电压监控和外部模拟信号的观察。比较器连接到端口引脚 P2.3（正端）和 P2.4（负端）。它由 CACTL 寄存器中的 8 个控制位控制。下图是比较器\_A 模块的方框图。



比较器\_A 的方框图

各控制位说明如下

- CAOUT , 05Ah , bit0 ,
- CAF , 05Ah , bit1 ,
- P2CA0 , 05Ah , bit2 ,
- P2CA1 , 05Ah , bit3 ,
- CACTL2.4 05Ah , bit4 ,
- to
- CACTL2.7 05Ah , bit7 ,
- CAIFG , 059h , bit0 ,
- CAIE , 059h , bit1 ,
- CAIES , 059h , bit2 ,

比较器输出

比较器输出是透明的或通过一个小滤波器

- 0 : 引脚 P2.3/CA0/TA1 不接到比较器\_A
- 1 : 引脚 P2.3/CA0/TA1 接到比较器\_A
- 0 : 引脚 P2.4/CA1/TA2 不接到比较器\_A
- 1 : 引脚 P2.4/CA1/TA2 接到比较器\_A

这四位都存在，但不控制本器件中的任何硬件

比较器\_A 中断标志

比较器\_A 中断使能

比较器\_A 中断边沿选择位



· 转换由 ENC 位使能，也可由软件通过采样和转换控制位 ADC12SC、Timer\_A3 或 Timer\_Bx 触发。只有在 ENC 控制位为低电平时，大部分控制位才能被修改。这可以避免由于不希望的修改导致不可预料的结果

· 采样时间可以是  $4 \times n_0 \times \text{ADC12CLK}$  或  $4 \times n_1 \times \text{ADC12CLK}$ 。这可以当采样信号为高电平 (ISSH=0) 或低电平 (ISSH=1) 时尽可能长地采样。SHT0 定义  $n_0$  而 SHT1 定义  $n_1$

· 转换结果储存在 16 个寄存器中的一个。这 16 个寄存器有各自的地址，可由软件访问。16 个寄存器的每一个被连接到一个 8 位寄存器，这个 8 位寄存器规定了正的和负的基准源以及所分配的通道

A/D 转换器的方框图如下。

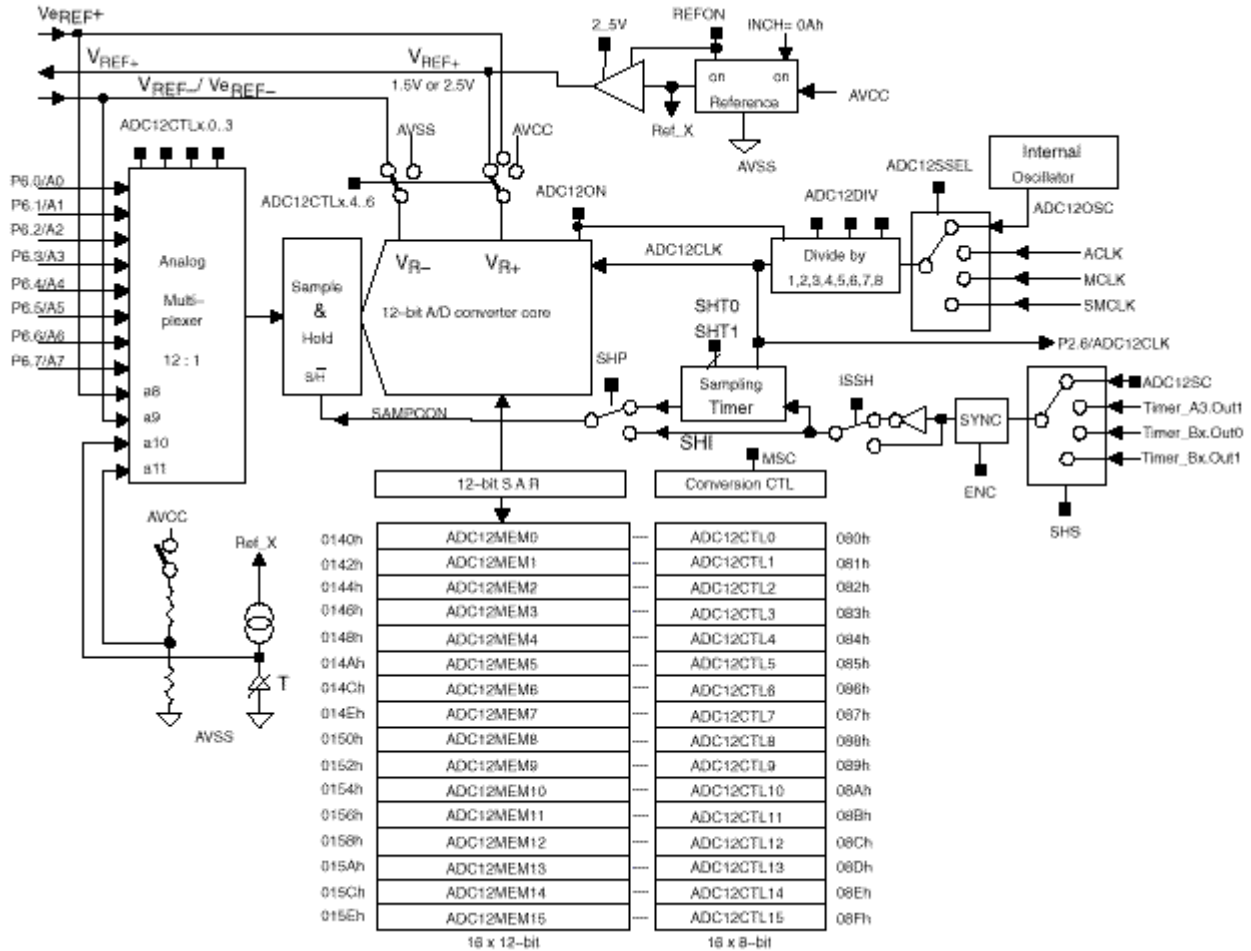


表 4 基准电压配置

SREF	VOLTAGE AT VR+	VOLTAGE AT VR -
0	AVCC	AVSS
1	VREF+(internal)	AVSS
2.3	VeREF+(external)	AVSS
4	AVCC	VREF-/VeREF-(internal or external)
5	VREF+(internal)	VREF-/VeREF-(internal or external)
6.7	VeREF+(external)	VREF-/VeREF-(internal or external)

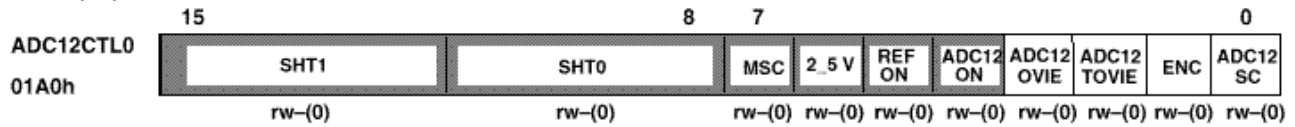
### 7.10.1 控制寄存器 ADC12CTL0 和 ADC12CTL1

当 POR 时所有的控制位被复位。在 VCC 或一个复位条件加到 RST/NMI 引脚之后 POR 有效。关于控制位功能的详细说明可在 ACD12 模块说明(在用户指南中)中找到。在寄存器 ADC12CTL0、ADC12CTL1 和 ADC12MCTLx 中大多数控制位只能在 ENC 为低电平时进行修改。

下面简要说明这些位。其它有六位除外，可以不受限制地修改：ADC12SC、ENC、ADC12TOVIE、ADC12OVIE 和 CONSEQ。

ADC12CTL0 和 ADC12CTL1 控制寄存器中的控制位说明如下：

(1) ADC12CTL0



- ADC12SC                      采样和转换。ADC12SC 位用来由软件控制转换，建议 ISSH=0  
 01A0h ， bit0              SHP=1：改变 ADC12SC 位从 0 至 1，启动采样和转换操作。当转换完成时  
 ( BUSY=0 )，位 ADC12SC 自动复位  
 SHP=0：位 ADC12SC 的高电平决定采样时间。一旦它被复位（由软件）转换即  
 开始。转换需要 13 个 ADC12CLK 周期
- ENC                              转换使能。只有当转换使能位 ENC 为高时，转换可以由软件（通过 ADC12SC）  
 01A0h ， bit1              启动或由外部信号启动。如果 ENC 位为低，则在 ADC12CTL0 和 ADC12CTL1 中  
 的大多数控制位以及 ADCMCTLx 中的所有位可以改变  
 0：不开始转换，这是初始状态  
 1：在采样信号的第一个上升沿开始第一次采样和转换。选定的操作在 ENC 置 1  
 时一直继续进行
- ADC12TOVIE                  转换时间溢出中断使能  
 01A0h ， bit2              如果在当前转换或系列转换仍在进行而已有另一次采样和转换开始的请求即发生  
 时间溢出和产生一个时间溢出矢量。时间溢出使能如果被置位，可能请求一次中  
 断
- ADC12OVIE                    溢出中断使能将单个地使能溢出中断矢量。如果下一次转换结果被写入 ADC 存储  
 01A0h ， bit3              器 ADC12MEMx，但前一次的结果尚未读出时即发生溢出。如果一个溢出矢量已  
 产生，溢出中断使能标志 ADC12OVIE 和通用中断使能 GIE 位被置位，则一次中  
 断服务被请求
- ADC12ON                        12 位 ADC 内核通电。在 ADC 内核被通电时，必须确保满足稳定时限  
 01A0h ， bit4              0：ADC 内核的电源被关断。不启动转换  
 1：ADC 内核供电。如果不需进行 A/D 转换，则 ADC12ON 可被复位以节电
- REFON                            基准电源通电  
 01A0h ， bit5              0：内部基准电压被关断。基准电压产生器不消耗功率  
 1：内部基准电压通电，要消耗额外的功率。在第一次采样和转换开始以前，必  
 须达到基准电压的稳定时间
- 2\_5V                              基准电压电平  
 01A0h ， bit6              0：如果 REFON=1，内部基准电压为 1.5V  
 1：如果 REFON=1，内部基准电压为 2.5V
- MSC                                多路采样和转换。只有当采样定时器被选定，以产生采样信号以及选择重复单通  
 01A0h ， bit7              道、序列通道或者重复的序列通道（CONSEQ=0）时才能工作于这种方式  
 0：只发生一路采样  
 1：如果 SHP 被置位并且 CONSEQ=1、2 或 3，则采样定时器输入信号的上升沿  
 启动重复的和/或序列通道方式。在当前转换被完成以后，第二次和所有以后的转  
 换被立即启动



SHT0 采样保持定时器 0

01A0h , bit8~11

SHT1 采样保持定时器 1

01A0h , bit12~15 采样时间是 ADC12CLK × 4 的倍数 :

$$t_{\text{sample}} = 4 \times \text{ADC12CLK} \times n$$

SHT0/1	0	1	2	3	4	5	6	7	8	9	10	11	12~15
n	1	2	4	8	16	24	32	48	64	96	128	192	256

注：当在转换时使用 ADC12MEM0 至 ADC12MEM7 ，则由 SHT0 规定采样时间。

当在转换时使用 ADC12MEM8 至 ADC12MEM15 ，则由 SHT1 规定采样时间。

(2) ADC12CTL1



ADC12BUSY BUSY 信号指出采样和转换操作正在进行

01A2h , bit0 0 : 无转换正在进行。转换使能位 ENC 可被正常复位

1 : 一次采样周期。转换或序列转换正在进行

CONSEQ 选择转换方式。如果 CONSEQ.1 ( 位 1 ) 被置位，则选中重复方式

01A2h , bit1/2 0 : 单通道转换

1 : 单序列通道转换

2 : 单通道重复转换

3 : 序列通道重复转换

ADC12SSEL 为转换器内核选择时钟源

01A2h , bit3/4 0 : 嵌入在 ADC12 模块中的内部振荡器

1 : ACLK

2 : MCLK

3 : SMCLK

ADC12DIV 选择由 ADC12SSEL 确定的时钟源的分频率。用于转换器内核的时钟工作信号

01A2h , bit5,6,7 是 ADC12CLK。不包括采样时间，需要 13 个 ADC12CLK 时钟周期

0~7 : 选择时钟源被 1 至 8 分频

ISSH 用于采样信号的源反相

01A2h , bit8 0 : 用于采样信号的源不反相

1 : 用于采样信号的源被反相

SHP 采样保持脉冲，采样脉冲的长度可编程

01A2h , bit9 0 : 当采样保持信号为 1 时一直进行采样操作。如果采样保持信号从 1 变为 0 时，转换操作即开始

1 : 采样时间 ( 采样信号为高 ) 由  $n \times 4 \times ( 1/f_{\text{ADC12CLK}} )$  定义。SHT×保持数据为 n。当采样信号从 1 变为 0 时，转换即开始

SHS 采样保持的信号源

01A2h , bit10/11 0 : 控制位 ADC12SC 触发采样保持，接着是 A/D 转换

1 : 采样保持和转换的触发信号来自定时器\_A3.EQU1

2 : 采样保持和转换的触发信号来自定时器\_B.EQU0

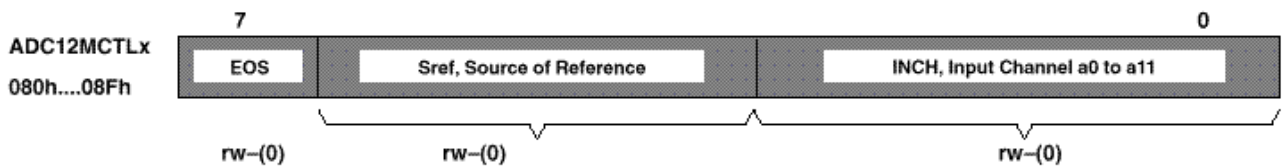
3 : 采样保持和转换的触发信号来自定时器\_B.EQU1

CStartAdd                      转换开始地址 CStartAdd 用来决定那个 ADC12 控制存储器用来开始(第一次) 01A2h , bit12to15              转换。 CStartAdd 值的范围从 0 至 0Fh 相应于 ADC12MEM0 至 ADC12MEM15 和有关的控制寄存器 ADC12MCTL0 至 ADC12MCTL15

**7.10.2 控制寄存器 ADC12MCTL x 和转换存储器 ADC12MEM x**

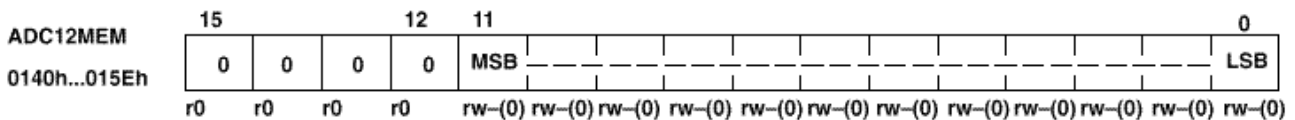
当 POR 时所有的控制位都复位。在加上 V<sub>CC</sub> 或在 RST/NMI 脚上加复位条件后 POR 即被激活。只有当使能转换控制位 ENC 被复位时控制寄存器 ADC12MCTLx 才能被修改。只有当 ENC 位在复位状态时才能向 ADC12MCTLx 寄存器写入指令。控制位功能的更详细的说明请见 ADC12 模块说明(在 “ MSP430x1xx User’s Guide ” 中)。

有 16 个 ADC12MCTLx 8 位存储器控制寄存器和 16 个 ADC12MEMx 16 位寄存器。每个存储器控制寄存器都与一个 ADC12MEMx 寄存器相关联,例如 ADC12MEM0 与 ADC12MCTL0 而 ADC12MEM1 与 ADC12METL1 相关联...等。



控制寄存器位用来选择模通道、用于 V<sub>R+</sub> 和 V<sub>R-</sub> 的基准电压源、和一个标志一组通道中最后一个通道转换结束的控制信号。16 个 16 位的寄存器 ADC12MEMx 用于保存转换的结果。

下面显示的是转换结果寄存器 ADC12MEM0 至 ADC12MEM15 :



ADC12MEM0 0140h , bit0              12 位转换结果储存于 16 个寄存器 ADC12MEM0 至 ADC12MEM15 中。12 位是右对齐,高 4 位总是读数为 0  
ADC12MEM15 015Eh , bit15

**7.10.3 ADC12 中断标志 ADC12IFG.x 和使能 ADC12IEN.x 寄存器**

有 16 个 ADC12IFG.x 中断标志、16 个 ADC12IEN.x 中断使能位和一个中断向量字。16 个中断标志和使能位与 16 个 ADC12MEMx 寄存器相关联。例如,寄存器 ADC12MEM0、中断标志 ADC12IFG.0 和中断使能位 ADC12IE.0 形成了一个转换结果组。

ADC12IFG.0 具有最高优先级而 ADC12IFG.15 为最低优先级。

当 POR 时中断标志和中断使能位被复位。在 V<sub>CC</sub> 上电或在 RST/NMI 脚上加复位条件后 POR 激活。

**7.10.4 ADC12 中断矢量寄存器**

溢出标志、定时溢出标志和 16 个中断标志有一个 12 位 ADC 中断矢量。这个矢量表示一次转换结果已经存入寄存器 ADC12MEMx 中。处理这 18 个标志要靠中断矢量字的帮助。16 位矢量字 ADC12IV 指出最高级被挂起的中断。中断矢量字用来向程序计数器增加一个偏移量,以便使中断处理软件按照中断事件指定的相应程序地址继续运行。这样简化了中断处理操作和使每个中断事件分配 5 个周期相同的额外开销。

7.11 外围模块存储器映射

PERIPHERALS WITH WORD ACCESS			
<b>Watchdog</b>	Watchdog Timer control	WDTCTL	0120h
<b>Timer_B7</b> Timer_B3 (see Note 9)	Timer_B interrupt vector	TBIV	011Eh
	Timer_B control	TBCTL	0180h
	Capture/compare control 0	CCTL0	0182h
	Capture/compare control 1	CCTL1	0184h
	Capture/compare control 2	CCTL2	0186h
	Capture/compare control 3	CCTL3	0188h
	Capture/compare control 4	CCTL4	018Ah
	Capture/compare control 5	CCTL5	018Ch
	Capture/compare control 6	CCTL6	018Eh
	Timer_B register	TBR	0190h
	Capture/compare register 0	CCR0	0192h
	Capture/compare register 1	CCR1	0194h
	Capture/compare register 2	CCR2	0196h
	Capture/compare register 3	CCR3	0198h
	Capture/compare register 4	CCR4	019Ah
	Capture/compare register 5	CCR5	019Ch
	Capture/compare register 6	CCR6	019Eh
<b>Timer_A3</b>	Timer_A interrupt vector	TAIV	012Eh
	Timer_A control	TACTL	0160h
	Capture/compare control 0	CCTL0	0162h
	Capture/compare control 1	CCTL1	0164h
	Capture/compare control 2	CCTL2	0166h
	Reserved		0168h
	Reserved		016Ah
	Reserved		016Ch
	Reserved		016Eh
	Timer_A register	TAR	0170h
	Capture/compare register 0	CCR0	0172h
	Capture/compare register 1	CCR1	0174h
	Capture/compare register 2	CCR2	0176h
	Reserved		0178h
	Reserved		017Ah
Reserved		017Ch	
Reserved		017Eh	
<b>Multiply</b> In MSP430x14x only	Sum extend	SumExt	013Eh
	Result high word	ResHi	013Ch
	Result low word	ResLo	013Ah
	Second operand	OP_2	0138h
	Multiply signed +accumulate/operand1	MACS	0136h
	Multiply+accumulate/operand1	MAC	0134h
	Multiply signed/operand1	MPYS	0132h
	Multiply unsigned/operand1	MPY	0130h

PERIPHERALS WITH WORD ACCESS (CONTINUED)			
<b>Flash</b>	Flash control 3	FCTL3	012Ch
	Flash control 2	FCTL2	012Ah
	Flash control 1	FCTL1	0128h
<b>ADC12</b> <i>See also Peripherals with Byte Access</i>	Conversion memory 15	ADC12MEM15	015Eh
	Conversion memory 14	ADC12MEM14	015Ch
	Conversion memory 13	ADC12MEM13	015Ah
	Conversion memory 12	ADC12MEM12	0158h
	Conversion memory 11	ADC12MEM11	0156h
	Conversion memory 10	ADC12MEM10	0154h
	Conversion memory 9	ADC12MEM9	0152h
	Conversion memory 8	ADC12MEM8	0150h
	Conversion memory 7	ADC12MEM7	014Eh
	Conversion memory 6	ADC12MEM6	014Ch
	Conversion memory 5	ADC12MEM5	014Ah
	Conversion memory 4	ADC12MEM4	0148h
	Conversion memory 3	ADC12MEM3	0146h
	Conversion memory 2	ADC12MEM2	0144h
	Conversion memory 1	ADC12MEM1	0142h
	Conversion memory 0	ADC12MEM0	0140h
	Interrupt-vector-word register	ADC12IV	01A8h
	Inerrupt-enable register	ADC12IE	01A6h
Inerrupt-flag register	ADC12IFG	01A4h	
Control register 1	ADC12CTL1	01A2h	
Control register 0	ADC12CTL0	01A0h	
<b>ADC12</b>	ADC memory-control register15	ADC12MCTL15	08Fh
	ADC memory-control register14	ADC12MCTL14	08Eh
	ADC memory-control register13	ADC12MCTL13	08Dh
	ADC memory-control register12	ADC12MCTL12	08Ch
	ADC memory-control register11	ADC12MCTL11	08Bh
	ADC memory-control register10	ADC12MCTL10	08Ah
	ADC memory-control register9	ADC12MCTL9	089h
	ADC memory-control register8	ADC12MCTL8	088h
	ADC memory-control register7	ADC12MCTL7	087h
	ADC memory-control register6	ADC12MCTL6	086h
	ADC memory-control register5	ADC12MCTL5	085h
	ADC memory-control register4	ADC12MCTL4	084h
	ADC memory-control register3	ADC12MCTL3	083h
	ADC memory-control register2	ADC12MCTL2	082h
	ADC memory-control register1	ADC12MCTL1	081h
	ADC memory-control register0	ADC12MCTL0	080h

注：10. 在 MSP430x14x 系列中 Timer\_B7 有 7 个 CCR，在 MSP430x13x 系列中 Timer\_B3 只有 3 个 CCR。

PERIPHERALS WITH BYTE ACCESS			
<b>UART1</b> (Only in 'x14x)	Transmit buffer	UTXBUF.1	07Fh
	Receive buffer	URXBUF.1	07Eh
	Baud rate	UBR1.1	07Dh
	Baud rate	UBR0.1	07Ch
	Modulation control	UMCTL.1	07Bh
	Receive control	URCTL.1	07Ah
	Transmit control	UTCTL.1	079h
	UART control	UCTL.1	078h
<b>UART0</b>	Transmit buffer	UTXBUF.0	077h
	Receive buffer	URXBUF.0	076h
	Baud rate	UBR1.0	075h
	Baud rate	UBR0.0	074h
	Modulation control	UMCTL.0	073h
	Receive control	URCTL.0	072h
	Transmit control	UTCTL.0	071h
	UART control	UCTL.0	070h
<b>Comparator_A</b>	Comp._A port disable	CAPD	05Bh
	Comp._A control2	CACTL2	05Ah
	Comp._A control1	CACTL1	059h
<b>System Clock</b>	Basic clock system control2	BCSCTL2	058h
	Basic clock system control1	BCSCTL1	057h
	DCO clock frequency control	DCOCTL	056h
<b>Port P6</b>	Port P6 selection	P6SEL	037h
	Port P6 direction	P6DIR	036h
	Port P6 output	P6OUT	035h
	Port P6 input	P6IN	034h
<b>Port P5</b>	Port P5 selection	P5SEL	033h
	Port P5 direction	P5DIR	032h
	Port P5 output	P5OUT	031h
	Port P5 input	P5IN	030h
<b>Port P4</b>	Port P4 selection	P4SEL	01Fh
	Port P4 direction	P4DIR	01Eh
	Port P4 output	P4OUT	01Dh
	Port P4 input	P4IN	01Ch
<b>Port P3</b>	Port P3 selection	P3SEL	01Bh
	Port P3 direction	P3DIR	01Ah
	Port P3 output	P3OUT	019h
	Port P3 input	P3IN	018h
<b>Port P2</b>	Port P2 selection	P2SEL	02Eh
	Port P2 interrupt enable	P2IE	02Dh
	Port P2 interrupt-edge select	P2IES	02Ch
	Port P2 interrupt flag	P2IFG	02Bh
	Port P2 direction	P2DIR	02Ah
	Port P2 output	P2OUT	029h
	Port P2 input	P2IN	028h

PERIPHERALS WITH BYTE ACCESS			
<b>Port P1</b>	Port P1 selection	P1SEL	026h
	Port P1 interrupt enable	P1IE	025h
	Port P1 interrupt-edge select	P1IES	024h
	Port P1 interrupt flag	P1IFG	023h
	Port P1 direction	P1DIR	022h
	Port P1 output	P1OUT	021h
	Port P1 input	P1IN	020h
<b>Special Functions</b>	SFR module enable 2	ME2	005h
	SFR module enable 1	ME1	004h
	SFR interrupt flag2	IFG2	003h
	SFR interrupt flag1	IFG1	002h
	SFR interrupt enable2	IE2	001h
	SFR interrupt enable1	IE1	000h

## 八、特性参数

### 8.1 在自然通风工作温度下的极限参数（除非另有说明）\*

加于 $V_{CC}$ 到 $V_{SS}$ 的电压	-0.3V 至 4.1V
加于任一引脚上的电压（相对于 $V_{SS}$ ）	-0.3V 至 $V_{CC}+0.3V$
在任一器件引脚处的二极管电流	$\pm 2mA$
储存温度， $T_{stg}$ （未编程器件）	-55 至 150
储存温度， $T_{stg}$ （编程器件）	-40 至 85

\*注：强度超出所列的极限参数可能导致器件的永久性损坏。这些仅仅是极限参数，并不意味着在极限条件下或在任何其它超出推荐工作条件所示参数的情况下器件能有效地工作。延长在极限参数条件下的工作时间会影响器件的可靠性。

注：所有的电压均以  $V_{SS}$  为基准。

### 8.2 推荐工作条件

PARAMETER		MIN	NOM	MAX	UNITS
Supply voltage during program execution, $V_{CC}$ ( $AV_{CC} = DV_{CC} = V_{CC}$ )		MSP430F13x, MSP430F14x	1.8	3.6	V
Supply voltage during flash memory programming, $V_{CC}$ ( $AV_{CC} = DV_{CC} = V_{CC}$ )		MSP430F13x, MSP430F14x	2.7	3.6	V
Supply voltage, $V_{SS}$			0.0	0.0	V
Operating free-air temperature range, $T_A$		MSP430x13x MSP430x14x	-40	85	$^{\circ}C$
LFXT1 crystal frequency, $f_{(LFXT1)}$ (see Notes 10, 11)	LF selected, XTS=0	Watch crystal		32768	Hz
	XT1 selected, XTS=1	Ceramic resonator	450	8000	kHz
	XT1 selected, XTS=1	Crystal	1000	8000	kHz
XT2 crystal frequency, $f_{(XT2)}$	Ceramic resonator	450	8000	kHz	
	Crystal	1000	8000	kHz	
Processor frequency (signal MCLK), $f_{(System)}$	$V_{CC} = 2.2 V$	DC		5	MHz
	$V_{CC} = 3.6 V$	DC		8	
Flash-timing-generator frequency, $f_{(FTG)}$		MSP430F13x, MSP430F14x	257	476	kHz
Cumulative program time, $t_{(CPT)}$ (see Note 12)		$V_{CC} = 2.7 V/3.6 V$ MSP430F13x MSP430F14x		3	ms
Low-level input voltage (TCK, TMS, TDI, RST/NMI), $V_{IL}$ (excluding Xin, Xout)		$V_{CC} = 2.2 V/3 V$	$V_{SS}$	$V_{SS} + 0.6$	V
High-level input voltage (TCK, TMS, TDI, RST/NMI), $V_{IH}$ (excluding Xin, Xout)		$V_{CC} = 2.2 V/3 V$	$0.8V_{CC}$	$V_{CC}$	V
Input levels at Xin and Xout	$V_{IL}(Xin, Xout)$	$V_{CC} = 2.2 V/3 V$	$V_{SS}$	$0.2 \times V_{SS}$	V
	$V_{IH}(Xin, Xout)$		$0.8 \times V_{CC}$	$V_{CC}$	

- 注： 11. 当  $V_{CC} < 2.5V$  时，处于 LF 方式的 LFXT1 振荡器需要在 XOUT 与  $V_{SS}$  间接一个 5.1M 电阻；  
 当  $V_{CC} = 2.2V$  时，处于 XT1 方式的 LFXT1 振荡器可用频率为 4MHz 的陶瓷谐振器或晶体；  
 当  $V_{CC} = 2.8V$  时，处于 XT1 方式的 LFXT1 振荡器可用频率为 8MHz 的陶瓷谐振器或晶体。  
 12. LF 方式的 LFXT1 振荡器需要一块钟表晶体。XT1 方式的 LFXT1 振荡器可用陶瓷谐振器或晶体。  
 13. 当一次段写入操作时必须不超过累计的编程时间。

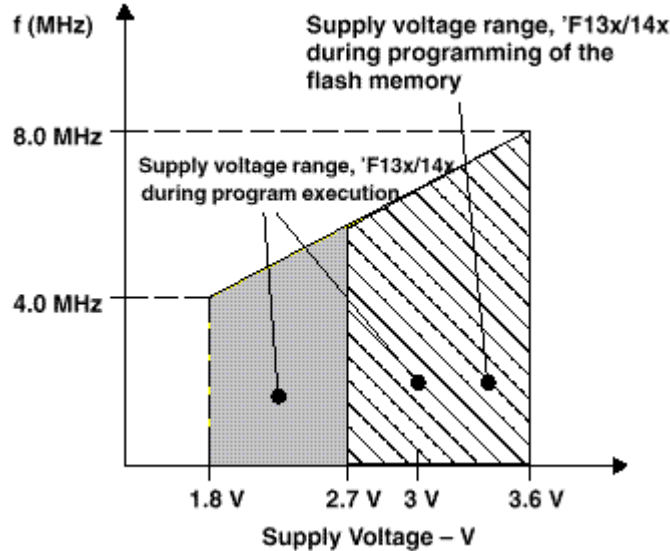


图 3 频率与电源电压的关系，MSP430F13x 或 MSP430F14x

### 8.3 在推荐的电源电压和自然通风工作温度下的电特性（除非另有说明）

#### 8.3.1 电源电流（进入 $AV_{CC}+DV_{CC}$ ）外部电流除外（ $f_{system}=1MHz$ ）

PARAMETER		TEST CONDITIONS		MIN	NOM	MAX	UNIT		
$I_{(AM)}$	Active mode, $f_{(MCLK)} = f_{(SMCLK)} = 1\text{ MHz}$ , $f_{(ACLK)} = 32,768\text{ Hz}$ $XTS=0, SELM=(0,1)$	F135, F149	$T_A = -40^\circ\text{C to } 85^\circ\text{C}$	$V_{CC} = 2.2\text{ V}$		225	TBD	$\mu\text{A}$	
				$V_{CC} = 3\text{ V}$		340	TBD		
$I_{(AM)}$	Active mode, $f_{(MCLK)} = f_{(SMCLK)} = 4,096\text{ Hz}$ , $f_{(ACLK)} = 4,096\text{ Hz}$ $XTS=0, SELM=(0,1)$ $XTS=0, SELM=3$	F135, F149	$T_A = -40^\circ\text{C to } 85^\circ\text{C}$	$V_{CC} = 2.2\text{ V}$		TBD	TBD	$\mu\text{A}$	
				$V_{CC} = 3\text{ V}$		TBD	TBD		
$I_{(LPM0)}$	Low-power mode, (LPM0)	F135, F149	$T_A = -40^\circ\text{C to } 85^\circ\text{C}$	$V_{CC} = 2.2\text{ V}$		65	TBD	$\mu\text{A}$	
				$V_{CC} = 3\text{ V}$		70	TBD		
$I_{(LPM2)}$	Low-power mode, (LPM2)		$T_A = -40^\circ\text{C to } 85^\circ\text{C}$	$V_{CC} = 2.2\text{ V}$		11	TBD	$\mu\text{A}$	
				$V_{CC} = 3\text{ V}$		17	TBD		
$I_{(LPM3)}$	Low-power mode, (LPM3) $f_{(MCLK)} = f_{(SMCLK)} = 0\text{ MHz}$ , $f_{(ACLK)} = 32,768\text{ Hz}$ , $SCG0 = 1$		$T_A = -40^\circ\text{C to } 85^\circ\text{C}$	$V_{CC} = 2.2\text{ V}$	$T_A = -40^\circ\text{C}$		1	TBD	$\mu\text{A}$
					$T_A = 25^\circ\text{C}$		0.9	TBD	
					$T_A = 85^\circ\text{C}$		2.7	TBD	
				$V_{CC} = 3\text{ V}$	$T_A = -40^\circ\text{C}$		2	TBD	$\mu\text{A}$
					$T_A = 25^\circ\text{C}$		1.9	TBD	
					$T_A = 85^\circ\text{C}$		3.9	TBD	
$I_{(LPM4)}$	Low-power mode, (LPM4) $f_{(MCLK)} = 0\text{ MHz}$ , $f_{(SMCLK)} = 0\text{ MHz}$ , $f_{(ACLK)} = 0\text{ Hz}$ , $SCG0 = 1$		$T_A = -40^\circ\text{C to } 85^\circ\text{C}$	$V_{CC} = 2.2\text{ V}$	$T_A = -40^\circ\text{C}$		0.1	TBD	$\mu\text{A}$
					$T_A = 25^\circ\text{C}$		0.1	TBD	
					$T_A = 85^\circ\text{C}$		1.6	TBD	
				$V_{CC} = 3\text{ V}$	$T_A = -40^\circ\text{C}$		0.1	TBD	$\mu\text{A}$
					$T_A = 25^\circ\text{C}$		0.1	TBD	
					$T_A = 85^\circ\text{C}$		1.9	TBD	

激活方式的电流消耗与系统频率的关系，F 版本

$$I_{AM} = I_{AM[1MHz]} \times f_{system} [MHz]$$

激活方式的电流消耗与电源电压的关系，F 版本

$$I_{AM} = I_{AM[3V]} + 120 \mu A/V \times (V_{CC} - 3V)$$

**8.3.2 施密特触发器输入端口；即 P1、P2、P3、P4、P5 和 P6**

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
V <sub>IT+</sub>	Positive-going input threshold voltage	V <sub>CC</sub> = 2.2 V	1.1		1.3	V
		V <sub>CC</sub> = 3 V	1.5		1.8	
V <sub>IT-</sub>	Negative-going input threshold voltage	V <sub>CC</sub> = 2.2 V	0.4		0.9	V
		V <sub>CC</sub> = 3 V	0.90		1.2	
V <sub>I</sub> - V <sub>O</sub>	Input/output voltage differential, (hysteresis)	V <sub>CC</sub> = 2.2 V	0.3		1	V
		V <sub>CC</sub> = 3 V	0.5		1.4	

**8.3.3 标准输入——RST/NMI；JTAG：TCK、TMS、TDI、TDO/TDI**

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
V <sub>IL</sub>	Low-level input voltage	V <sub>CC</sub> = 2.2 V / 3 V	V <sub>SS</sub>		V <sub>SS</sub> +0.6	V
V <sub>IH</sub>	High-level input voltage		0.8×V <sub>CC</sub>		V <sub>CC</sub>	V

**8.3.4 输出端口——P1：P1.0至P1.7；P2：P2.0至P2.5（见注14）**

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
V <sub>OH</sub>	High-level output voltage	I <sub>OH(max)</sub> = -1.5 mA, V <sub>CC</sub> = 2.2 V, See Note 14	V <sub>CC</sub> -0.25		V <sub>CC</sub>	V
		I <sub>OH(max)</sub> = -6 mA, V <sub>CC</sub> = 2.2 V, See Note 15	V <sub>CC</sub> -0.6		V <sub>CC</sub>	
		I <sub>OH(max)</sub> = -1.5 mA, V <sub>CC</sub> = 3 V, See Note 14	V <sub>CC</sub> -0.25		V <sub>CC</sub>	
		I <sub>OH(max)</sub> = -6 mA, V <sub>CC</sub> = 3 V, See Note 15	V <sub>CC</sub> -0.6		V <sub>CC</sub>	
V <sub>OL</sub>	Low-level output voltage	I <sub>OL(max)</sub> = 1.5 mA, V <sub>CC</sub> = 2.2 V, See Note 14	V <sub>SS</sub>		V <sub>SS</sub> +0.25	V
		I <sub>OL(max)</sub> = 6 mA, V <sub>CC</sub> = 2.2 V, See Note 15	V <sub>SS</sub>		V <sub>SS</sub> +0.6	
		I <sub>OL(max)</sub> = 1.5 mA, V <sub>CC</sub> = 3 V, See Note 14	V <sub>SS</sub>		V <sub>SS</sub> +0.25	
		I <sub>OL(max)</sub> = 6 mA, V <sub>CC</sub> = 3 V, See Note 15	V <sub>SS</sub>		V <sub>SS</sub> +0.6	

- 注：14. 当 V<sub>CC</sub> 2.5V 时，处于 LF 方式的 LFXT1 振荡器需要在 XOUT 和 V<sub>SS</sub> 间接一个 5.1M 电阻。  
 所有输入端都接到 0V 或 V<sub>CC</sub>。输出端不要输出或吸入电流。LPM2、LPM3 和 LPM4 上消耗的电流在用选定的 ACLK 工作时测量。
15. 最大总电流，I<sub>OHmax</sub> 和 I<sub>OLmax</sub>，或所有输出总和，不得超过 ± 12mA 以保持规定的最大的电压降。
16. 最大总电流，I<sub>OHmax</sub> 和 I<sub>OLmax</sub>，或所有输出总和，不得超过 ± 48mA 以保持规定的最大的电压降。

**8.3.5 输入频率——端口 P1 至 P6**

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
f <sub>i(IN)</sub>		t <sub>(h)</sub> = t <sub>(L)</sub> , V <sub>CC</sub> = 2.2 V			8	MHz
		V <sub>CC</sub> = 3 V			10	

**8.3.6 俘获定时——Timer\_A3：TA0、TA1、TA2；Timer\_B7：TB0至TB6**

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
t <sub>(int)</sub>	Ports P2, P4: External trigger signal for the interrupt flag (see Notes 16 and 17)	V <sub>CC</sub> = 2.2 V/3 V	1.5			Cycle
		V <sub>CC</sub> = 2.2 V	62			ns
		V <sub>CC</sub> = 3 V	50			

- 注：17. 每当最小 t<sub>int</sub> 周期和时间参数相符合时，外部信号设置中断标志。它甚至能用短于 t<sub>int</sub> 的触发信号设置。设置这个标志的条件必须满足，与这个时间限制无关。t<sub>int</sub> 以 MCLK 的周期来测量。
18. 因为受到最大输入频率的限制，外部信号需要附加的时间。



8.3.7 输出频率

PARAMETER		TEST CONDITIONS		MIN	TYP	MAX	UNIT
$f_{TAX}$	TA0..2, TB0-TB6, Internal clock source, SMCLK signal applied (see Note 18)	$C_L = 20\text{ pF}$		DC		$f_{System}$	MHz
$f_{ACLK}$ , $f_{MCLK}$ , $f_{SMC}$	P5.6/ACLK, P5.4/MCLK, P5.5/SMCLK	$C_L = 20\text{ pF}$				$f_{System}$	
$t_{xdc}$	Duty cycle of output frequency.	P2.0/ACLK $C_L = 20\text{ pF}$ , $V_{CC} = 2.2\text{ V} / 3\text{ V}$	$f_{ACLK} = f_{LFXT1} = f_{XT1}$	40%		60%	
			$f_{ACLK} = f_{LFXT1} = f_{LF}$	30%		70%	
			$f_{ACLK} = f_{LFXT1}/n$		50%		
		P1.4/SMCLK, $C_L = 20\text{ pF}$ , $V_{CC} = 2.2\text{ V} / 3\text{ V}$	$f_{SMCLK} = f_{LFXT1} = f_{XT1}$	40%		60%	
			$f_{SMCLK} = f_{LFXT1} = f_{LF}$	35%		65%	
			$f_{SMCLK} = f_{LFXT1}/n$	50%– 15 ns	50%	50%– 15 ns	
$f_{SMCLK} = f_{DCOCLK}$	50%– 15 ns	50%	50%– 15 ns				

注：19. 系统时钟 MCLK 的这个限制必须满足，系列（ MCLK ）频率必须不超过这个限制。MCLK 和 SMCLK 频率可以不同。

8.3.8 外部中断定时

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
$t_{int}$	Ports P1, P2: External trigger signal for the interrupt flag (see Notes 16 and 17)	$V_{CC} = 2.2\text{ V} / 3\text{ V}$	1.5			Cycle
		$V_{CC} = 2.2\text{ V}$	62			ns
		$V_{CC} = 3\text{ V}$	50			

注：17. 每当最小  $t_{int}$  周期和时间参数相符合时，外部信号设置中断标志。它甚至能用短于  $t_{int}$  的触发信号设置。设置这个标志的条件必须满足，与这个时间限制无关。 $t_{int}$  以 MCLK 的周期来测量。

18. 因为受到最大输入频率的限制，外部信号需要附加的时间。

8.3.9 从低功耗方式（ LMP3 ）中唤醒

PARAMETER		TEST CONDITIONS		MIN	TYP	MAX	UNIT
$t_{LPM3}$	Delay time	$f = 1\text{ MHz}$	$V_{CC} = 2.2\text{ V} / 3\text{ V}$			6	$\mu\text{s}$
		$f = 2\text{ MHz}$				6	
		$f = 3\text{ MHz}$				6	

8.3.10 漏电流（见注 20）

PARAMETER		TEST CONDITIONS		MIN	TYP	MAX	UNIT
$I_{kg}(P1.x)$	Leakage current	Port P1	Port 1: $V_{(P1.x)}$ (see Note 20)			$\pm 50$	nA
$I_{kg}(P2.x)$		Port P2	Port 2: $V_{(P2.3)} V_{(P2.4)}$ (see Note 20)	$V_{CC} = 2.2\text{ V} / 3\text{ V}$		$\pm 50$	
$I_{kg}(P6.x)$		Port P6	Port 6: $V_{(P6.x)}$ (see Note 20)			$\pm 50$	

注：20. 漏电流由  $V_{SS}$  或  $V_{CC}$  加至相应引脚进行测量，除非另有说明。

21. 端口引脚必须被选为输入并且不能有可选的上拉或下拉电阻。

8.3.11 RAM

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
V <sub>RAMh</sub>	CPU HALTED (see Note 21)	1.6			V

注：22. 该参数定义了程序存储器 RAM 中数据保持不变时的最小电源电压。在这种电源电压条件下程序将不执行。

8.3.12 比较器\_A ( 见注 23 )

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT	
I <sub>(DD)</sub>		CAON=1, CARSEL=0, CAREF=0	V <sub>CC</sub> = 2.2 V	25	40	μA	
			V <sub>CC</sub> = 3 V	45	60		
I <sub>(Refladder/RefDiode)</sub>		CAON=1, CARSEL=0, CAREF=1/2/3, No load at P2.3/CA0/TA1 and P2.4/CA1/TA2	V <sub>CC</sub> = 2.2 V	30	50	μA	
			V <sub>CC</sub> = 3 V	45	71		
V <sub>(IC)</sub>	Common-mode input voltage	CAON = 1	V <sub>CC</sub> = 2.2 V/3 V	0	V <sub>CC</sub> -1	V	
V <sub>(Ref025)</sub>	Voltage @ 0.25 V <sub>CC</sub> node See Figure 4	PCA0=1, CARSEL=1, CAREF=1, No load at P2.3/CA0/TA1 and P2.4/CA1/TA2, See Figure 4	V <sub>CC</sub> = 2.2 V/3 V	0.23	0.24	0.25	
V <sub>(Ref050)</sub>	Voltage @ 0.5 V <sub>CC</sub> node See Figure 4	PCA0=1, CARSEL=1, CAREF=2, No load at P2.3/CA0/TA1 and P2.4/CA1/TA2, See Figure 4	V <sub>CC</sub> = 2.2 V/3 V	0.47	0.48	0.5	
V <sub>(RefVT)</sub>		PCA0=1, CARSEL=1, CAREF=3, No load at P2.3/CA0/TA1 and P2.4/CA1/TA2	V <sub>CC</sub> = 2.2 V	430	550	645	mV
			V <sub>CC</sub> = 3 V	450	565	660	
V <sub>(offset)</sub>	Offset voltage	See Note 18	V <sub>CC</sub> = 2.2 V/3 V	-30		30	mV
V <sub>(hys)</sub>	Input hysteresis	CAON=1	V <sub>CC</sub> = 2.2 V/3 V	0	0.7	1.4	mV
t <sub>(response LH)</sub>		T <sub>A</sub> = 25°C, Overdrive 10 mV, Without filter: CAF=0	V <sub>CC</sub> = 2.2 V	160	210	300	ns
			V <sub>CC</sub> = 3 V	90	150	200	
		T <sub>A</sub> = 25°C, Overdrive 10 mV, With filter: CAF=1	V <sub>CC</sub> = 2.2 V	1.6	1.9	3.4	μs
			V <sub>CC</sub> = 3 V	1.1	1.5	2.6	
t <sub>(response HL)</sub>		T <sub>A</sub> = 25°C, Overdrive 10 mV, without filter: CAF=0	V <sub>CC</sub> = 2.2 V	160	210	300	ns
			V <sub>CC</sub> = 3 V	90	150	200	
		T <sub>A</sub> = 25°C, Overdrive 10 mV, with filter: CAF=1	V <sub>CC</sub> = 2.2 V	1.6	1.9	3.4	μs
			V <sub>CC</sub> = 3 V	1.1	1.5	2.6	

注：23. 比较器\_A 各引脚的漏电流与 I<sub>1kg</sub> ( P<sub>x.x</sub> ) 参数相同。

24. 输入偏移电压可以通过在二次连续测量时用 CAEX 位将比较器\_A 的二个输入端反接的方法来消除。即将二次连续测量值加在一起。

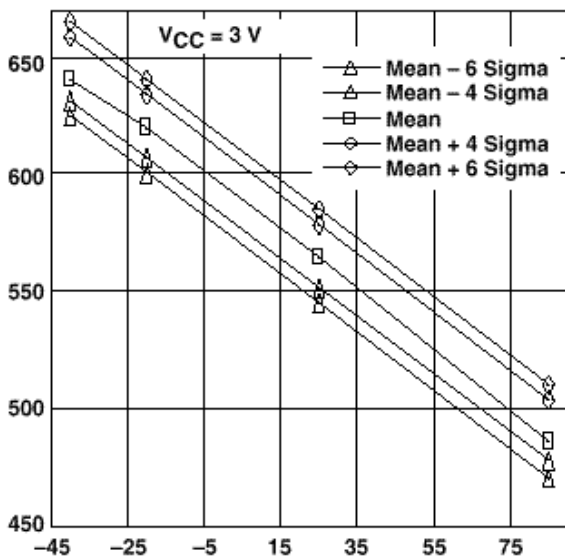


图 4 V<sub>(RefVT)</sub> 与温度的关系, V<sub>CC</sub>=3V

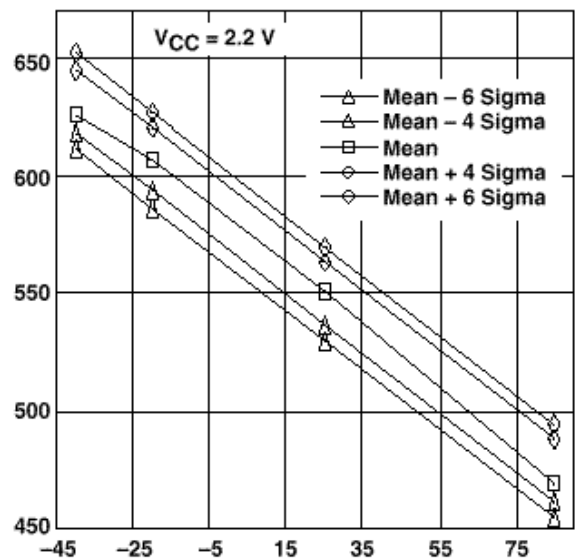


图 5 V<sub>(RefVT)</sub> 与温度的关系, V<sub>CC</sub>=2.2V

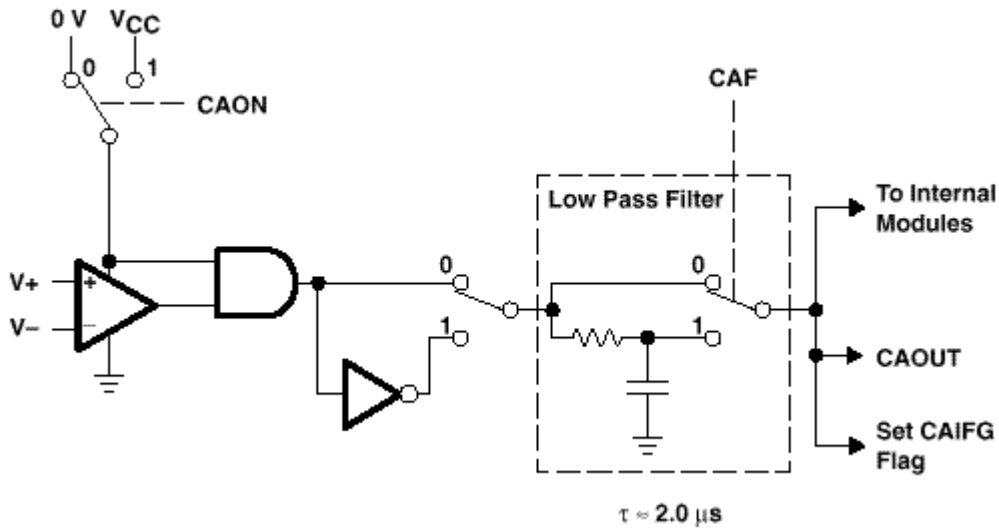


图 6 比较器\_A 模块的方框图

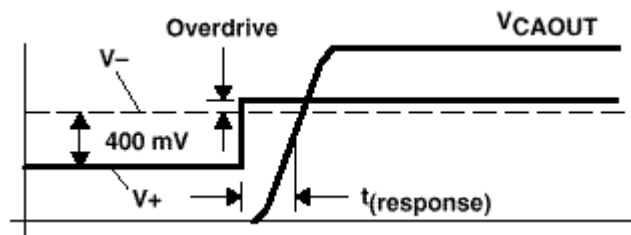


图 7 过驱动的定义

8.3.13 POR

PARAMETER	CONDITIONS	VCC	MIN	NOM	MAX	UNIT
t <sub>(POR)</sub> Delay		2.2 V/3 V		150	250	μs
V <sub>(POR)</sub>	T <sub>A</sub> = -40°C		1.4		1.8	V
V <sub>(POR)</sub>		T <sub>A</sub> = +25°C	1.1		1.5	V
V <sub>(POR)</sub>		T <sub>A</sub> = +85°C	0.8		1.2	V
V <sub>(min)</sub>			0		0.4	V
t <sub>(Reset)</sub>	PUC/POR	Reset is accepted internally	2.2 V/3 V	2		μs

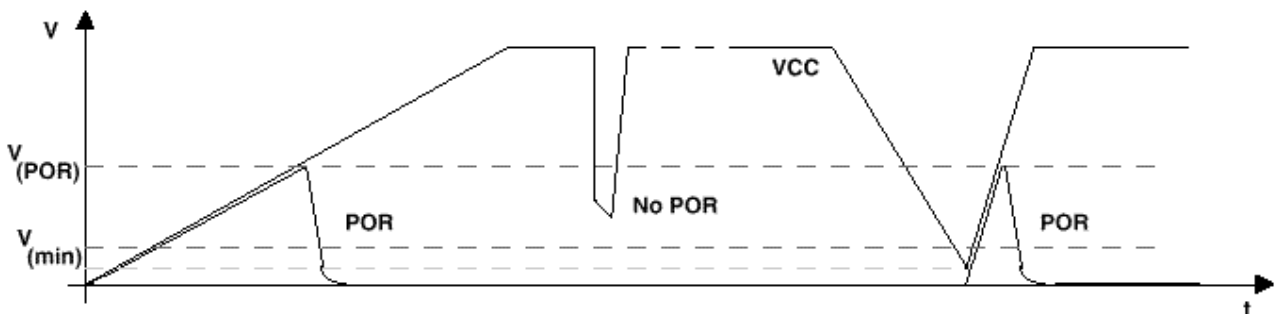


图 8 上电复位 ( POR ) 与电源电压的关系

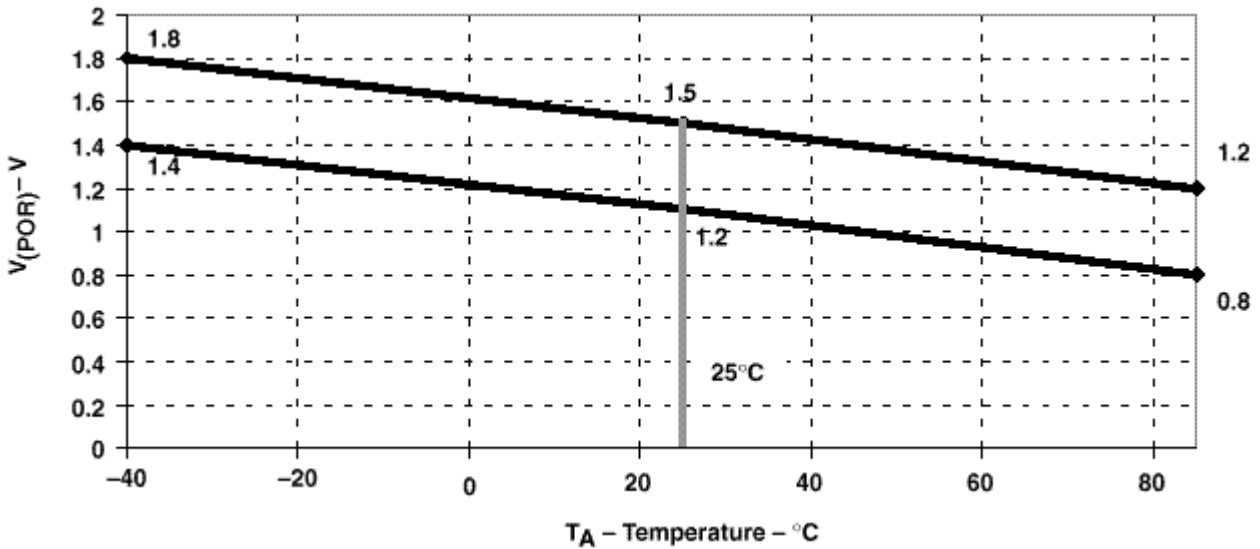


图9 V(POR)与温度的关系

8.3.14 DCO (见注 25)

PARAMETER	TEST CONDITIONS		MIN	NOM	MAX	UNIT
f(DCO03)	Rsel = 0, DCO = 3, MOD = 0, DCOR = 0, TA = 25°C	VCC = 2.2 V	0.08	0.12	0.15	MHz
		VCC = 3 V	0.08	0.13	0.16	
f(DCO13)	Rsel = 1, DCO = 3, MOD = 0, DCOR = 0, TA = 25°C	VCC = 2.2 V	0.14	0.19	0.23	MHz
		VCC = 3 V	0.14	0.18	0.22	
f(DCO23)	Rsel = 2, DCO = 3, MOD = 0, DCOR = 0, TA = 25°C	VCC = 2.2 V	0.22	0.30	0.36	MHz
		VCC = 3 V	0.22	0.28	0.34	
f(DCO33)	Rsel = 3, DCO = 3, MOD = 0, DCOR = 0, TA = 25°C	VCC = 2.2 V	0.37	0.49	0.59	MHz
		VCC = 3 V	0.37	0.47	0.56	
f(DCO43)	Rsel = 4, DCO = 3, MOD = 0, DCOR = 0, TA = 25°C	VCC = 2.2 V	0.61	0.77	0.93	MHz
		VCC = 3 V	0.61	0.75	0.90	
f(DCO53)	Rsel = 5, DCO = 3, MOD = 0, DCOR = 0, TA = 25°C	VCC = 2.2 V	1	1.2	1.5	MHz
		VCC = 3 V	1	1.3	1.5	
f(DCO63)	Rsel = 6, DCO = 3, MOD = 0, DCOR = 0, TA = 25°C	VCC = 2.2 V	1.6	1.9	2.2	MHz
		VCC = 3 V	1.69	2.0	2.29	
f(DCO73)	Rsel = 7, DCO = 3, MOD = 0, DCOR = 0, TA = 25°C	VCC = 2.2 V	2.4	2.9	3.4	MHz
		VCC = 3 V	2.7	3.2	3.65	
f(DCO47)	Rsel = 4, DCO = 7, MOD = 0, DCOR = 0, TA = 25°C	VCC = 2.2 V/3 V	fDCO40 × 1.7	fDCO40 × 2.1	fDCO40 × 2.5	MHz
S(Rsel)	SR = fRsel+1 / fRsel	VCC = 2.2 V/3 V	1.35	1.65	2	
S(DCO)	SDCO = fDCO+1 / fDCO	VCC = 2.2 V/3 V	1.07	1.12	1.16	
Dt	Temperature drift, Rsel = 4, DCO = 3, MOD = 0 (see Note 26)	VCC = 2.2 V	-0.31	-0.36	-0.40	%°C
		VCC = 3 V	-0.33	-0.38	-0.43	
Dv	Drift with VCC variation, Rsel = 4, DCO = 3, MOD = 0 (see Note 26)	VCC = 2.2 V/3 V	0	5	10	%V

注：25. DCO 的频率不能大于由处理器频率规定的最大系统频率 f ( system )。

26. 此参数未经生产测试。

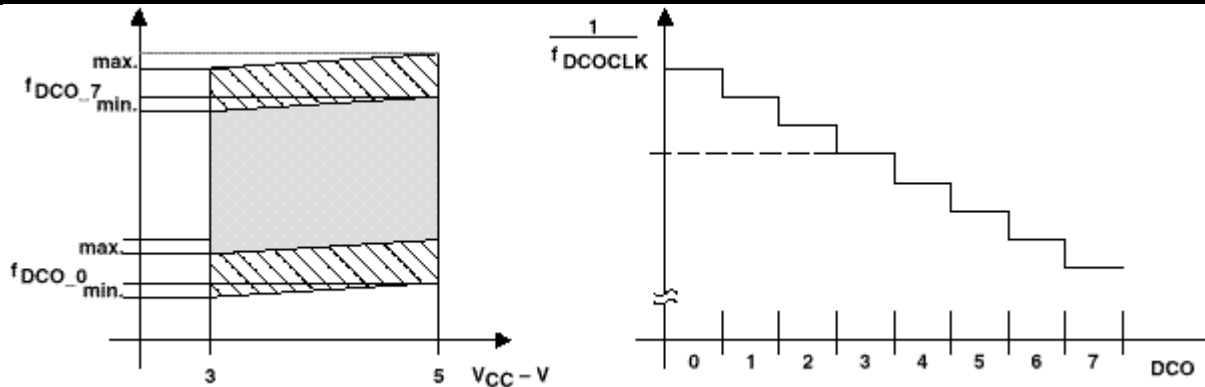


图 10 DCO 特性

8.3.14.1 DCO 的主要特性

- 每个器件都有一个最低和最高工作频率。  $f_{DCOx0}$  到  $f_{DCOx7}$  确定的参数对所有器件都是有效的。
- 由  $R_{sel(n)}$  选择的范围与  $R_{sel(n+1)}$  选择的范围是重叠的：例如  $R_{sel0}$  与  $R_{sel1}$  重叠，……  $R_{sel6}$  与  $R_{sel7}$  重叠。
- DCO 控制位 DCO0，DCO1 和 DCO2 有步长在参数  $S_{DCO}$  中定义。
- 调制控制位 MOD0 至 MOD4 选择  $f_{DCO+1}$  在 32DCOCLK 周期内使用的频度。  $f_{DCO}$  用于其余的周期。频率是一平均值 =  $f_{DCO} \times (2^{MOD/32})$ 。

8.3.15 晶体振荡器，FLXT1 振荡器（见注 27）

PARAMETER	TEST CONDITIONS	MIN	NOM	MAX	UNIT
XCIN Integrated input capacitance	XTS=0; LF oscillator selected $V_{CC} = 2.2 V/3 V$		12		pF
	XTS=1; XT1 oscillator selected $V_{CC} = 2.2 V/3 V$		2		
XCOUT Integrated output capacitance	XTS=0; LF oscillator selected $V_{CC} = 2.2 V/3 V$		12		pF
	XTS=1; XT1 oscillator selected $V_{CC} = 2.2 V/3 V$		2		
XINL Input levels at XIN, XOUT	$V_{CC} = 2.2 V/3 V$	$V_{SS}$		$0.2 \times V_{CC}$	V
XINH	$V_{CC} = 2.2 V/3 V$	$0.8 \times V_{CC}$		$V_{CC}$	V

注：27. 振荡器的两端需要电容，其值由晶体制造商规定。

8.3.16 晶体振荡器，XT2 振荡器（见注 27）

PARAMETER	TEST CONDITIONS	MIN	NOM	MAX	UNIT
XCIN Integrated input capacitance	$V_{CC} = 2.2 V/3 V$		2		pF
XCOUT Integrated output capacitance	$V_{CC} = 2.2 V/3 V$		2		pF
XINL Input levels at XIN, XOUT	$V_{CC} = 2.2 V/3 V$	$V_{SS}$		$0.2 \times V_{CC}$	V
XINH	$V_{CC} = 2.2 V/3 V$	$0.8 \times V_{CC}$		$V_{CC}$	V

注：27. 振荡器的两端需要电容，其值由晶体制造商规定。

8.3.17 USART（见注 28）

PARAMETER	TEST CONDITIONS	MIN	NOM	MAX	UNIT
$t_{(t)}$ USART: deglitch time	$V_{CC} = 2.2 V$	0.6		2.6	$\mu s$
	$V_{CC} = 2.2 V$	0.3		1.4	

注：28. 加到 USART 接收信号端（URXD）的信号必须满足时间要求  $t_{(t)}$  以保证 URXS 的触发器置位。URXS 的触发器由满足  $t_{(t)}$  的最小时间条件的负脉冲置位。设置标志的工作条件必须满足，与这个时间限制无关。只有在 URXD 线上有负跳变时反干扰电路才被激活。

8.3.18 12 位 ADC ， 电源和输入范围条件 ( 见注 29 )

PARAMETER		TEST CONDITIONS		MIN	NOM	MAX	UNIT
AVCC	Analog supply voltage	AVCC and DVCC are connected together AVSS and DVSS are connected together V(AVSS) = V(DVSS) = 0 V		1.8		3.6	V
VREF+	Positive built-in reference voltage output	2_5 V = 1 for 2.5 V built-in reference	3 V	2.4	2.5	2.6	V
		2_5 V = 0 for 1.5 V built-in reference I <sub>V(REF)+</sub> ≤ 1 mA	2.2 V/3 V	1.44	1.5	1.56	
I <sub>VREF+</sub>	Load current out of VREF+ terminal		2.2 V	0.01		-0.5	mA
			3 V			-1	
I <sub>L(VREF)+</sub>	Load-current regulation VREF+ terminal	I <sub>V(REF)+</sub> = 500 μA +/- 100 μA Analog input voltage ~0.75 V; 2_5 V = 0	2.2 V			±1	LSB
			3 V				±1
		I <sub>V(REF)+</sub> = 500 μA ± 100 μA Analog i/p voltage ~1.25 V; 2_5 V = 1	3 V				±1
I <sub>DL(VREF)+</sub>	Load current regulation VREF+ terminal	I <sub>V(REF)+</sub> = 100 μA → 900 μA, VCC=3 V, ax -0.5 x VREF+ Error of conversion result ≤ 1 LSB	C <sub>VREF+</sub> =0 pF			600	ns
			C <sub>VREF+</sub> =5 μF			20	
V <sub>eREF+</sub>	Positive external reference voltage input	V <sub>eREF+</sub> > V <sub>eREF-</sub> -V <sub>eREF-</sub> (see Note 30)		1.4		V <sub>AVCC</sub>	V
V <sub>REF-</sub> -V <sub>eREF-</sub>	Negative external reference voltage input	V <sub>eREF+</sub> > V <sub>eREF-</sub> -V <sub>eREF-</sub> (see Note 31)		0		V <sub>AVCC</sub> -1.4	V
(V <sub>eREF+</sub> -V <sub>REF-</sub> -V <sub>eREF-</sub> )	Differential external reference voltage input	V <sub>eREF+</sub> > V <sub>eREF-</sub> -V <sub>eREF-</sub> (see Note 32)		1.4		V <sub>AVCC</sub>	V
V <sub>(P6.x/Ax)</sub>	Analog input voltage range (see Note 33)	All P6.0/A0 to P6.7/A7 terminals. Analog inputs selected in ADC12MCTLx register and P6Sel.x=1 0 ≤ x ≤ 7; V(AVSS) ≤ V <sub>P6.x/Ax</sub> ≤ V(AVCC)		0		V <sub>AVCC</sub>	V
I <sub>ADC12</sub>	Operating supply current into AVCC terminal (see Note 34)	f <sub>ADC12CLK</sub> = 5.0 MHz ADC12ON = 1, REFON = 0	2.2 V	0.65	1.3		mA
			3 V		0.8	1.6	
I <sub>REF+</sub>	Operating supply current into AVCC terminal (see Note 35)	f <sub>ADC12CLK</sub> = 5.0 MHz ADC12ON = 0, REFON = 1, 2_5V = 1	3 V	0.5	0.8		mA
I <sub>REF+</sub>	Operating supply current (see Note 35)	f <sub>ADC12CLK</sub> = 5.0 MHz ADC12ON = 0, REFON = 1, 2_5V = 0	2.2 V	0.5	0.8		mA
			3 V		0.5	0.8	

注： 29. 漏电流由 P6.x/Ax 的漏电流参数表定义。

30. 精度限制了最小外部正基准电压。当降低精度要求时可使用较低电平的基准电压。

31. 精度限制了最小外部负基准电压。当降低精度要求时可使用较高电平的基准电压。

32. 精度限制了最小的外部差分基准电压。当降低精度要求时可使用较小的差分基准电压。

33. 为了得到有效的转换结果，模拟输入电压范围必须在选定的基准电压范围 V<sub>R+</sub>至 V<sub>R-</sub>之间。

34. 内部基准电源电流不包括在电流 I<sub>ADC12</sub> 中。

35. 内部基准电流通过 AVCC 端提供。除非转换正在进行，电流消耗与 ADC12ON 控制位无关。在一次 A/D 转换开始前，REFON 位使能内部基准并达到稳定。

8.3.19 12 位 ADC 内部基准 ( 见注 39 )

PARAMETER		TEST CONDITIONS		MIN	NOM	MAX	UNIT
I <sub>VeREF+</sub>	Static input current (see Note 36)	0V ≤ V <sub>eREF+</sub> ≤ V <sub>AVCC</sub>				±1	μA
I <sub>VREF-</sub> -I <sub>VeREF-</sub>	Static input current (see Note 36)	0V ≤ V <sub>eREF-</sub> ≤ V <sub>AVCC</sub>				±1	μA
C <sub>VREF+</sub>	Capacitance at pin VREF+ (see Note 37)	REFON = 1, 0 mA ≤ I <sub>VREF+</sub> ≤ I <sub>V(REF)+</sub> (max)				200	pF
C <sub>i</sub>	Input capacitance (see Note 38)	REFON = 1, 0 mA ≤ I <sub>V(REF)+</sub> ≤ I <sub>V(REF)+</sub> (max)				5	μF
Z <sub>i</sub>	Input MUX ON resistance(see Note 38)	Only one terminal can be selected at one time, P6.x/Ax		2.2 V	18	30	Ω
		0V ≤ V <sub>Ax</sub> ≤ V <sub>AVCC</sub>		3 V		2000	
T <sub>REF+</sub>	Temperature coefficient of built-in reference	I <sub>V(REF)+</sub> is a constant in the range of 0 mA ≤ I <sub>V(REF)+</sub> ≤ 1 mA		2.2 V/3 V	20	1000	ppm/°C

- 注：36. 当转换时,外部基准用于对电容阵列充、放电。动态阻抗必须符合模拟源阻抗,以满足 12 位精度。  
 37. 内部缓冲运算放大器和精度系数需要一个外部电容。该外部电容有两个限制：第一是容量从 0 至最大数据 ( pF 范围 ) , 第二是一个大于最小数据 ( μ F 范围 ) 时的外部电容器。在这二个范围中输出放大器都工作于安全区。  
 38. 当转换时, 输入电容也是外部基准的动态负载。动态阻抗必须符合模拟源阻抗以满足 12 位精度。  
 39. 电压源  $V_{REF+}$  和  $V_{REF-}/V_{REF-}$  需要具有低动态阻抗以满足 12 位精度。基准电源阻抗至少要有 470nF 才能满足 12 位精度。

8.3.20 12 位 ADC 时序参数

PARAMETER	TEST CONDITIONS	MIN	NOM	MAX	UNIT
t <sub>REF(ON)</sub>	Settle time of internal reference voltage (see Figure 11 and Note 40)			17	ms
	$I_{V(REF)+} = 0.5 \text{ mA}, C_{V(REF)+} = 10 \mu\text{F}, V_{REF+} = 1.5 \text{ V}, V_{AVCC} = 2.2 \text{ V}$	2.17		20	μs
t <sub>CONVERT</sub>	Conversion time (see Figure 12)		2.17	3.6	μs
	Conversion time	$A_{VCC}(\text{min}) \leq V_{AVCC} \leq A_{VCC}(\text{max}), C_{VREF+} \geq 5 \mu\text{F}, \text{Internal oscillator}, f_{OSC} = 4 \text{ MHz to } 6 \text{ MHz}$			
			$13 \times \text{ADC12DIV} \times 1/f_{\text{ADC12}(\text{CLK})}$		μs
t <sub>ADC12ON</sub>	Settle time of the ADC	$A_{VCC}(\text{min}) \leq V_{AVCC} \leq A_{VCC}(\text{max})$ (see Note 41)		100	ns
t <sub>Sample</sub>	Sampling time	$V_{AVCC}(\text{min}) \leq V_{AVCC} \leq V_{AVCC}(\text{max})$	3 V	1220	ns
		$R_{i(\text{source})} = 400 \Omega, Z_i = 1000 \Omega, C_i = 30 \text{ pF}$ $\tau = (R_{i(\text{source})} \times Z_i) \times C_i$ (see Note 42)	2.2 V	1400	

- 注：40. 条件是：经 t<sub>REF(ON)</sub> 后开始的转换，其误差小于 ± 0.5LSB。稳定时间取决于外部电容负载。二进制加权电容阵列对基准电压的回馈需要一个大的外部电容。小的外部电容需要较长的转换时间 ( 减小的 f<sub>ADC12CLK</sub> ) 。  
 41. 条件是：经 t<sub>ADC12ON</sub> 后开始的转换，其误差小于 ± 0.5LSB，所用的基准电压已经稳定。  
 42. 为了得到小于 ± 0.5LSB 的误差需要 10 。 T<sub>sample</sub> = 10 × ( R<sub>i</sub> + Z<sub>i</sub> ) + 800ns。

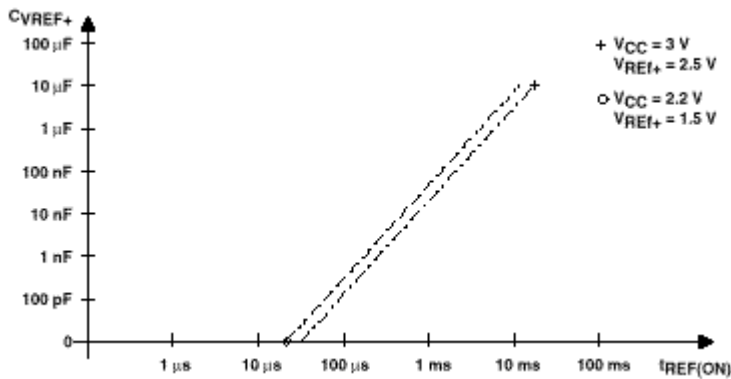


图 11 内部基准的最大稳定时间 t<sub>REF(ON)</sub> 与 V<sub>REF+</sub> 上的外部电容的关系

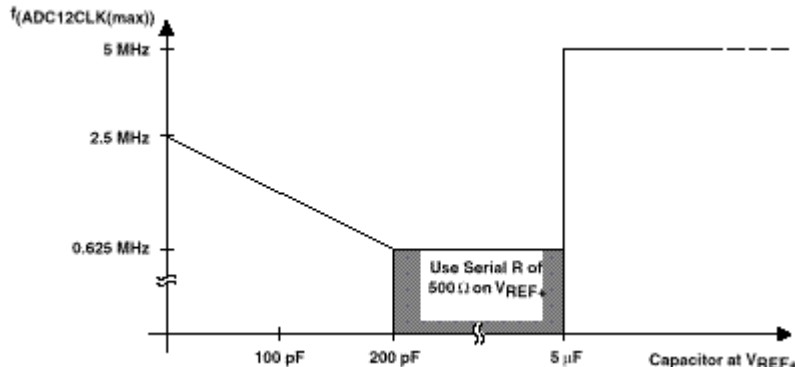


图 12 最大频率 f<sub>ADC12( CLK )</sub> 与 V<sub>REF+</sub> 上的外部电容的关系

8.3.21 12 位 ADC 线性参数

PARAMETER	TEST CONDITIONS	MIN	NOM	MAX	UNIT
E <sub>I</sub>	Integral linearity error (V <sub>REF+</sub> - V <sub>REF-</sub> /V <sub>REF-</sub> ) <sub>min</sub> ≤ (V <sub>REF+</sub> - V <sub>REF-</sub> /V <sub>REF-</sub> )	2.2 V/3 V	±1	TBD	LSB
E <sub>D</sub>	Differential linearity error (V <sub>REF+</sub> - V <sub>REF-</sub> /V <sub>REF-</sub> ) <sub>min</sub> ≤ (V <sub>REF+</sub> - V <sub>REF-</sub> /V <sub>REF-</sub> )	2.2 V/3 V	±1	TBD	LSB
E <sub>O</sub>	Offset error (V <sub>REF+</sub> - V <sub>REF-</sub> /V <sub>REF-</sub> ) <sub>min</sub> ≤ (V <sub>REF+</sub> - V <sub>REF-</sub> /V <sub>REF-</sub> ), Internal impedance of source R <sub>i</sub> < 100 Ω	2.2 V/3 V	±2	TBD	LSB
E <sub>G</sub>	Gain error (V <sub>REF+</sub> - V <sub>REF-</sub> /V <sub>REF-</sub> ) <sub>min</sub> ≤ (V <sub>REF+</sub> - V <sub>REF-</sub> /V <sub>REF-</sub> )	2.2 V/3 V	±1.1	TBD	LSB
E <sub>T</sub>	Total unadjusted error (V <sub>REF+</sub> - V <sub>REF-</sub> /V <sub>REF-</sub> ) <sub>min</sub> ≤ (V <sub>REF+</sub> - V <sub>REF-</sub> /V <sub>REF-</sub> )	2.2 V/3 V	±2	TBD	LSB

8.3.22 12 位 ADC 温度传感器和内部 V<sub>mid</sub>

PARAMETER	TEST CONDITIONS	MIN	NOM	MAX	UNIT	
I <sub>SENSOR</sub>	Operating supply current into AV <sub>CC</sub> terminal (see Note 43)	V <sub>REFON</sub> = 0, INCH = 0Ah, ADC12ON=NA, T <sub>A</sub> = 25°C	2.2 V	135	TBD	μA
			3 V	135	TBD	
V <sub>SENSOR</sub>	ADC12ON = 1, INCH = 0Ah, T <sub>A</sub> = 0°C		2.2 V	986	986±5%	mV
			3 V	986	986±5%	
TC <sub>SENSOR</sub>	ADC12ON = 1, INCH = 0Ah		2.2 V	3.55	3.55±3%	mV/°C
			3 V	3.55	3.55±3%	
t <sub>SENSOR(ON)</sub>	On-time if channel 10 is selected (see Note 44)	ADC12ON = 1, INCH = 0Ah, Error of conversion result ≤ 1 LSB	2.2 V		25	μs
			3 V		21	
I <sub>VMID</sub>	Current into divider at channel 11	ADC12ON = 1, INCH = 0Bh, (see Note 45)	2.2 V		NA	μA
			3 V		NA	
V <sub>VMID</sub>	AV <sub>CC</sub> divider at channel 11	ADC12ON = 1, INCH = 0Bh, V <sub>VMID</sub> is ~0.5 × V <sub>AVCC</sub>	2.2 V	0.9	0.90±0.04	V
			3 V	1.5	1.50±0.04	
t <sub>ON(VMID)</sub>	On-time if channel 11 is selected (see Note 46)	ADC12ON = 1, INCH = 0Bh, Error of conversion result ≤ 1 LSB	2.2 V		NA	ns
			3 V		NA	

- 注：43. 如果 ( ADC12ON=1 和 V<sub>REFON</sub>=1 )，或者 ( ADC12ON=1 和 INCH=0Ah 和采样信号为高 ) 则传感器电流 I<sub>SENSOR</sub> 有消耗。
44. 传感器的典型等效阻抗是 51k 。所需的采样时间是“传感器接通时间” t<sub>SENSOR ( ON )</sub>。
45. 不需要额外的电流。当转换时 V<sub>mid</sub> 总要使用。
46. 接通时间 t<sub>ON ( VMID )</sub> 与采样时间 t<sub>sample</sub> 相同；不需要附加的接通时间。

8.3.23 JTAG ，程序存储器和熔丝

PARAMETER	TEST CONDITIONS	V <sub>CC</sub>	MIN	NOM	MAX	UNIT		
f <sub>(TCK)</sub>	JTAG/Test	TCK frequency	2.2 V	DC		5	MHz	
			3 V	DC		10		
			2.2 V/3V	25	60	90		
V <sub>FB</sub>	JTAG/fuse (see Note 48)	Fuse-blow voltage, F versions (see Note 49)	2.2 V/3 V	6.0		7.0	V	
						100		mA
						1		
I <sub>DD-PGM</sub>	F-versions only	Current from DV <sub>CC</sub> when programming is active	2.7 V/3.6 V		3	5	mA	
I <sub>DD-Erase</sub>	F-versions only	Programming time, single pulse	2.7 V/3.6 V		3	5	mA	
t <sub>(retention)</sub>	F-versions only	Write/erase cycles		10 <sup>4</sup>	10 <sup>5</sup>		cycles	
						100		

- 注：47. 在所有的 F 版本器件中都要 TMS、TDI 和 TCK 上拉电阻。
48. 一旦熔丝烧断，即不能再进一步访问 MSP430 JTAG/Test 功能。JTAG 块被切换至旁路 ( Bypass ) 方式。
49. TDI 脚加上烧断熔丝的电源电压。
50. f<sub>( TCK )</sub> 可能被限制以满足所选模块的时序需要。编程/擦除周期的持续时间决定于加到 Flash 定时控制器的 f<sub>( FTG )</sub>。它可由下式计算：

$$t_{(字写)} = 33 \times 1/f_{(FTG)}$$

$$t_{(段写, 字节0)} = 30 \times 1/f_{(FTG)}$$

$$t_{(段写, 字节1-63)} = 20 \times 1/f_{(FTG)}$$

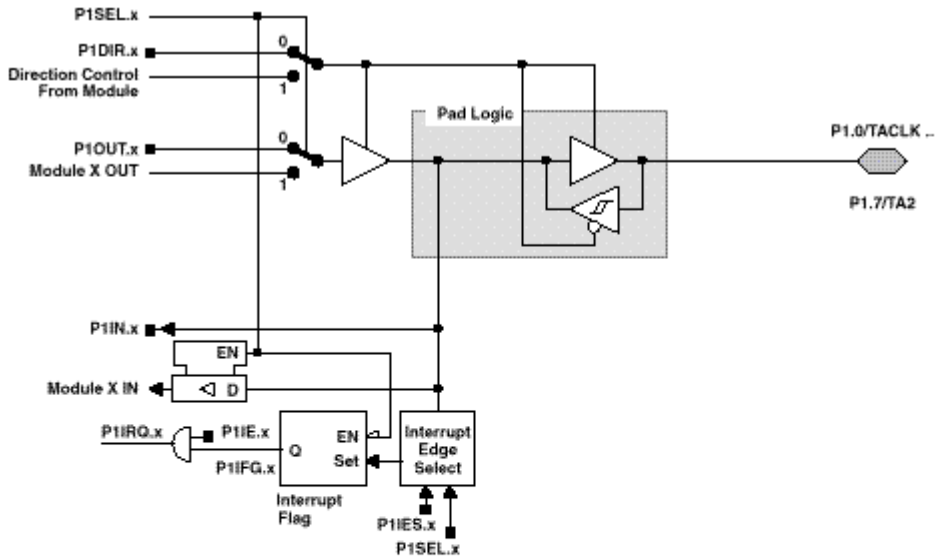
$$t_{(块擦除)} = 5296 \times 1/f_{(FTG)}$$

$$t_{(页擦除)} = 4817 \times 1/f_{(FTG)}$$



## 九、输入/输出电路图

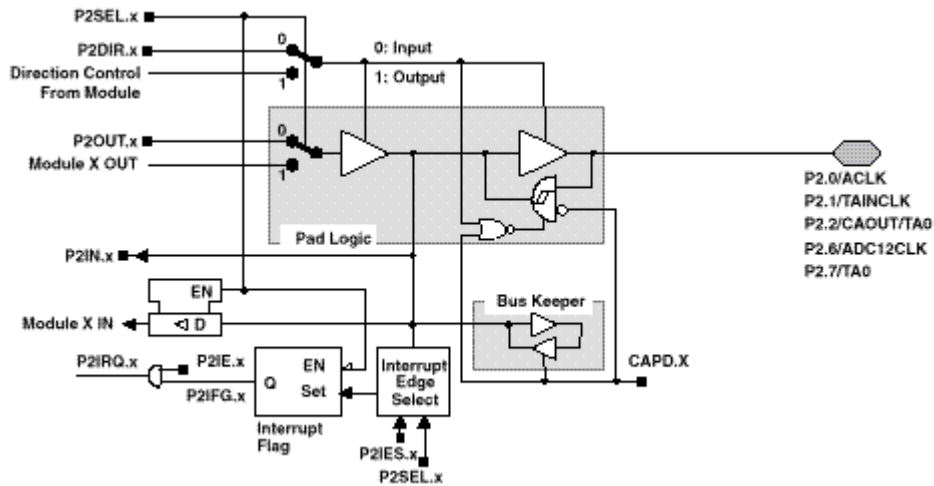
### 9.1 端口 P1 ， P1.0 至 P1.7 ， 具有施密特触发器的输入/输出端



PnSel.x	PnDIR.x	Dir. CONTROL FROM MODULE	PnOUT.x	MODULE X OUT	PnIN.x	MODULE X IN	PnIE.x	PnIFG.x	PnIES.x
P1Sel.0	P1DIR.0	P1DIR.0	P1OUT.0	DV <sub>SS</sub>	P1IN.0	TACLK†	P1IE.0	P1IFG.0	P1IES.0
P1Sel.1	P1DIR.1	P1DIR.1	P1OUT.1	Out0 signal‡	P1IN.1	CC0A†	P1IE.1	P1IFG.1	P1IES.1
P1Sel.2	P1DIR.2	P1DIR.2	P1OUT.2	Out1 signal‡	P1IN.2	CC1A†	P1IE.2	P1IFG.2	P1IES.2
P1Sel.3	P1DIR.3	P1DIR.3	P1OUT.3	Out2 signal‡	P1IN.3	CC2A†	P1IE.3	P1IFG.3	P1IES.3
P1Sel.4	P1DIR.4	P1DIR.4	P1OUT.4	SMCLK	P1IN.4	unused	P1IE.4	P1IFG.4	P1IES.4
P1Sel.5	P1DIR.5	P1DIR.5	P1OUT.5	Out0 signal‡	P1IN.5	unused	P1IE.5	P1IFG.5	P1IES.5
P1Sel.6	P1DIR.6	P1DIR.6	P1OUT.6	Out1 signal‡	P1IN.6	unused	P1IE.6	P1IFG.6	P1IES.6
P1Sel.7	P1DIR.7	P1DIR.7	P1OUT.7	Out2 signal‡	P1IN.7	unused	P1IE.7	P1IFG.7	P1IES.7

† 信号来自或送到定时器\_A

### 9.2 端口 P2 ， P2.0 至 P2.2 ， P2.6 和 P2.7 ， 具有施密特触发器的输入/输出端



x : 位标志，端口 P2 的 0 至 2 ， 6 和 7。

PnSel.x	PnDIR.x	Dir. CONTROL FROM MODULE	PnOUT.x	MODULE X OUT	PnIN.x	MODULE X IN	PnIE.x	PnIFG.x	PnIES.x
P2Sel.0	P2DIR.0	P2DIR.0	P2OUT.0	ACLK	P2IN.0	unused	P2IE.0	P2IFG.0	P2IES.0
P2Sel.1	P2DIR.1	P2DIR.1	P2OUT.1	DV <sub>SS</sub>	P2IN.1	INCLK‡	P2IE.1	P2IFG.1	P2IES.1
P2Sel.2	P2DIR.2	P2DIR.2	P2OUT.2	CAOUT†	P2IN.2	CC0B§	P2IE.2	P2IFG.2	P2IES.2
P2Sel.6	P2DIR.6	P2DIR.6	P2OUT.6	ADC12CLK¶	P2IN.6	unused	P2IE.6	P2IFG.6	P2IES.6
P2Sel.7	P2DIR.7	P2DIR.7	P2OUT.7	Out0 signal§	P2IN.7	unused	P2IE.7	P2IFG.7	P2IES.7

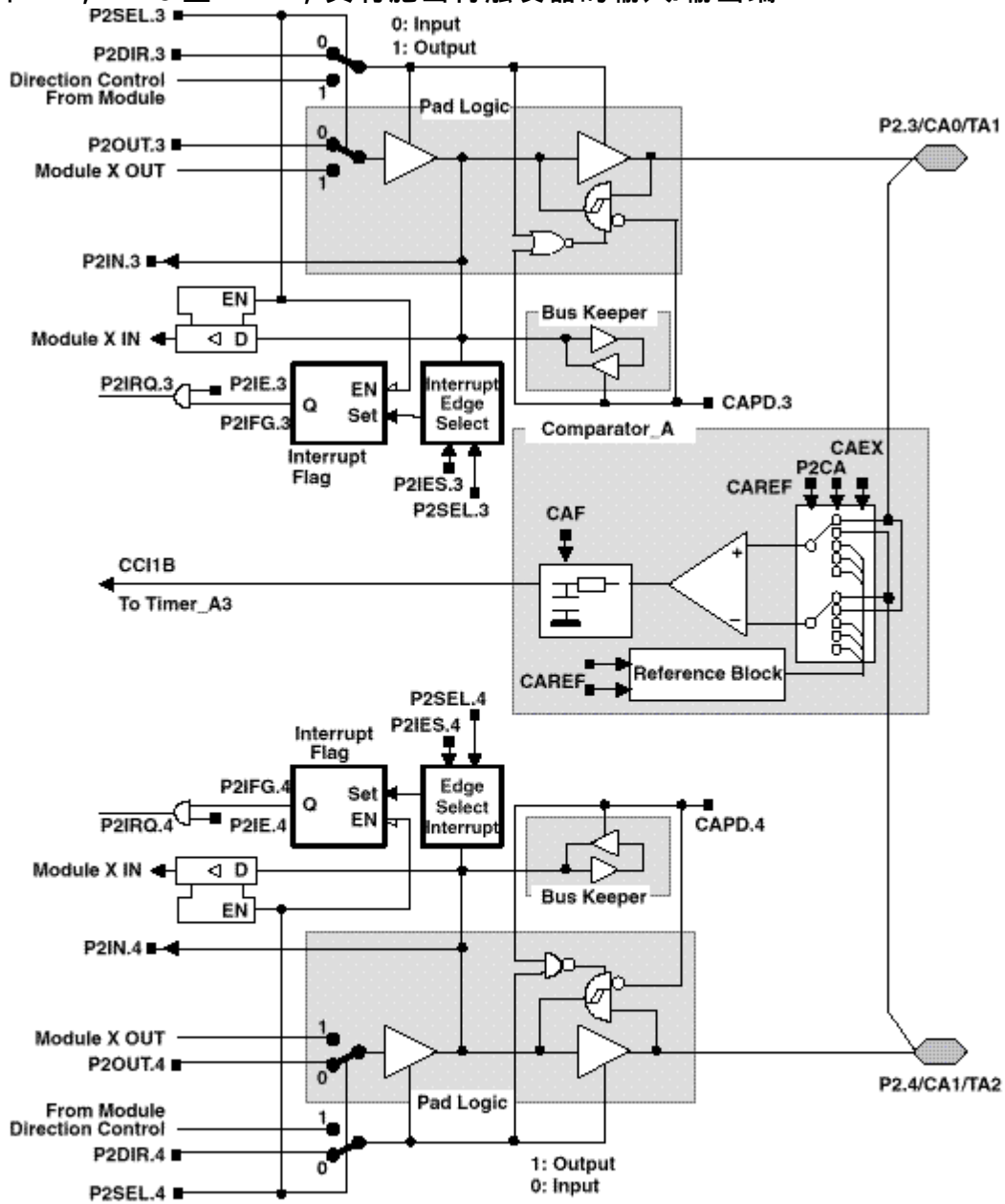
† 信号来自比较器\_A

‡ 信号至定时器\_A

§ 信号来自定时器\_A

¶ ADC12CLK 信号是 12 位 ADC 模块的输出

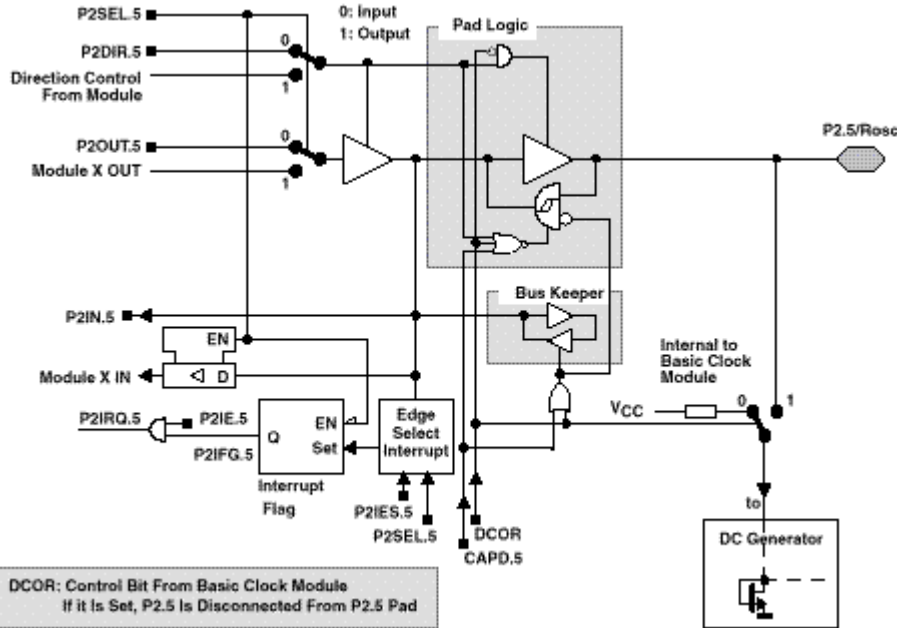
9.3 端口 P2 , P2.3 至 P2.4 , 具有施密特触发器的输入/输出端



PnSel.x	PnDIR.x	DIRECTION CONTROL FROM MODULE	PnOUT.x	MODULE X OUT	PnIN.x	MODULE X IN	PnIE.x	PnIFG.x	PnIES.x
P2Sel.3	P2DIR.3	P2DIR.3	P2OUT.3	Out1 signal†	P2IN.3	unused	P2IE.3	P2IFG.3	P2IES.3
P2Sel.4	P2DIR.4	P2DIR.4	P2OUT.4	Out2 signal†	P2IN.4	unused	P2IE.4	P2IFG.4	P2IES.4

† 信号来自定时器\_A

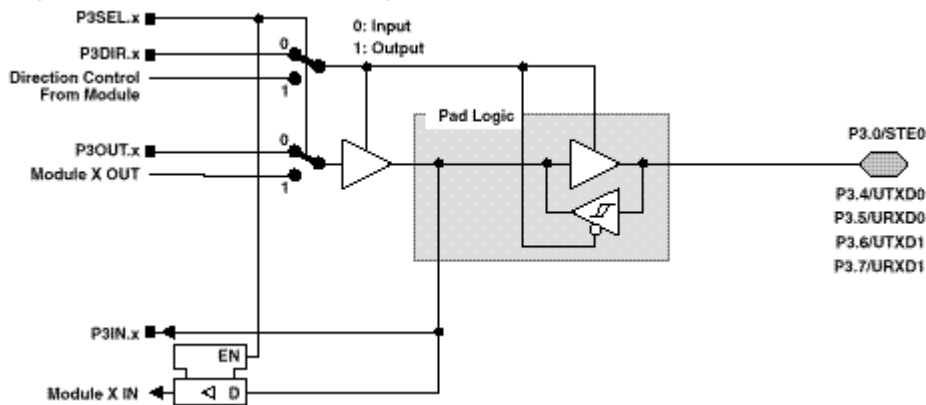
9.4 端口 P2,P2.5,具有施密特触发器和用于基本时钟模块的 R<sub>OSC</sub>功能的输入/输出端



DCOR : 来自基本时钟模块的控制位。如果该位置位，P2.5 与 P2.5 焊盘不连接。

PnSel.x	PnDIR.x	DIRECTION CONTROL FROM MODULE	PnOUT.x	MODULE X OUT	PnIN.x	MODULE X IN	PnIE.x	PnIFG.x	PnIES.x
P2Sel.5	P2DIR.5	P2DIR.5	P2OUT.5	DVSS	P2IN.5	unused	P2IE.5	P2IFG.5	P2IES.5

9.5 端口 P3 , P3.0、 P3.4 至 P3.7 , 具有施密特触发器的输入/输出端



x : 位标志，端口 P3 的 0、4 至 7。

PnSel.x	PnDIR.x	DIRECTION CONTROL FROM MODULE	PnOUT.x	MODULE X OUT	PnIN.x	MODULE X IN
P3Sel.0	P3DIR.0	DVSS	P3OUT.0	DVSS	P3IN.0	STE0
P3Sel.4	P3DIR.4	DVSS	P3OUT.4	UTXD0†	P3IN.4	Unused
P3Sel.5	P3DIR.5	DVCC	P3OUT.5	DVSS	P3IN.5	URXD0‡
P3Sel.6	P3DIR.6	DVSS	P3OUT.6	UTXD1†	P3IN.6	Unused
P3Sel.7	P3DIR.7	DVCC	P3OUT.7	DVSS	P3IN.7	URXD1‡

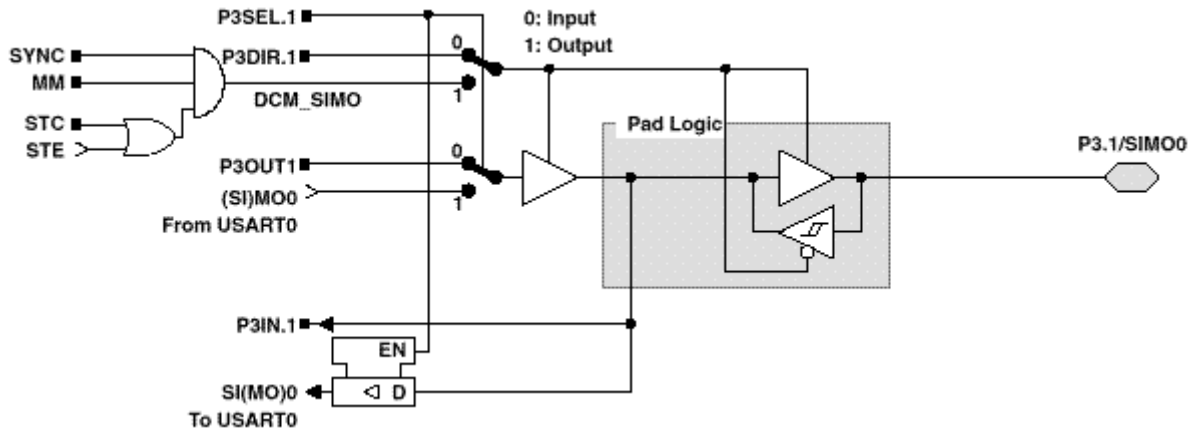
† 从 USART0 模块输出

‡ 从 USART1 模块输出

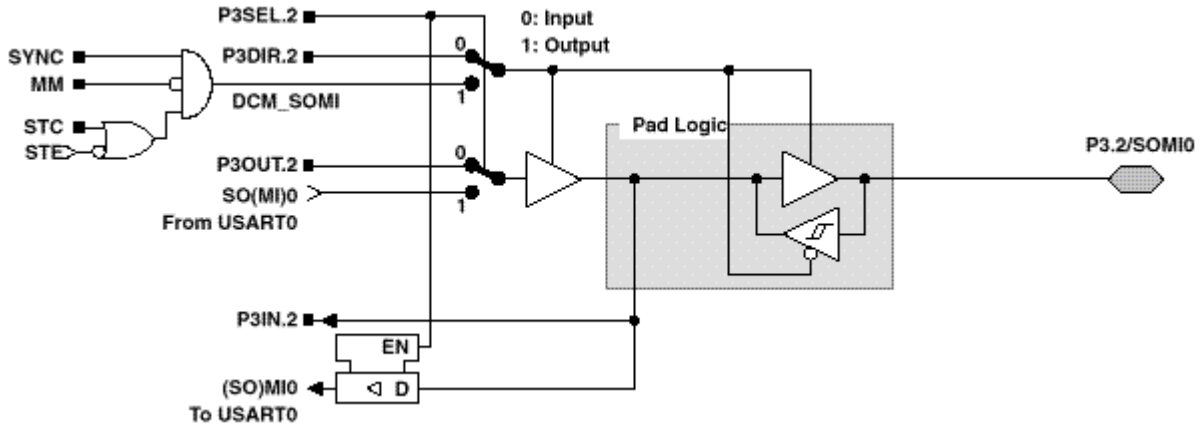
§ 向 USART0 模块输入

¶ 向 USART1 模块输入

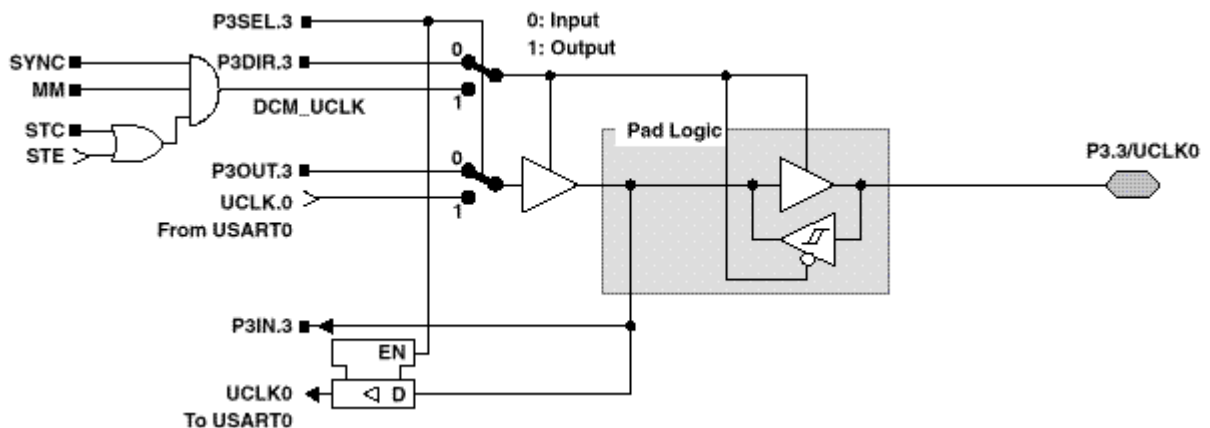
9.6 端口 P3 ， P3.1 ， 具有施密特触发器的输入/输出端



9.7 端口 P3 ， P3.2 ， 具有施密特触发器的输入/输出端



9.8 端口 P3 ， P3.3 ， 具有施密特触发器的输入/输出端

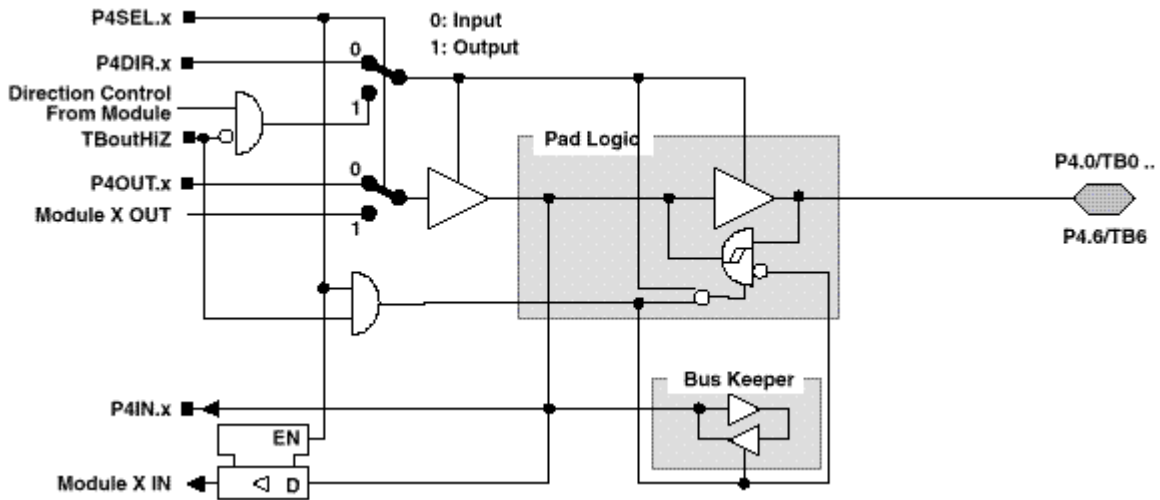


注：UART 方式： UART 时钟只能是输入。如果选用 UART 方式和 UART 功能，则 P3.3/UCLK0 总是一个输入端。

SPI ， 从机方式： 加到 UCLK0 上的时钟用于将数据移入和移出。

SPI ， 主机方式： 从引脚 P3.3/UCLK0 将用于移入和移出数据的时钟提供给被连接的器件（处于从机方式）。

9.9 端口 P4 ， P4.0 至 P4.6 ， 具有施密特触发器的输入/输出端



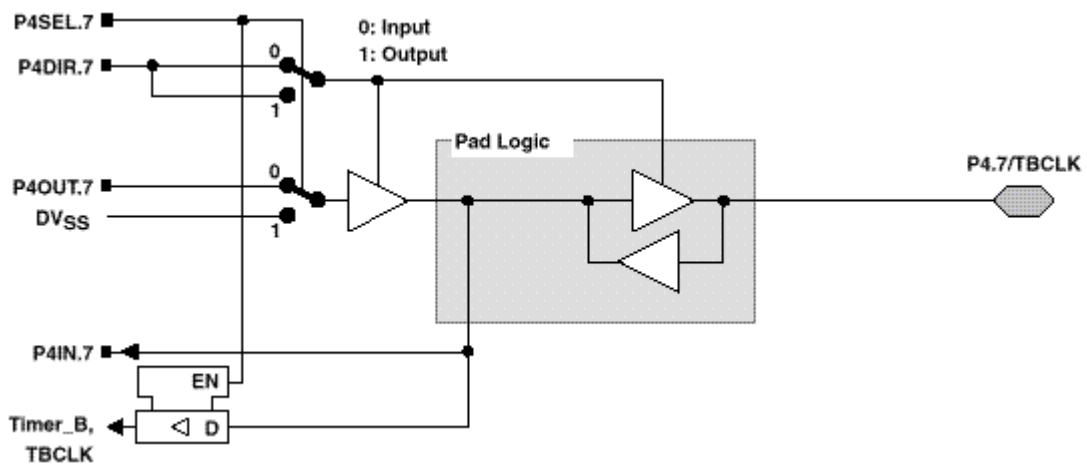
x : 位标志, 端口 P4 的 0 至 6。

PnSel.x	PnDIR.x	DIRECTION CONTROL FROM MODULE	PnOUT.x	MODULE X OUT	PnIN.x	MODULE X IN
P4Sel.0	P4DIR.0	P4DIR.0	P4OUT.0	Out0 signal†	P4IN.0	CCI0A / CCI0B‡
P4Sel.1	P4DIR.1	P4DIR.1	P4OUT.1	Out1 signal†	P4IN.1	CCI1A / CCI1B‡
P4Sel.2	P4DIR.2	P4DIR.2	P4OUT.2	Out2 signal†	P4IN.2	CCI2A / CCI2B‡
P4Sel.3	P4DIR.3	P4DIR.3	P4OUT.3	Out3 signal†	P4IN.3	CCI3A / CCI3B‡
P4Sel.4	P4DIR.4	P4DIR.4	P4OUT.4	Out4 signal†	P4IN.4	CCI4A / CCI4B‡
P4Sel.5	P4DIR.5	P4DIR.5	P4OUT.5	Out5 signal†	P4IN.5	CCI5A / CCI5B‡
P4Sel.6	P4DIR.6	P4DIR.6	P4OUT.6	Out6 signal†	P4IN.6	CCI6A / CCI6B‡

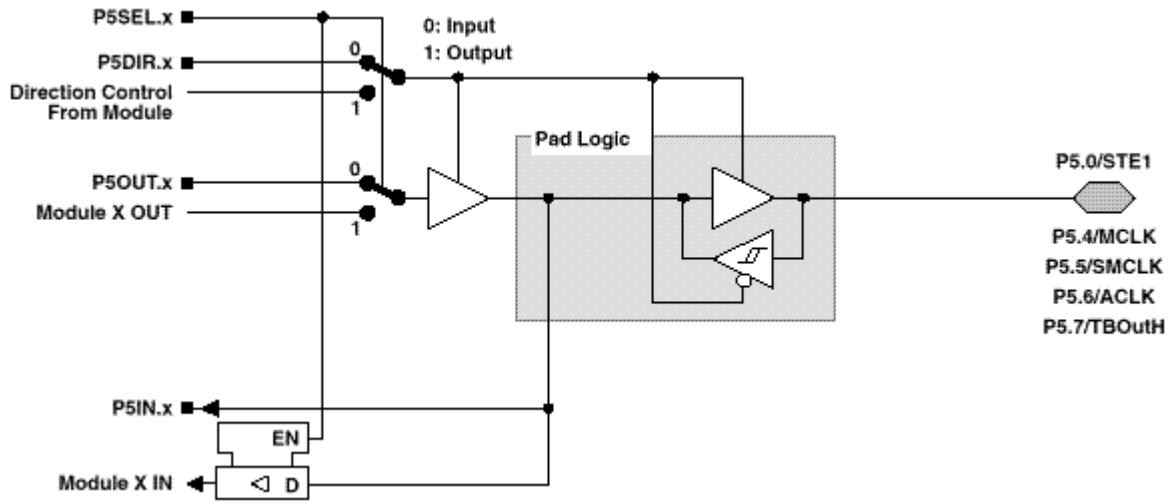
† 信号来自定时器\_B

‡ 信号至定时器\_B

9.10 端口 P4 ， P4.7 ， 具有施密特触发器的输入/输出端



9.11 端口 P5 ， P5.0、 P5.4 至 P5.7 ，具有施密特触发器的输入/输出端

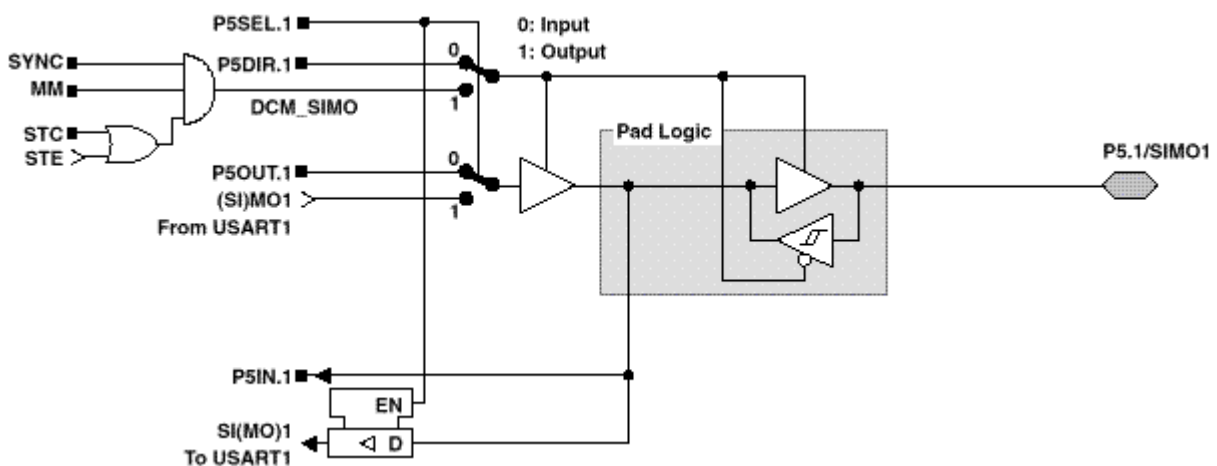


x : 位标志, 端口 P5 的 0、4 至 7。

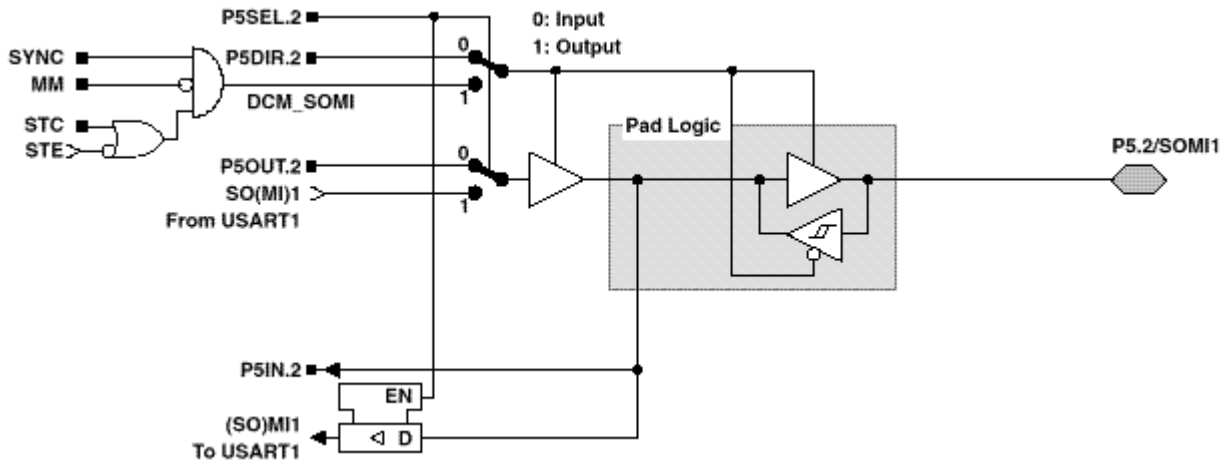
PnSel.x	PnDIR.x	Dir. CONTROL FROM MODULE	PnOUT.x	MODULE X OUT	PnIN.x	MODULE X IN	PnIE.x	PnIFG.x	PnIES.x
P5Sel.0	P5DIR.0	DV <sub>SS</sub>	P5OUT.0	DV <sub>SS</sub>	P5IN.0	STE.1	P5IE.0	P5IFG.0	P5IES.0
P5Sel.4	P5DIR.4	DV <sub>CC</sub>	P5OUT.4	MCLK	P5IN.4	unused	P5IE.4	P5IFG.4	P5IES.4
P5Sel.5	P5DIR.5	DV <sub>CC</sub>	P5OUT.5	SMCLK	P5IN.5	unused	P5IE.5	P5IFG.5	P5IES.5
P5Sel.6	P5DIR.6	DV <sub>CC</sub>	P5OUT.6	ACLK	P5IN.6	unused	P5IE.6	P5IFG.6	P5IES.6
P5Sel.7	P5DIR.7	DV <sub>SS</sub>	P5OUT.7	DV <sub>SS</sub>	P5IN.7	TBoutHiZ	P5IE.7	P5IFG.7	P5IES.7

注：TB<sub>out</sub>HiZ 信号是端口模块 P4 所用的信号，引脚 P4.0 至 P4.6。TB<sub>out</sub>HiZ 的功能主要用于当使用定时器\_B7 时。

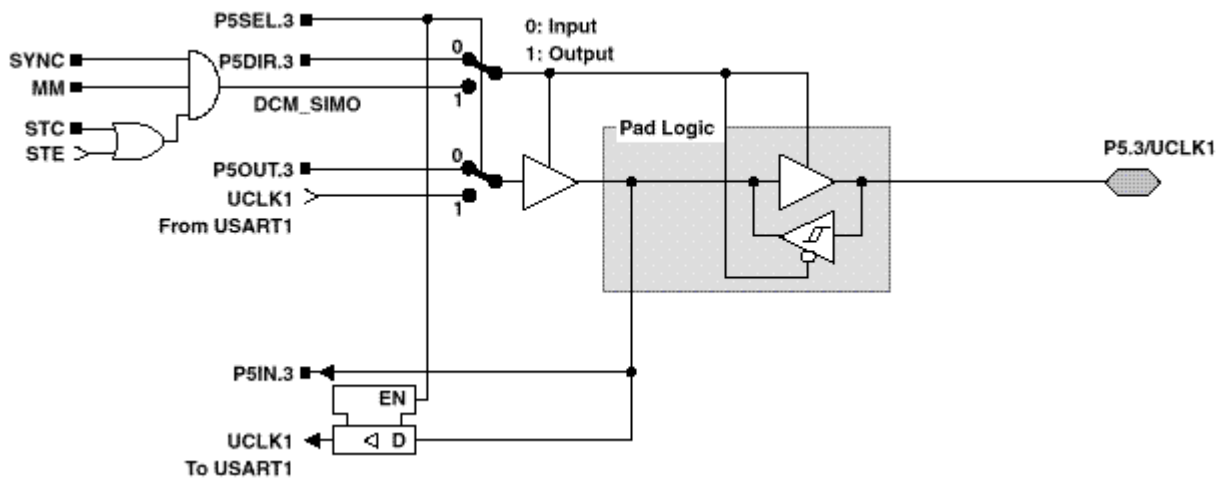
9.12 端口 P5 ， P5.1 ，具有施密特触发器的输入/输出端



9.13 端口 P5 ， P5.2 ， 具有施密特触发器的输入/输出端



9.14 端口 P5 ， P5.3 ， 具有施密特触发器的输入/输出端

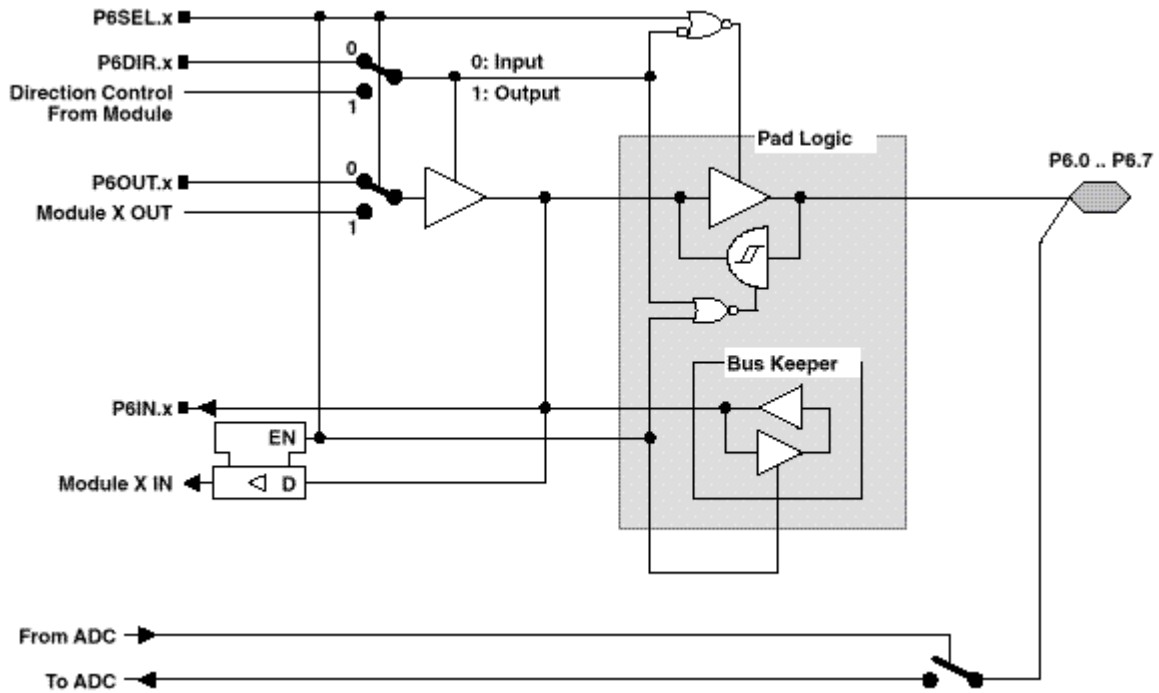


注：UART 方式： UART 时钟只能是输入。如果选用 UART 方式和 UART 功能，则 P5.3/UCLK1 总是一个输入端。

SPI ， 从机方式： 加到 UCLK1 上的时钟用于将数据移入和移出。

SPI ， 主机方式： 从引脚 P5.3/UCLK1 将用于移入和移出数据的时钟提供给被连接的器件（处于从机方式）。

9.15 端口 P6 ， P6.0 至 P6.7 ， 具有施密特触发器的输入/输出端



x : 位标志，端口 P6 的 0 至 7。

注：模拟信号加到数字门会引起从正至负端的电流流过。模拟信号在 0 1 或 1 0 的跳变范围内会有通过电流（throughput current）流过。通过电流的值取决于门电路的驱动能力。对 MSP430，它大约是 100 μ A。

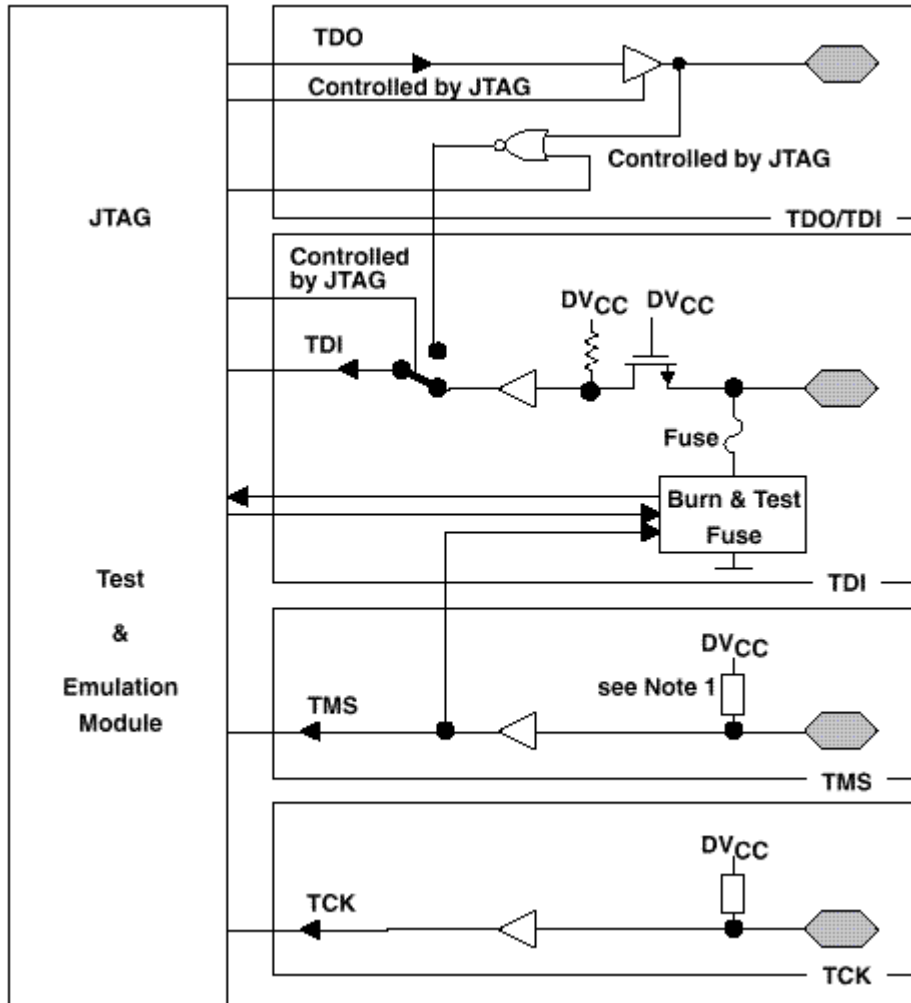
使用 P6SEL.x=1 以防止通过电流。 P6SEL.x 必须置位，即使引脚上的信号没有被用于 ADC12。

PnSel.x	PnDIR.x	DIR. CONTROL FROM MODULE	PnOUT.x	MODULE X OUT	PnIN.x	MODULE X IN
P6Sel.0	P6DIR.0	P6DIR.0	P6OUT.0	DV <sub>SS</sub>	P6IN.0	unused
P6Sel.1	P6DIR.1	P6DIR.1	P6OUT.1	DV <sub>SS</sub>	P6IN.1	unused
P6Sel.2	P6DIR.2	P6DIR.2	P6OUT.2	DV <sub>SS</sub>	P6IN.2	unused
P6Sel.3	P6DIR.3	P6DIR.3	P6OUT.3	DV <sub>SS</sub>	P6IN.3	unused
P6Sel.4	P6DIR.4	P6DIR.4	P6OUT.4	DV <sub>SS</sub>	P6IN.4	unused
P6Sel.5	P6DIR.5	P6DIR.5	P6OUT.5	DV <sub>SS</sub>	P6IN.5	unused
P6Sel.6	P6DIR.6	P6DIR.6	P6OUT.6	DV <sub>SS</sub>	P6IN.6	unused
P6Sel.7	P6DIR.7	P6DIR.7	P6OUT.7	DV <sub>SS</sub>	P6IN.7	unused

注：加于引脚 P6.x/Ax 上的信号用于 12 位 ADC 模块。



9.16 JTAG 引脚 TMS、TCK、TDI、TDO/TDI，具有施密特触发器的输入/输出端

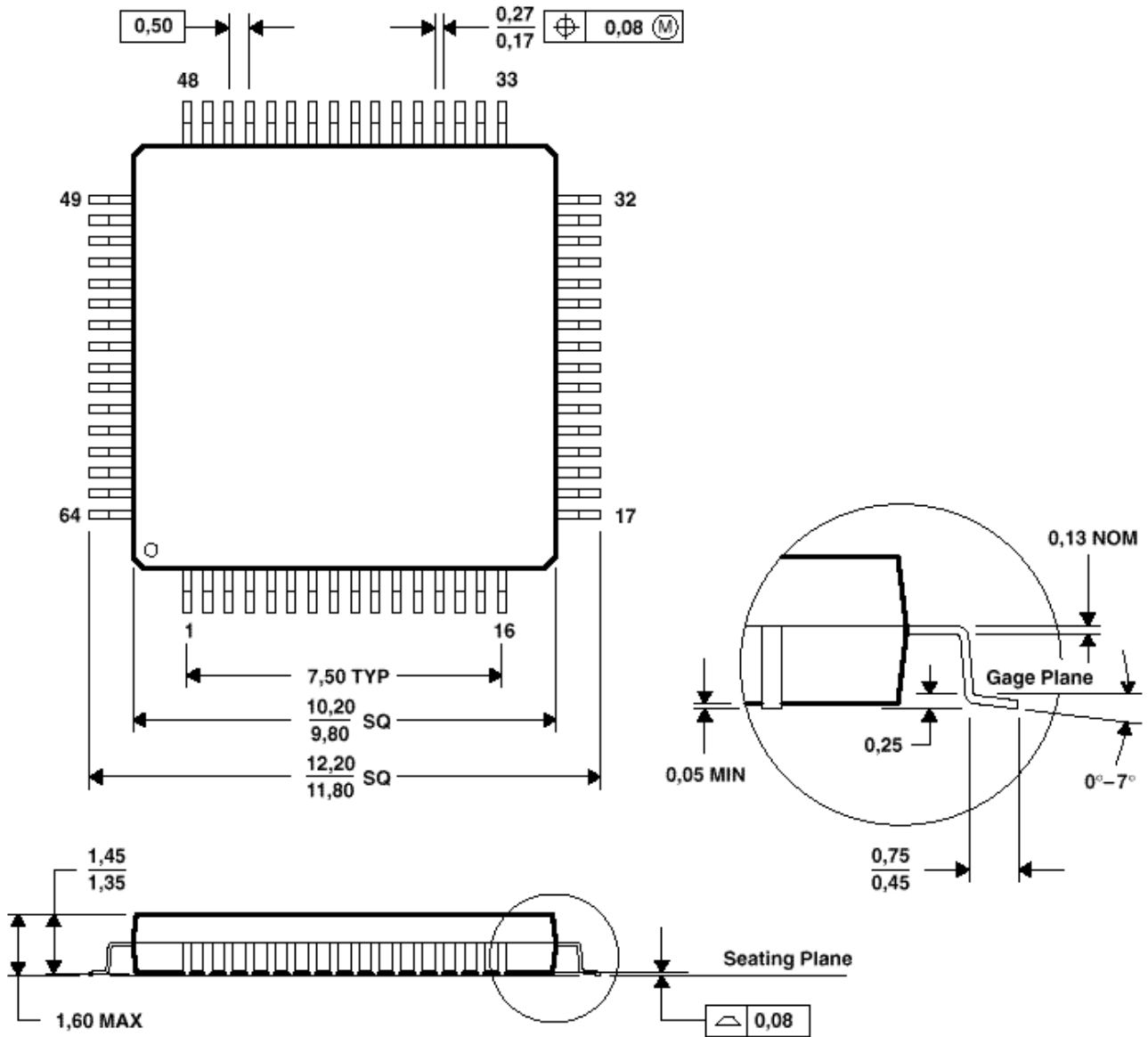


当编程操作和当烧断熔丝时，引脚 TDO/TDI 用来加入用于 JTAG 电路的输入测试数据

### 十、机械尺寸

PM ( S-PQFP-G64 )

塑料四方平面封装



- 注：A. 所有长度尺寸用毫米。  
 B. 此图可能更改，恕不另行通知。  
 C. 符合 JEDEC MS-026 标准。  
 D. 也有引线连接至管芯焊盘的更耐热的塑料封装。